

GaAs MESFET 旁栅迟滞现象与沟道电流数据采集时间的关系

易茂祥¹ 丁 勇¹ 赵福川² 毛友德¹ 夏冠群² 赵建龙²

(1 合肥工业大学应用物理系, 合肥 230009)

(2 中国科学院上海冶金研究所, 上海 200050)

摘要: 采用平面选择注入隔离工艺制作 MESFET 及旁栅电极, 通过改变半导体特性测试仪的延迟时间参数, 深入研究了不同沟道电流的数据采集时间对旁栅效应迟滞现象的影响。发现当延迟时间超过 2s 时, 迟滞现象基本消失, 旁栅效应达到稳态, 而且准静态地改变旁栅电压, 沟道电流的变化会达到一稳定值, 与过程无关, 于是可以避免迟滞现象。并从理论上解释了所发现的现象。

关键词: 旁栅效应; 沟道电流; 迟滞现象; EL₂ 深能级

EEACC: 1230; 2530N; 2420D

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)07-0885-03

1 引言

当在 GaAs MESFET 器件旁边的衬底上设置电极并在此电极上施加某一负偏压时, 会出现沟道电流下降的现象, 称之为旁栅效应^[1-3]。它是制备在半绝缘衬底上的器件如 MESFET 及其电路的有害寄生效应, 与衬底材料和表面制备工艺有关, 国内外对此开展了广泛的研究^[1,4-6]。在某旁栅偏压值下, 漏源电流和旁栅漏电流都发生陡然变化^[7], 称这一电压为旁栅阈值电压 V_{SG}^{th} 。旁栅效应存在迟滞现象, 即在旁栅电极上施加的旁栅电压由小变大时的漏源电流曲线与旁栅电压由大变小时的漏源电流曲线不重合, 而是表现出较大的迟滞回线。Li 等人报道了在控制旁栅电压条件下, 当旁栅电压 V_{SG} 从 0 上升到 12V, MESFET 沟道电流 I_{DS} 在 $V_{SG}=9\text{V}$ 时出现陡峭的下降。而当 V_{SG} 从 12V 下降到 0V 时, I_{DS} 在 $V_{SG}=4\text{V}$ 时才出现陡峭的上升^[5,8,9]。Chang 等在二维模型的基础上研究了衬底上的 Schottky 接触在 GaAs MESFET 旁栅效应迟滞现象中的作用, 其模拟的结果不仅与实验观察到的迟滞现象一致, 而且解释了旁栅效应的 S 型微分负导^[10]。

本文采用平面选择注入隔离工艺制作 MESFET 及旁栅电极, 重点研究了旁栅效应的迟滞现象与沟道电流的数据采集时间的关系, 并对所发现的现象进行了理论解释。

2 实验

用于研究的样品材料是 LEC 非掺杂 SI GaAs。采用平面选择注入隔离工艺制作 MESFET 及旁栅电极。Si 注入条件为: $6 \times 10^{12} \text{ cm}^{-2}$, 60keV, 形成 n 型层; $1.5 \times 10^{13} \text{ cm}^{-2}$, 30keV, 形成 n^+ 层。注入隔离 B: $8 \times 10^{12} \text{ cm}^{-2}$, 80keV, 并进行 940°C 快速退火处理。MESFET 栅长为 $2\mu\text{m}$, 栅宽为 $10\mu\text{m}$, 漏源间距为 $6\mu\text{m}$, 旁栅尺寸为 $10\mu\text{m} \times 10\mu\text{m}$, 旁栅电极与 MESFET 之间的距离为 $20\mu\text{m}$, 压焊电极大小为 $80\mu\text{m} \times 80\mu\text{m}$ 。

本文采用源(S)和栅(G)共同接地, 漏源电压(V_{DS})分别为 1.5V, 旁栅(SG)与源(S)间施加负电压 V_{SG} , 在室温下用 Karlssuss 测试探针台和 HP4145B 半导体测试仪进行扫描测试, 通过观察旁栅电压 V_{SG} 对器件漏源电流 I_{DS} 的影响来研究旁栅效应的特性。测试图形如图 1 所示。

易茂祥 男, 1964 年出生, 硕士, 讲师, 现在合肥工业大学应用物理系从事教学与科研工作。

丁 勇 男, 1975 年出生, 硕士, 现在海信集团技术中心从事 ASIC 设计的研究开发工作。

2000-06-21 收到, 2000-09-15 定稿

©2001 中国电子学会

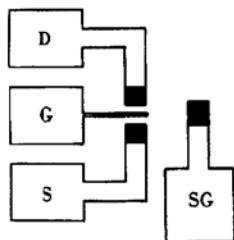


图 1 测试图形

FIG. 1 Test Pattern

Delay Time 是 HP4145B 半导体特性测试仪在采集数据前的等待时间。假若 Delay Time = t , 则意味着按步长每次改变旁栅电压的大小时, 需等待 t 时间才采集沟道电流的数据。我们通过改变 HP4145B 半导体特性测试仪中的 Delay Time 参数设置, 深入研究了旁栅效应的迟滞现象与 Delay Time 之间的关系, 发现了一些没有报道过的新现象, 并对其进行了解释。

3 结果及讨论

在实验中我们设定 Delay Time = 0、0.01、0.1 和 2 s, 测试结果如图 2 所示。可以发现 Delay Time 的设置十分明显地影响着旁栅效应的迟滞现象。当 Delay Time 较小时, 两条曲线明显不重合, 但随着

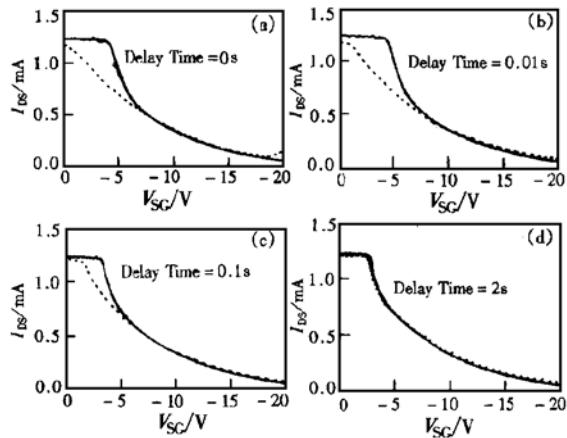


图 2 旁栅迟滞现象与沟道电流数据采集时间的关系

FIG. 2 Relation Between Side-Gating Hysteresis and Data-Collection-Time of Channel Current in GaAs MESFET

Delay time 的延长, 两条曲线逐渐靠近, 当 Delay Time > 2 s 时, 两条曲线几乎完全重合, 迟滞现象消

失, 旁栅效应达到稳态。另一方面, 我们发现当 Delay Time 值较小时, 随着旁栅电压负减小到 0, 沟道电流几乎没有阈值行为, 而旁栅电压从 0 负增长时, 一直存在阈值行为, 并且阈值电压随着 Delay Time 的增加而减小, 直到一稳定值。

上述表明旁栅效应的迟滞现象是非平衡态效应引起的。只要准静态地改变旁栅电压, 沟道电流的变化就会达到一稳定值, 与过程无关, 可避免迟滞现象。

我们认为旁栅效应的迟滞现象所表现出来的非平衡特性与 MESFET 的沟道-衬底(C-S)性质有关。C-S 结衬底侧的耗尽区是通过 EL_2 电子陷阱俘获电子形成的, 耗尽层在外电场下的展宽意味着衬底的 EL_2 陷阱俘获电子, 而耗尽层在外电场下变窄意味着电子从 EL_2 发射到导带。由于电子被 EL_2 俘获和从 EL_2 发射到导带这两个过程都比较慢, 因此 C-S 结衬底侧的耗尽层对外电场的响应缓慢。当 V_{SC} 从 0 负增长且变化较快时, C-S 结衬底侧的耗尽层展宽跟不上外电场, 造成旁栅阈值行为的滞后。同样, 当 V_{SC} 负减小时, 情况亦然, 引起 V_{SC}^{th} 负减小, 甚至阈值行为消失。

考虑电子从导带到电子陷阱 EL_2 的热复合率 C_n 和电子从 EL_2 到导带的热发射率 S_n , 我们估计以下参数: (1) 衬底被 C-S 结耗尽时, EL_2 陷阱净俘获电子的速率。(2) 衬底解除耗尽时, 电子从 EL_2 发射到导带的净发射速率。衬底耗尽前在热平衡时, 有:

$$\frac{dn}{dt} = C_n n^0 (N_T - n^0) - S_n n^0 = 0 \quad (1)$$

其中 t 为时间; n^0 为耗尽前 C-S 结衬底侧的自由电子浓度; N_T 为 EL_2 的浓度; n^0 为 EL_2 能级上的电子占据浓度。当这部分衬底刚被 C-S 结耗尽时, EL_2 净俘获电子具有最大速率为:

$$\left. \frac{dn}{dt} \right|_e = C_n n (N_T - n^0) - S_n n^0 \quad (2)$$

其中 n 为耗尽后 C-S 结衬底侧的自由电子浓度。将(1)代入(2)得:

$$\left. \frac{dn}{dt} \right|_e = C_n \Delta n (N_T - n^0) \quad (3)$$

这里 $\Delta n = n - n^0 > 0$, 为衬底被 C-S 结耗尽后与耗尽前的自由电子浓度差。衬底被耗尽后重新达到热平衡, 此时,

$$\left. \frac{dn}{dt} \right|_e = C_n n (N_T - n^0) - S_n n^0 = 0 \quad (4)$$

在外场的影响下, 被耗尽了的衬底解除耗尽,

电子从 EL₂ 到导带的最大净发射率为:

$$\left. \frac{dn_T}{dt} \right|_s = C_n n^0 (N_T - n_T) - S_n n_T \quad (5)$$

将(4)代入(5)得:

$$\left. \frac{dn_T}{dt} \right|_s = - C_n \Delta n (N_T - n_T) \quad (6)$$

由于 n_T 、 n_T^0 分别为衬底解除耗尽前后 EL₂ 上的电子占据浓度, 因此有 $N_T - n_T^0 > N_T - n_T$. 由(3)和(6)两式可知, 电子的 EL₂ 最大净俘获速率显然比电子从 EL₂ 到导带的最大净发射速率大, 表明在外场下耗尽层的展宽响应比变窄响应要快. 这就解释了在相同的 Delay Time 值下, 旁栅电压负增长时相对于稳态时的滞后程度要比旁栅电压负减小时相对于稳态的提前程度要小.

4 结论

本文采用平面选择注入隔离工艺制作 MESFET 及旁栅电极, 通过测试不同的沟道电流数据采集时间对旁栅效应迟滞现象的影响, 发现只要准静态地改变旁栅电压, 沟道电流的变化就会达到一稳定值, 与过程无关, 可避免迟滞现象, 并从理论上解

释了所发现的现象.

参考文献

- [1] Y. Ohno and N. Goto, J. Appl. Phys., 1989, **66**(3): 1217—1221.
- [2] M. Shur, GaAs Device and Circuits, Plenum, New York, 1987, 324.
- [3] C. P. Lee and M. F. Chang, IEEE Electron Device Lett., 1985, **6**(8): 428—430.
- [4] M. A. Lampert and P. Mark, Current Injection in Solids, Academic Press, New York, 1970.
- [5] Z.-M. Li, S. P. McAlister, W. G. McMullan *et al.*, J. Appl. Phys., 1990, **67**(12): 7368.
- [6] M. F. Chang, C. P. Lee, L. D. Hou *et al.*, Appl. Phys. Lett., 1984, **44**(9): 869.
- [7] S.-T. Fu and M. B. Das, IEEE Trans. Electron Devices, 1987, **34**(6): 1245.
- [8] Z.-M. Li, D. J. Day, S. P. McAlister *et al.*, IEEE Electron Device Lett., 1990, **11**(8): 342—345.
- [9] K. Inokuchi *et al.*, IEEE GaAs IC Symposium Technical Digest, 1987, 117—120.
- [10] Shwu-Jing Chang and Chien-Ping, IEEE Electron Device Lett., 1992, **13**(8): 436—438.

Relations Between Side-Gating Hysteresis and Data-Collection-Time of Channel Current in GaAs MESFET

YI Mao-xiang¹, DING Yong¹, ZHAO Fu-chuan², MAO You-de¹, XIA Guan-qun² and ZHAO Jian-long²

(1 Department of Applied Physics, Hefei University of Technology, Hefei 230009, China)

(2 Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai 200050, China)

Abstract: MESFET and side-gating electrode are produced by planar selectively implanted isolation process. The influence of different data-collection-time of channel current on the side-gating hysteresis effect is studied by changing the delay time of semiconductor characteristic testing set. The hysteresis almost disappears and the side-gating effect goes steady when the delay time is over 2s, and the change in channel current reaches a certain value that has nothing to do with the process, thereby avoiding the hysteresis, as long as our changing the side-gating bias voltage in the quasi-static state. Above phenomena theoretically are explained.

Key words: side-gating effect; channel current; hysteresis; EL₂ deep energy level

EEACC: 1230; 2530N; 2420D

Article ID: 0253-4177(2001)07-0885-03

YI Mao-xiang male, born in 1964. He is a lecturer with master degree and is working for teaching and scientific research at applied physics department of Hefei University of Technology.

DING Yong male, born in 1975. He obtained master degree of microelectronics and solid state electronics in 2000 and is working for designing and developing ASIC at HiSense Engineering Institute.

Received 21 June 2000, revised manuscript received 15 September 2000

©2001 The Chinese Institute of Electronics