

深亚微米 FD-SOI 器件亚阈模型

程彬杰¹ 邵志标¹ 唐天同¹ 沈文正² 赵文魁²

(1 西安交通大学, 西安 710049)

(2 西安微电子研究所, 西安 710054)

摘要: 通过对全耗尽 SOI 器件硅膜中的纵向电位分布采用准三阶近似, 求解亚阈区的二维泊松方程, 得到全耗尽器件的表面势公式; 通过引入新的参数, 对公式进行修正, 建立深亚微米全耗尽器件的表面势模型, 能够很好地描述漏感应势垒降低效应。在此基础上, 建立了亚阈漏电流模型, 它能够很好的描述亚阈区的完整漏电流特性, 模型计算结果与二维器件模拟软件 MEDICI 的模拟结果相符。

关键词: 表面势; 漏感应势垒降低效应; 亚阈区模型; 全耗尽 MOS 器件

PACC: 2560B; 2560S

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2001)07-0908-07

1 引言

SOI-CMOS 结构主要有全耗尽(FD)型与部分耗尽(PD)型 MOSFET 两种。FD 型与 PD 型相比, 由于具有良好的等比例缩小特性, 近于理想的亚阈摆幅, 高跨导以及浮体效应较小等突出优点, 在高速、低压、低功耗模拟电路、数模混合电路等应用方面受到了人们的特别重视^[1]。但是, 随着器件的尺寸进入深亚微米, 漏感应势垒降低效应(DIBL)变得越来越显著, 截止态亚阈电流升高和阈值电压下降, 如不妥加考虑, 将会引起电路功耗增加或功能出错。因此, 对深亚微米器件亚阈特性的研究成为建模热点, 出现了各种亚阈模型^[2-4]。但是这些研究主要集中在栅的转移特性上, 并且大多针对低漏压情况(0.05V 或 0.1V), 缺乏对亚阈电流的完整特性的分析。实际的工作中, 在高漏压(1—1.5V)条件下, 漏的“第二栅”作用往往不容忽视。为了在 EDA 模型中更好地描述深亚微米全耗尽器件中的小尺寸效应, 特别是 DIBL 效应, 本文提出了一种精确的深亚微米全耗尽器件亚阈模型, 它建立在一个能准确地描述 DIBL 效应的表面势模型基础上。整个模型的实际计算结果与国际通用的二维器件数值模拟软件 MEDICI 的模拟结果吻合很好。

2 表面势模型

2.1 正界面表面势模型

以 N 沟道 FD-SOI MOSFET 为例, 研究表面势的建模, 器件结构如图 1 所示, 其中栅氧厚度、埋氧厚度分别为 t_{ox} 和 t_{ob} , 硅膜厚度为 t_{si} , 沟道长度为

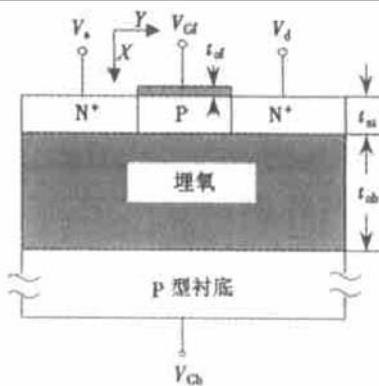


图 1 N 沟道 FD-SOI MOSFET 结构示意图

FIG. 1 Schematic Drawing of N Channel FD-SOI MOSFET

L , 源、漏掺杂浓度用 N_s 表示, 由于硅膜很薄, 假设沟道区为均匀掺杂, 掺杂浓度为 N_{ch} 。因为沟道区硅

程彬杰 1973 年出生, 研究方向有 SOI 器件建模、超大规模集成电路设计等。

2000-07-20 收到, 2000-10-13 定稿

©2001 中国电子学会

膜全耗尽, 其电势分布可用泊松方程表示.

$$\frac{\partial^2 \psi}{\partial x^2} + \frac{\partial^2 \psi}{\partial y^2} = \frac{qN_{ch}}{\epsilon_{Si}} \quad (1)$$

其中 ϵ_{Si} 为硅介电系数. 结合高斯定理, 泊松方程的边界条件是:

$$\psi(x, 0) \approx V_s, \quad \psi(x, L) = V_d \quad (2)$$

对于硅膜处的电势分布采用纵向准三阶近似,

$$\psi(x, y) = \psi_{sf}(y) + a_1(y)x + a_2(y)x^2 + a_3(y)x^3 \quad (3)$$

其中 ψ_{sf} 为正界面表面势分布函数.

在正背界面处应用高斯定理, 可得

$$E_{sf} = \frac{C_{of}(V_{Geff} - \psi_{sf})}{\epsilon_{Si}}, \quad E_{sb} = \frac{C_{ob}(\psi_{sb} - V_{Geff})}{\epsilon_{Si}} \quad (4)$$

其中 E_{sf} 、 E_{sb} 分别为硅膜正、背界面处纵向电场强度; C_{of} 、 C_{ob} 分别为栅氧、埋氧电容; V_{Geff} 、 V_{Geff} 为考虑正、背栅平带电压作用的有效正、背栅压; $\psi_{sb} = \psi(t_{Si}, y)$ 为背栅表面势. (4) 式的推导应用了长沟道的假设, 通过后面引入有效电荷分布参量, 进一步将短沟道效应考虑进去. 将(3)式代入(1)式, 结合(4)式, 可求得 a_1 、 a_2 、 a_3 为

$$\begin{aligned} a_1 &= -E_{sf} = \frac{C_{of}(\psi_{sf} - V_{Geff})}{\epsilon_{Si}} \\ a_2 &= \frac{1}{2} \left[\frac{qN_{ch}}{\epsilon_{Si}} - \frac{\partial^2 \psi_{sf}}{\partial y^2} \right] \\ a_3 &= \left[t_{Si} \left| \epsilon_{Si} + \frac{C_{ob}t_{Si}}{2} \right| \frac{\partial^2 \psi_{sf}}{\partial y^2} - \left[C_{of} + C_{ob} + \frac{C_{ob}C_{of}}{C_{Si}} \right] \psi_{sf} \right. \\ &\quad \left. + \left[C_{of} + \frac{C_{ob}C_{of}}{C_{Si}} \right] V_{Geff} + C_{ob}V_{Geff} \right. \\ &\quad \left. - \left[t_{Si} + \frac{C_{ob}t_{Si}}{2C_{Si}} \right] qN_{ch} \right] / (C_{ob}t_{Si}^3 + 3\epsilon_{Si}t_{Si}^2) \quad (5) \end{aligned}$$

其中 $C_{Si} = \epsilon_{Si}/t_{Si}$, 可理解为单位面积硅膜电容. 将(3)式代入泊松方程, 利用正界面处, $x = 0$ 的条件, 可以得到

$$\frac{\partial^2 \psi}{\partial y^2} = \frac{\partial^2 \psi_{sf}}{\partial y^2} - 6a_3x \quad (6)$$

考虑小尺寸器件中的二维效应, 高斯定理用如下修正形式表示

$$E_{sf} - E_{sb} = qQ_{eff}N_{ch}t_{Si}/\epsilon_{Si} \quad (7)$$

其中 Q_{eff} 是描述短沟道器件电荷共享效应的参量. 将(3)式代入上式, 经过约简、积分, 可以得到正界面表面势的微分方程为

$$t_{Si} \frac{\partial^2 \psi_{sf}}{\partial y^2} + 4a_2t_{Si} + 3a_3t_{Si}^2 = \frac{q(1 + Q_{eff})N_{ch}t_{Si}}{\epsilon_{Si}} \quad (8)$$

由于(3)式是一种近似描述, 为了在模型中更好地反映硅膜中的二维电势分布, 我们将 a_2 修正为

$$a_2 = \frac{1}{2} \left[\frac{qN_{ch}}{\epsilon_{Si}} - \tilde{\eta} \frac{\partial^2 \psi_{sf}}{\partial y^2} \right] \quad (9)$$

其中 $\tilde{\eta}$ 为拟合参量, 它跟器件的结构、工艺相关. 相应地,

$$\begin{aligned} a_3 &= \left[\tilde{\eta} t_{Si} \left| \epsilon_{Si} + \frac{C_{ob}t_{Si}}{2} \right| \frac{\partial^2 \psi}{\partial y^2} - \left[C_{of} + C_{ob} \right. \right. \\ &\quad \left. \left. + \frac{C_{ob}C_{of}}{C_{Si}} \right] \psi_{sf} + \left[C_{of} + \frac{C_{ob}C_{of}}{C_{Si}} \right] V_{Geff} + C_{ob}V_{Geff} \right. \\ &\quad \left. - \left[t_{Si} + \frac{C_{ob}t_{Si}}{2C_{Si}} \right] qN_{ch} \right] / (C_{ob}t_{Si}^3 + 3\epsilon_{Si}t_{Si}^2) \quad (10) \end{aligned}$$

将(8)式化简后可得如下标准形式

$$\frac{\partial^2 \psi_{sf}}{\partial y^2} - \frac{\psi_{sf}}{\lambda_f^2} + \frac{Y_f}{\lambda_f^2} = 0 \quad (11)$$

其中 λ_f 为正界面短沟道长度因子; Y_f 为考虑电荷分配效应的正界面表面势分布函数. λ_f 按照下式定义

$$\lambda_f^2 = \frac{\alpha_f C_{ob}t_{Si}\epsilon_{Si} + 3\beta_f \epsilon_{Si}^2}{3(C_{of}C_{Si} + C_{ob}C_{Si} + C_{of}C_{ob})} \quad (12)$$

其中 α_f 、 β_f 和 $\tilde{\eta}$ 有关, 是需要提取的经验参数. λ_f 的值越小, 发生短沟道效应的沟道长度就越短. 从上式可以看出, 栅氧和硅膜的厚度越薄, 器件的性能越好(不考虑热电子效应), 这是和实际情况相符合的. Y_f 按照下式定义

$$\begin{aligned} Y_f &= \frac{(C_{Si} + C_{ob})C_{of}}{C_{of}C_{Si} + C_{ob}C_{Si} + C_{of}C_{ob}} V_{Geff} \\ &\quad + \frac{C_{ob}C_{Si}}{C_{of}C_{Si} + C_{ob}C_{Si} + C_{of}C_{ob}} V_{Geff} \\ &\quad - \frac{(1/2 + Q_{eff})C_{ob}t_{Si} + 3Q_{eff}C_{Si}t_{Si}}{3(C_{of}C_{Si} + C_{ob}C_{Si} + C_{of}C_{ob})} qN_{ch} \quad (13) \end{aligned}$$

它反映了 FD 器件正、背栅之间的电学耦合特性. 结合(2)式中的边界条件, 对(11)式进行求解, 可得正界面表面势分布函数为

$$\begin{aligned} \psi_{sf} &= Y_f + (V_{bi} + V_{ds} - Y_f) \frac{\sinh(y/\lambda_f)}{\sinh(L/\lambda_f)} \\ &\quad + (V_{bi} - Y_f) \frac{\sinh((L-y)/\lambda_f)}{\sinh(L/\lambda_f)} \quad (14) \end{aligned}$$

其中 V_{bi} 为内建电势差; V_{ds} 为源、漏之间的电压差. 以上是通过对硅膜处的电势分布采用 x 向准三阶近似, 求解亚阈区硅膜二维泊松方程所得到的正界面表面势模型的基本公式. 由于它不是对泊松方程进行严格求解, 为了能更好反映小尺寸器件的高阶

效应,还需要对 λ_f 和 γ_f 进行修正.

首先我们将电荷共享参量 Q_{eff} 分为二个部分, $Q_{\text{eff}} = Q_{\text{eff}0} + \Delta Q_{\text{eff}}$. 第一部分仅考虑栅偏置为最小和漏偏置为最大时的电荷共享情况, 记为 $Q_{\text{eff}0}$, 此时栅的控制能力最弱. 第二部分考虑栅压和漏压变化时电荷共享效应的变化情况, 记为 ΔQ_{eff} . 由于 SOI 电路在实际工作时, 背栅(即埋氧下的硅衬底)处于接地态, 所以背栅对电荷共享效应的变化情况不作贡献, 在第二部分中可以不考虑. 根据(13)式, 正栅栅压变化所引起的正界面表面势的变化量可以近似为

$$\Delta\psi_{\text{sf}} = \frac{C_{\text{of}}(C_{\text{ob}} + C_{\text{Si}})}{C_{\text{of}}C_{\text{Si}} + C_{\text{ob}}C_{\text{Si}} + C_{\text{of}}C_{\text{ob}}} \Delta V_{\text{Geff}} \quad (15)$$

其中 ΔV_{Geff} 是当前有效栅压与最小有效栅压的差. 而漏偏置是直接作用于沟道区的, 因此, 电荷共享参量 Q_{eff} 的变化量可以近似看成是 $(V_{\text{ee}} - V_{\text{ds}} + \Delta\psi_{\text{sf}})$ 的函数, 其中 V_{ee} 为电源电压. 根据我们对 MEDICI 数值模拟结果所进行的拟合分析, 可将 ΔQ_{eff} 用如下经验公式表示:

$$\Delta Q_{\text{eff}} = Q_{\alpha}(V_{\text{ee}} - V_{\text{ds}} + \Delta\psi_{\text{sf}})^{\beta} \quad (16)$$

其中 Q_{α} 和 Q_{β} 分别是需要提取的拟合参数.

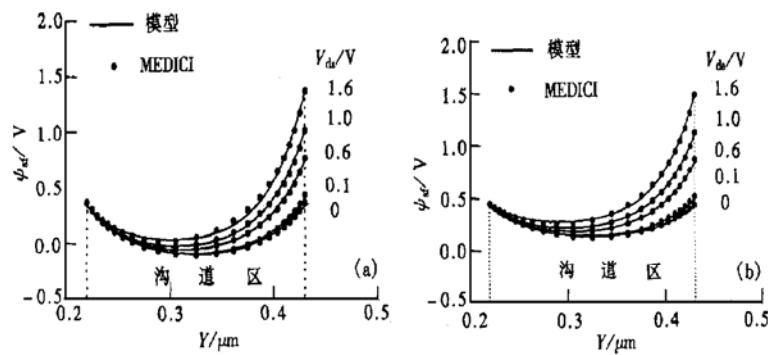


图 2 硅膜厚度为 $0.1\mu\text{m}$, 漏压从 0V 变化到 1.6V 时的正界面表面势分布 (a) $L = 0.25\mu\text{m}, V_{\text{Gf}} = -0.2\text{V}$; (b) $L = 0.25\mu\text{m}, V_{\text{Gf}} = 0.1\text{V}$

FIG. 2 Distribution of Front Surface Potential The silicon film thickness is $0.1\mu\text{m}$ and the drain voltage varies from 0 to 1.6V . (a) $L = 0.25\mu\text{m}, V_{\text{Gf}} = -0.2\text{V}$; (b) $L = 0.25\mu\text{m}, V_{\text{Gf}} = 0.1\text{V}$.

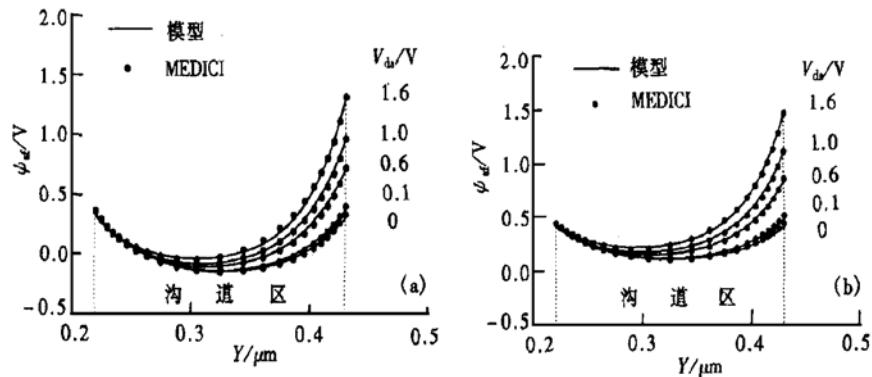


图 3 硅膜厚度为 $0.06\mu\text{m}$, 漏压从 0V 变化到 1.6V 时的正界面表面势分布 (a) $L = 0.25\mu\text{m}, V_{\text{Gf}} = -0.2\text{V}$; (b) $L = 0.25\mu\text{m}, V_{\text{Gf}} = 0.1\text{V}$

FIG. 3 Distribution of Front Surface Potential The silicon film thickness is $0.06\mu\text{m}$ and the drain voltage varies from 0 to 1.6V .

在推导短沟道长度因子 λ_f 表达式的过程中引入了 α_f 和 β_f 这两个跟 η 有关的经验参数. 由(12)式可看出, α_f 是和埋氧电容相联系. 由于埋氧厚度要比

栅氧厚度大得多, 因此把 α_f 看成是一个单纯的拟合参数对模型的精度影响不大, 这一点已被 MEDICI 数值模拟和参数提取试验所证实. 但是 β_f 则不同,

通过参数提取试验发现它跟漏、栅偏置有紧密的联系。我们借鉴处理共享电荷效应所采取的方法，同样把 β_f 分成二个部分，第一部分仅考虑栅、漏偏置为零时的情况，记为 β_{f0} ，第二部分考虑栅、漏偏置的影响，记为 $\Delta\beta_f$ 。根据对 MEDICI 数值模拟结果所进行的拟合分析，得到以下经验公式

$$\beta_f = \beta_{f0} + \Delta\beta_f = \beta_{f0} + \beta_{f1}\Delta V_{Geff}^{\beta_{f2}} + \beta_{f3}V_{ds}^{\beta_{f4}} \quad (17)$$

其中 β_{f0} 、 β_{f1} 、 β_{f2} 、 β_{f3} 和 β_{f4} 为所需要提取的经验参数，其中 β_{f2} 、 β_{f4} 的默认值为 0.5。

将所得小尺寸效应的修正代入公式(14)，就建立了深亚微米 FD 器件正界面表面势模型。在推导中没有迭代过程，从而提高了模型的计算效率。如图

$$\psi_{bs} = \gamma_b + \frac{(V_{bi} + V_{ds} - \gamma_b)sh(y/\lambda_b) + (V_{bi} - \gamma_b)sh[(L - y)/\lambda_b]}{sh(L/y)} \quad (18)$$

其中 λ_b 和 γ_b 分别为背界面短沟道长度因子和沟道长度为无穷大时的表面势分布函数。

$$\lambda_b^2 = \frac{\alpha_b C_{ot} t_{Si} \epsilon_{Si} + 3\beta_b \epsilon_{Si}^2}{3(C_{of} C_{Si} + C_{ob} C_{Si} + C_{of} C_{ob})} \quad (19)$$

$$\begin{aligned} \gamma_b = & \frac{(C_{Si} + C_{ot}) C_{ob}}{C_{of} C_{Si} + C_{ob} C_{Si} + C_{of} C_{ob}} V_{Geff} \\ & + \frac{C_{of} C_{Si}}{C_{of} C_{Si} + C_{ob} C_{Si} + C_{of} C_{ob}} V_{Geff} \\ & - \frac{(1/2 + Q_{eff}) C_{ot} t_{Si} + 3Q_{eff} C_{Si} t_{Si}}{3(C_{of} C_{Si} + C_{ob} C_{Si} + C_{of} C_{ob})} q N_{ch} \end{aligned} \quad (20)$$

厚的埋氧层使得 FD 器件背界面的二维电场分布效应要比正界面严重得多，这意味着对(19)式所采用的修正手段“经验性”将更强。首先通过对埋氧区求解拉普拉斯方程，对有效背栅栅压进行修正，可得

$$\begin{aligned} V_{Geff} = & V_{Gb} + \frac{t_{ob}^2}{2L^2} [\tau_1 V_{ds} \\ & + L(\tau_2 E_{Seff} + \tau_3 E_{Deff})] - V_{FB}^b \end{aligned} \quad (21)$$

其中 τ_1 、 τ_2 和 τ_3 是需要提取的经验参数； E_{Seff} 、 E_{Deff} 分别为埋氧与硅膜界面处源、漏端等效平均电场。由于 λ_b 中的 α_b 是和栅氧电容相联系，因此漏偏置对它的影响不能忽视。采用和正界面相同的处理方法，我们可以得到

$$\begin{aligned} \alpha_b = & \alpha_{b0} + \Delta\alpha_b = \alpha_{b0} + \alpha_{b1} V_{ds}^{\alpha_{b2}} \\ \beta_b = & \beta_{b0} + \Delta\beta_b = \beta_{b0} + \beta_{b1} V_{ds}^{\beta_{b2}} \end{aligned} \quad (22)$$

其中 α_{b0} 、 α_{b1} 、 α_{b2} 、 β_{b0} 、 β_{b1} 和 β_{b2} 都为所提取的参数， α_{b2} 、 β_{b2} 的默认值为 1。对于电荷共享效应，可以用与正界面表面势模型相似的方法进行处理，这里就不再赘述。将本节所得的关于小尺寸效应的修正公式

2、图 3 所示，将它与 MEDICI 数值模拟结果进行了比较，可见能够准确描述深亚微米 FD 器件正沟道的 DIBL 效应。从图中可看出，薄硅膜有助于抑制 DIBL 效应，随着栅压的提高，也有助于抑制 DIBL 效应。

2.2 背界面表面势模型

对于深亚微米 FD 器件，由于埋氧较厚，因此在背界面处的 DIBL 效应要比正界面处严重，使得某些情况下亚阈区的背沟道电流不容忽视。这点已为 MEDICI 数值模拟所证实。因此建立精确的背界面表面势模型十分必要。采用与推导正界面表面势相类似的方法，我们可得背界面表面势的基本公式为

代入背界面表面势模型基本公式(18)式，我们就建立了深亚微米 FD 器件背界面表面势模型。在推导过程中同样不存在迭代过程，从而显著提高了模型的计算效率。将模型计算结果与 MEDICI 数值模拟结果进行了比较，如图 4 所示，可以看出模型能够准确描述深亚微米 FD 器件背沟道的 DIBL 效应。以 $L = 0.25\mu m$ 为例，当漏压从 0V 变化到 1.6V 时，相应的势垒降低值为 0.22V，而对应的正表面势垒降低值为 0.096V，可见背沟道的 DIBL 效应与正沟道相比要强烈的多。

3 亚阈漏电流模型

利用上节所得到的深亚微米全耗尽器件表面势模型，可以很方便地将 DIBL 效应考虑到亚阈模型中去。我们首先建立正沟道亚阈漏电流模型。

3.1 源端表面势

我们认为实际源端表面势位于源和沟道区的势垒最高点处(对少子而言)，其位置可由 $\partial\psi_s/\partial y = 0$ 确定。这样我们可以得到势垒最高点处的位置为

$$y_{min} = \frac{\lambda_t}{2} \ln \left[\frac{1+A}{1-A} \right] \quad (23)$$

$$\text{其中 } A = [ch(L/\lambda_t) - (V_{bi} + V_{ds} - \gamma_f)] / sh(L/\lambda_t) \quad (24)$$

那么考虑 DIBL 效应的实际源端表面势为

$$\begin{aligned} \psi_{sfs} = & \gamma_f + (V_{bi} + V_{ds} - \gamma_f) \frac{sh(y_{min}/\lambda_t)}{sh(L/\lambda_t)} \\ & + (V_{bi} - \gamma_f) \frac{sh((L - y_{min})/\lambda_t)}{sh(L/\lambda_t)} \end{aligned} \quad (25)$$

注意在(25)式中 A 必须小于 1, 也就是 $L > 0.7\lambda_f$, 这对沟道长度直到 $0.25\mu\text{m}$ 的器件都是很容易满足的.

并且这个条件对器件结构的设计也具有一定的指导意义.

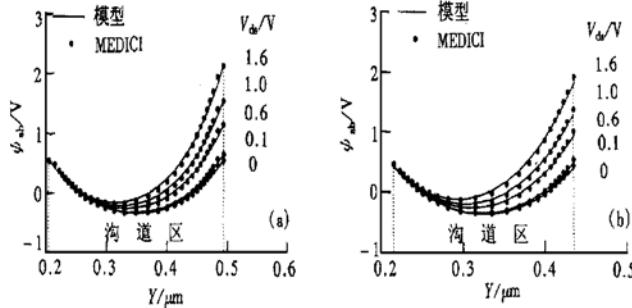


图 4 硅膜厚度为 $0.06\mu\text{m}$, $V_{\text{GF}} = -0.2\text{V}$, 漏压从 0V 到 1.6V 时的背界面表面势分布 (a) $L = 0.3\mu\text{m}$; (b) $L = 0.25\mu\text{m}$.

FIG. 4 Distribution of Back Surface Potential The silicon film thickness is $0.06\mu\text{m}$, the gate voltage is -0.2V and the drain voltage is between 0 and 1.6V .

3.2 源、漏反型层电荷

考虑硅膜中少数载流子的分布, 我们建立如下一维泊松方程

$$\frac{d^2\psi}{dx^2} = \frac{2qN_{\text{ch}}}{\epsilon_{\text{Si}}} (1 + \exp((\psi - 2\phi_B - \bar{F}_n)/V_t)) \quad (26)$$

其中 V_t 为热电势; $\phi_B = V_t \ln(N_{\text{ch}}/N_i)$; N_i 为本征载流子浓度, \bar{F}_n 为电子准费米能级. 利用与文献[5]近似的方法, 我们可以得到

$$E_{\text{fs}}^2 = \frac{2qN_{\text{ch}}}{\epsilon_{\text{Si}}} [\psi_{\text{fs}} - \psi_{\text{min}} + V_t \exp((\psi_{\text{fs}} - 2\phi_B - \bar{F}_n)/V_t) - \exp((\psi_{\text{min}} - 2\phi_B - \bar{F}_n)/V_t)] \quad (27)$$

其中 ψ_{min} 为纵向电场为零处的电势. 对上式进行约简, 并且利用高斯定理和泰勒展开技术, 我们可以得到源、漏反型层电荷密度分别是

$$Q_{\text{invS}} = \sqrt{q\epsilon_{\text{Si}}N_{\text{ch}}/(2\alpha\psi_{\text{fsS}})} V_t \exp((\psi_{\text{fsS}} - 2\phi_B)/V_t)$$

$$Q_{\text{invD}} = \sqrt{q\epsilon_{\text{Si}}N_{\text{ch}}/(2\alpha\psi_{\text{fsS}})} V_t \exp((\psi_{\text{fsS}} - 2\phi_B - V_{\text{ds}})/V_t) \quad (28)$$

其中 α 为描述 ψ_{min} 而引入的经验参数, 默认值为 1.

3.3 亚阈区漏电流公式

对于深亚微米器件, 由于其二维电场效应十分显著, 在亚阈区时漂移电流不能忽视, 根据 Boltzmann 方程, 我们可以用如下公式来同时反映扩散和漂移两种机制的作用.

$$I_{\text{fd}} = W Q_{\text{inv}} \mu_{\text{eff}} \frac{d\bar{F}_n}{dy} \quad (29)$$

其中 W 为沟道宽度; μ_{eff} 为有效迁移率, 它定义为

$$\mu_{\text{eff}} = \mu_t / [1 + \mu_t E / (2v_{\text{sat}})] \quad (30)$$

其中 E 为有效纵向电场; v_{sat} 为饱和速度; μ_t 为库仑散射限制迁移率, 对(30)式沿沟道积分, 可得

$$I_{\text{fd}} = \frac{W}{L_{\text{eff}} [1 + \mu_{\text{eff}} V_{\text{ds}} / (2L_{\text{eff}} v_{\text{sat}})]} \mu_{\text{eff}} \sqrt{\frac{q\epsilon_{\text{Si}}N_{\text{ch}}}{2\alpha\psi_{\text{fsS}}}} V_t^2 \times \exp[(\psi_{\text{fsS}} - 2\phi_B)/V_t] [1 - \exp(-V_{\text{ds}}/V_t)] \quad (31)$$

其中 L_{eff} 为有效沟道长度, 它的定义为

$$L_{\text{eff}} = L - (L_{\text{fs}} + L_{\text{fd}}) \quad (32)$$

其中 $L_{\text{fs}}, L_{\text{fd}}$ 为源、漏的有效耗尽层宽度, 采用耗尽层近似, 可得

$$L_{\text{fs}} = 2(V_{\text{bi}} - \psi_{\text{fsS}}) \lambda t \text{Sh}(L/\lambda t) / [(V_{\text{bi}} + V_{\text{ds}} - Y_t) - (V_{\text{bi}} - Y_t) \text{Ch}(L/\lambda t)]$$

$$L_{\text{fd}} = 2(V_{\text{bi}} + V_{\text{ds}} - \psi_{\text{fsS}}) \lambda t \text{Sh}(L/\lambda t) / [(V_{\text{bi}} + V_{\text{ds}} - Y_t) \text{Ch}(L/\lambda t) - (V_{\text{bi}} - Y_t)] \quad (33)$$

采用完全相似的方式, 可以得到亚阈区背沟道漏电流公式为

$$I_{\text{bd}} = \frac{W}{L_{\text{eff}} [1 + \mu_{\text{eff}} V_{\text{ds}} / (2L_{\text{eff}} v_{\text{sat}})]} \mu_{\text{eff}} \sqrt{\frac{q\epsilon_{\text{Si}}N_{\text{ch}}}{2\alpha\psi_{\text{sbS}}}} V_t^2 \times \exp[(\psi_{\text{sbS}} - 2\phi_B)/V_t] [1 - \exp(-V_{\text{ds}}/V_t)] \quad (34)$$

其中的参数意义与正沟道漏电流公式相似, 这里不再赘述. 这样整个亚阈区漏电流公式就表示为

$$I_{\text{ds}} = I_{\text{fd}} + I_{\text{bd}} \quad (35)$$

4 模型验证

为了对本文建立的亚阈漏电流进行验证, 利用

MEDICI 模拟了几种不同沟道长度、硅膜厚度的全耗尽器件亚阈漏电流特性, 将模型的计算结果与数值模拟结果进行了对比, 结果如图 5—7 所示。

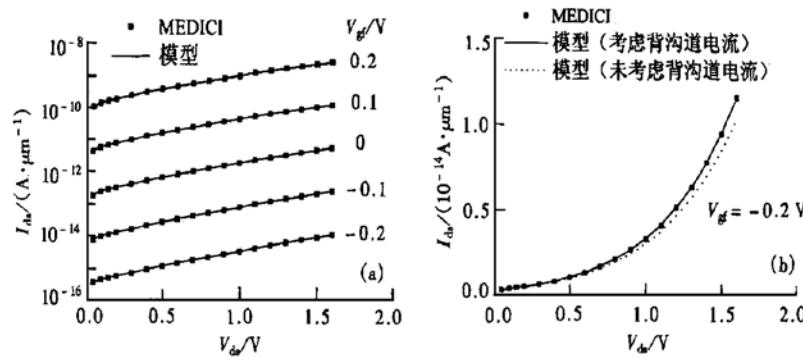


图 5 硅膜厚度为 $0.06\mu\text{m}$, 沟道长度为 $0.3\mu\text{m}$ 全耗尽器件亚阈漏电流特性

FIG. 5 Drain Current Characteristics in Subthreshold Region The silicon film thickness is $0.06\mu\text{m}$ and the channel length is $0.3\mu\text{m}$.

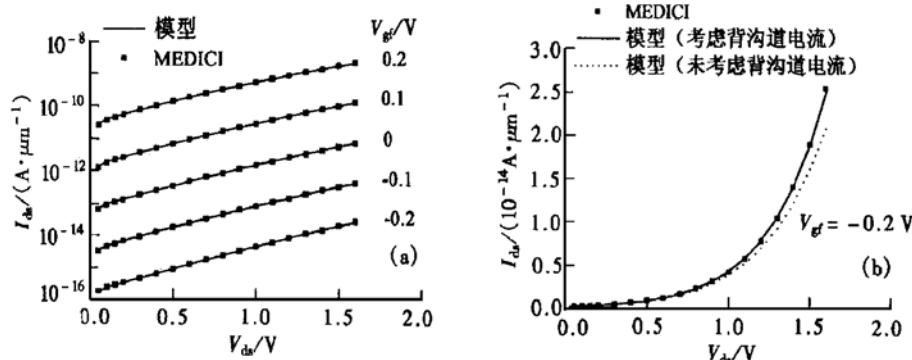


图 6 硅膜厚度为 $0.06\mu\text{m}$, 沟道长度为 $0.25\mu\text{m}$ 全耗尽器件亚阈漏电流特性

FIG. 6 Drain Current Characteristics in Subthreshold Region The silicon film thickness is $0.06\mu\text{m}$ and the channel length is $0.25\mu\text{m}$

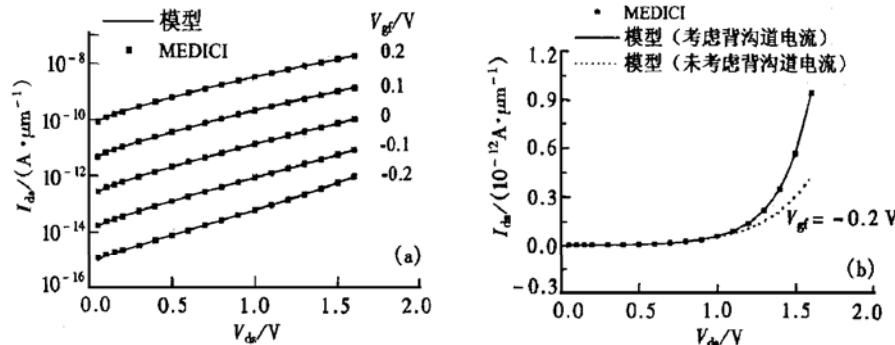


图 7 硅膜厚度为 $0.1\mu\text{m}$, 沟道长度为 $0.25\mu\text{m}$ 全耗尽器件亚阈漏电流特性

FIG. 7 Drain Current Characteristics in Subthreshold Region The silicon film thickness is $0.1\mu\text{m}$ and the channel length is $0.25\mu\text{m}$.

从图中可看出,在整个漏压工作范围内(考虑低压、低功耗的应用场合,取为0—1.6V)二者符合得很好。当硅膜厚度为 $0.06\mu\text{m}$ 时,对于沟道长度为 0.3 、 $0.25\mu\text{m}$ 的器件,在正栅压为-0.2V,漏压为1.6V时,背沟道电流占整个漏电流的比例分别为11%和16%,而当硅膜为 $0.1\mu\text{m}$,沟道长度为 $0.25\mu\text{m}$ 时,在相同的偏置情况下,背沟道电流占整个漏电流的比例为55%,由此可见对于深亚微米FD器件,超薄硅膜是必须的。并且从计算结果可看出,漏压从0.1V提高到1.6V,对于较厚的硅膜,亚阈区的漏电流将会增加近两个数量级,即使是对于硅膜厚度为 $0.06\mu\text{m}$ 时,漏电流也会增加几十倍。因此在低压、低功耗集成电路设计中,对亚阈区的考虑是十分必要的。否则对电路的功耗估计会有较大偏差。

5 结论

为了正确地描述深亚微米全耗尽器件的DIBL效应,本文提出了深亚微米全耗尽器件表面势模型。该表面势模型通过对全耗尽SOI器件硅膜中的纵向电位分布采用准三阶近似,求解了亚阈区的二维

泊松方程,得到表面势公式;通过引入与DIBL效应相关的参数,对表面势公式进行修正,使其能很好的反映DIBL效应。在此基础上,本文提出了一个能准确地描述DIBL效应的亚阈漏电流模型,在模型中考虑了由于源、漏边缘场效应所造成的背沟道漏电流。整个模型的实际计算结果与国际通用二维器件数值模拟软件MEDICI的模拟结果吻合很好。

参考文献

- [1] J. P. Colinge, Fully-Depleted SOI CMOS for Analog Applications, IEEE Trans. Electron Devices, 1998, **45**(5): 1010—1016.
- [2] K. K. Young, Short-Channel Effect in Full Depleted SOI MOSFET's, IEEE Trans. Electron Devices, 1989, **37**(2): 399—402.
- [3] P. C. Yeh and J. G. Fossum, Physical Subthreshold MOSFET Modeling Applied to Viable Design of Deep-Submicrometer Fully Depleted SOI Low-Voltage CMOS Technology, IEEE Trans. Electron Devices, 1995, **42**(9): 1605—1613.
- [4] J. Woo, K. Terrill and P. K. Vasudev, Two-Dimensional Analytic Modeling of Very Thin SOI MOSFET's, IEEE Trans. Electron Devices, 1990, **37**(9): 1999—2006.
- [5] Y. P. Tsividis, Operation and Modeling of the MOS Transistor McGraw-Hill, Inc. 1987.

Modeling of Subthreshold Characteristics of Deep-Submicrometer FD Devices

CHENG Bin-jie¹, SHAO Zhi-biao¹, TANG Tian-tong¹, SHEN Wen-zhen² and ZHAO Wen-kui²

(1 Xi'an Jiaotong University, Xi'an 710049, China)

(2 Xi'an Microelectronics Institute, Xi'an 710054, China)

Abstract: A third-order quasi-cubic silicon film potential function in the vertical direction is assumed for FD-SOI device, and the surface potential formula is obtained via solving the two-dimensional Poisson equation in the subthreshold region. The surface potential model in the deep-submicrometer FD device is presented by introducing some new parameters to describe the DIBL effect. Based on it, a drain current model in the subthreshold region is developed, which can predict the accurate subthreshold drain current characteristics. The models are verified by comparing with the two-dimensional device simulator, MEDICI.

Key words: surface potential; DIBL effect; model of subthreshold region; FD device

PACC: 2560B; 2560S

Article ID: 0253-4177(2001)07-0908-07

CHENG Bin-jie was born in 1973. His research interests include SOI device modeling, VLSI design.

Received 20 July 2000, revised manuscript received 13 October 2000

©2001 The Chinese Institute of Electronics