

C₇₀/GaAs 异质结的电学性质*

陈开茅¹ 孙文红¹ 吴克¹ 武兰青¹ 周锡煌² 顾镇南² 刘鸿飞³

(1 北京大学物理系, 北京 100871)

(2 北京大学化学系, 北京 100871)

(3 北京有色金属研究总院, 北京 100088)

摘要: 在高真空系统中, 将 C₇₀膜淀积在 n-和 p-GaAs(100)衬底上, 制成 C₇₀/n-GaAs 和 C₇₀/p-GaAs 两种接触, 并对它们的电学性质作了研究. 结果发现两种接触均为强整流结, 在偏压为 ±1V 时, C₇₀/n-GaAs 和 C₇₀/p-GaAs 接触的整流比分别大于 10⁶ 和 10⁴, 并且它们的理想因子都接近于 1. 当正向偏压固定时, 它们的电流均是温度倒数的指数函数, 从中确定两种异质结的有效势垒高度分别为 0.784 和 0.531eV. 用深能级瞬态谱(DLTS)在 C₇₀/GaAs 界面上观察到电子陷阱 E(0.640eV)和空穴陷阱 H₃(0.822eV), 以及用电容-时间(C-t)技术在固体 C₇₀中观测到两种空穴陷阱 H₄(1.155eV)和 H₅(0.856eV). E(0.640eV)和 H₃(0.822eV)的密度均小于 10¹²/cm², 可以得出结论: 固体 C₇₀对 GaAs 表面具有很好的钝化作用.

关键词: 固体 C₇₀; GaAs; 界面态; 整流性质

PACC: 7360F; 7340L; 7100; 7155

中图分类号: O485

文献标识码: A

文章编号: 0253-4177(2001)08-0985-07

1 引言

固体 C₆₀或 C₇₀等富勒烯是除石墨和金刚石外碳元素第三种同素异构体, 依其所含的杂质和缺陷的不同, 它们可以是绝缘体、半导体、金属化物质和超导体^[1-6]. 目前绝大部分非有意掺杂的固体 C₆₀和 C₇₀薄膜是弱 n 型半导体. GaAs 是重要的半导体. 固体 C₆₀和 C₇₀等分子半导体与 GaAs 在结构上和物理化学性质方面是很不相同的, 研究它们的接触有着重要的理论和技术益处. 扫描隧道显微镜 (STM) 研究表明生长在 GaAs(110)面上的 C₆₀和 GaAs 衬底有强烈的相互作用并明显处于键合状态^[7]. X 射线光电子能谱 (XPS) 测量指出在 C₆₀/GaAs 系统中有相当数量的电子从 GaAs 转移到 C₆₀^[8]. 新近的电学测量发现固体 C₆₀/GaAs 接触是强整流异质结, 在偏压为 ±1V 时, 其整流比大于 10⁶^[9,10]. 但是, 至今少见有关 C₇₀/GaAs 接触研究的报道.

本文报道固体 C₇₀/n-GaAs 和 C₇₀/p-GaAs 两种接触的初步研究. 首先发现两种接触都是强整流结, 接着用深能级瞬态谱技术观测到 C₇₀/GaAs 界面电子态, 最后用电容-时间 (C-t) 过程观察在 C₇₀/GaAs 界面附近的 C₇₀固体中的空穴陷阱, 并对 C₇₀/GaAs 异质结的形成以及 C₇₀膜对 GaAs 表面的钝化作了讨论.

2 实验与结果

2.1 样品制备

本文所用样品的衬底有两种. 一种是掺锡 (Sn) 浓度为 1—2 × 10¹⁶/cm³ 的汽相外延 (VPE) n 型 GaAs(100) 单晶片. 另一种是掺锌 (Zn) 浓度为 1—2 × 10¹⁵/cm³ 的汽相外延 p 型 GaAs(100) 单晶片. 在两种衬底的背面做好欧姆接触以后, 将它们的正面用 NH₄OH : H₂O₂ : H₂O 按体积比为 2% : 6% :

* 国家自然科学基金资助项目.

陈开茅 教授, 主要从事半导体中杂质和缺陷、SiO₂/Si 界面态以及固体 C₆₀(C₇₀) 与半导体相互作用的研究.

2000-09-06 收到, 2000-11-14 定稿

92%的腐蚀液去层约 10nm. 然后用去离子水冲洗干净和用高纯 N₂ 气吹干, 并马上将它们装入高真空(UHV)室等待淀积 C₇₀. C₇₀粉末是用通常的交流电弧法生产的和重复使用液相层法提纯的. 在 BALZERS UMS-500 UHV 系统中, 将纯度为 99%的 C₇₀粉末热升华到 n 型和 p 型两种 GaAs(100)底片上. 热升华前真空室的真空度为 10⁻⁷Pa, 底片温度为 200°C, C₇₀的淀积速率为 1nm/min. C₇₀膜的厚度用一个石英振荡器作适时监测, 低能电子衍射的结果表明 C₇₀膜为面心立方为主的多晶膜. 由于 Ti 与 C₇₀是欧姆接触^[11], 故在同一真空系统中, 将面积为 5.03×10⁻³cm²的 Ti 电极蒸发在 C₇₀膜上, 此时衬底的温度为 100°C. 这样就制成了固体 C₇₀/n-GaAs 和 C₇₀/p-GaAs 异质结, 用表面台阶仪测得 C₇₀膜的最终厚度约为 200nm.

2.2 C₇₀/GaAs 异质结电流-电压(J-V) 和电流-温度(J-T) 特性

图 1 示出 C₇₀/n-GaAs 接触的 J-V 特性曲线. 曲线表明 C₇₀/n-GaAs 接触具有很强的整流作用, 在偏压为 ±1V 时, 其整流比大于 10⁶. 在较小的正向偏压时, 曲线很接近直线, 表明此时接触的电流是电压指数函数. 在较大正向偏压时, 曲线弯向电压轴, 这一现象是非掺杂的固体 C₇₀串联电阻 R_s 造成

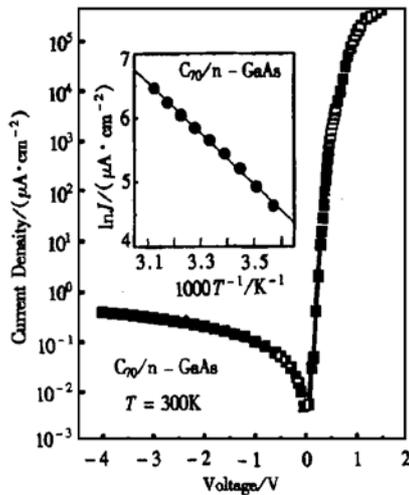


图 1 固体 C₇₀/n-GaAs 接触的伏安特性曲线 插图表示样品电流-温度关系, 电压 V = 0.35V.

FIG. 1 J-V Curve of Solid C₇₀/n-GaAs Contact The Inset expresses lnJ-I/T plot of the contact at V = 0.35V.

的电压降所致. 在偏压 ≤1V 时, 这样的 C₇₀/n-GaAs 接触的正向导通电流密度 J 可以近似地表示为

$$J = J_0 \{ \exp[q(V - A_e J R_s) / nkT] - 1 \} \quad (1)$$

式中 V 是样品的电压降; A_e 是 Ti 电极的面积; q 是电子电荷; n 是理想因子; k 是玻尔兹曼常数; T 是绝对温度; J₀ 是反向饱和电流密度. 在正向偏压为 0.34—0.50V 范围内, 由图 1 的测量数据按(1)式进行拟合, 可得样品在 300K 时的理想因子 n = 1.13 和串联电阻 R_s = 8.5×10³Ω.

图 1 中插图给出 C₇₀/n-GaAs 样品在固定正向偏压于 0.35V (0.35eV > 3nkT) 时的电流-温度(J-T) 关系曲线. 由图可见, 样品电流是温度倒数的指数函数. 对插图的数据按最小二乘法拟合可知(1)式中的 J₀ 也是温度倒数的指数函数, 并可表示为

$$J_0 = J_{00} \exp(-q\Phi_{eff} / kT) \quad (2)$$

式中 J₀₀ 是常数; qΦ_{eff} 是 C₇₀/n-GaAs 接触的有效势垒高度. 对于图 1 样品, J₀₀ = 4.14×10⁴A/cm², qΦ_{eff} = 0.784eV. qΦ_{eff} 是由固体 C₇₀ 和 n-GaAs 的费米能级以及 C₇₀/n-GaAs 界面电子态决定的.

图 2 示出 C₇₀/p-GaAs 接触的 J-V 和 J-T 特性. 图中表明 C₇₀/p-GaAs 接触也具有整流特性, 只不过它的正向导通电压极性与 C₇₀/n-GaAs 的相反.

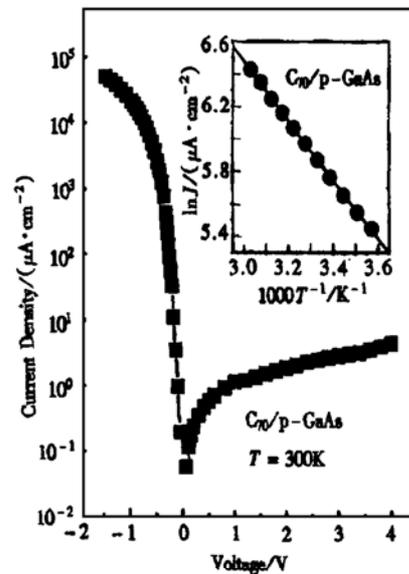


图 2 固体 C₇₀/p-GaAs 接触的伏安特性曲线 插图表示样品电流-温度关系, 电压 V = -0.35V.

FIG. 2 J-V Curve of Solid C₇₀/p-GaAs Contact The Inset expresses lnJ-I/T plot of the contact at V = -0.35V.

当偏压为 $\pm 1\text{V}$ 时, $C_{70}/\text{p-GaAs}$ 的整流比大于 10^4 . 仿照对图 1 的分析, 可以得到 $C_{70}/\text{p-GaAs}$ 样品在 $-0.22 \sim -0.38\text{V}$ 的电压范围内及温度为 300K 时的理想因子 $n = 1.35$ 及串联电阻 $R_s = 1.5 \times 10^4 \Omega$.

图 2 插图给出 $C_{70}/\text{p-GaAs}$ 接触当正向偏压固定于 -0.35V 时的电流随温度的变化. 由图可见, 此时电流是温度倒数的指数函数. 仿照对图 1 插图的分析, 可由图 2 插图的数据得到 $C_{70}/\text{p-GaAs}$ 接触的有效势垒高度 $q\Phi_{\text{eff}} = 0.531\text{eV}$ 以及 $J_{00} = 25.4\text{A}/\text{cm}^2$.

2.3 固体 C_{70}/GaAs 界面态和 GaAs 的深能级

由于 $\text{Ti}/C_{70}/\text{GaAs}$ 结构中的 C_{70} 层是很薄的非掺杂的弱 n 型半导体, 其电阻率高达 $10^6 \sim 10^7 \Omega \cdot \text{cm}$, 因此在异质结自建势的驱动下, 它是完全耗尽的. 这样的 C_{70} 层对反向偏置的 $\text{Ti}/C_{70}/\text{p-GaAs}$ 的高频 (1MHz) $C-V$ 曲线的贡献和绝缘层对 MIS 结构的高频 $C-V$ 曲线的贡献基本类似, 所不同的是在 C_{70}/GaAs 界面因存在反向漏电流, 而不会出现少子累积和 GaAs 表面反型等现象. 因此可以用部分 MIS 结构的理论^[11,12], 分析反向偏置 $\text{Ti}/C_{70}/\text{GaAs}$ 结构的高频 $C-V$ 特性.

本文用深能级电容瞬态谱(DLTS)^[13] 测量 C_{70}/GaAs 界面态和 GaAs 深能级. 对于分立能级界面态, 它的能级位置测量方法和体内深能级一样, 而它的态密度 D_{it} 表示式则很容易推演为

$$D_{\text{it}} = A \epsilon_0 \epsilon_r C_{C70} N_s [\Delta C(t_1) - \Delta C(t_2)]_{\text{max}} / C_R^3 S(t_1, t_2) \quad (3)$$

其中 $[\Delta C(t_1) - \Delta C(t_2)]_{\text{max}}$ 是 DLTS 峰高的相应电容值; t_1 和 t_2 是延迟取样时间, 以及

$$S(t_1, t_2) = \exp(-t_1/\tau) - \exp(-t_2/\tau) \quad (4)$$

其中 $\tau = (t_2 - t_1) / \ln(t_2/t_1)$ 是率窗; C_R 是样品在反向偏压 V_R 时的高频电容; N_s 是衬底半导体的离化浅杂质浓度; C_{C70} 是 C_{70} 层电容; ϵ_r 是衬底半导体的相对介电常数; ϵ_0 是真空电容率.

图 3 的实线和虚线分别示出 $C_{70}/\text{n-GaAs}$ 接触和 $\text{Ti}/\text{n-GaAs}$ 肖特基二极管(控制样品)的 DLTS 谱. 由图可见, 虚线 DLTS 谱不具有任何可见的峰, 这表明在 n 型 GaAs 衬底中不存在可检测的深能级. 而实线 DLTS 谱有一个由 E 标识的相当高的峰存在, 它不可能是 n - GaAs 衬底深中心的峰, 而只能表明在 $C_{70}/\text{n-GaAs}$ 界面或在固体 C_{70} 膜中存在着一个浓度不低的电子陷阱.

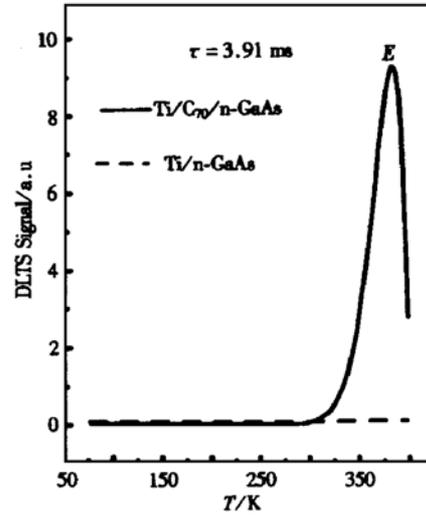


图 3 $C_{70}/\text{n-GaAs}$ 异质结的 DLTS 谱(实线) 虚线是 $\text{Ti}/\text{n-GaAs}$ SBD 的 DLTS 谱, $V_R = -5.0\text{V}$, $V_p = 5.0\text{V}$, $t_p = 1\text{ms}$, $\tau = 3.91\text{ms}$.

FIG. 3 DLTS Spectra of Solid $C_{70}/\text{n-GaAs}$ Heterojunction (Solid Line) and $\text{Ti}/\text{n-GaAs}$ Schottky Junction (Dash Line) $V_R = -5.0\text{V}$ $V_p = 5.0\text{V}$, $t_p = 1\text{ms}$, $\tau = 3.91\text{ms}$.

图 4 的实线和虚线分别表示 $C_{70}/\text{p-GaAs}$ 接触和 $\text{Ti}/\text{p-GaAs}$ SBD(控制样品)的 DLTS 谱. 由图可见, 在虚线表示的 DLTS 谱中存在 H_1 和 H_2 标识的两个明显峰, 这表明在 p-GaAs 衬底中存在两个空穴陷阱. 而在实线表示的 DLTS 谱中, 除了有 H_1 和 H_2 两峰之外, 还有 H_3 标识的高峰存在, 这表明在 $C_{70}/\text{p-GaAs}$ 异质结中除了它的 p-GaAs 衬底含有 H_1 和 H_2 两个空穴陷阱之外, 还在 $C_{70}/\text{p-GaAs}$ 界面或者在固体 C_{70} 膜内存在 H_3 空穴陷阱.

图 5 实方形表示 E 电子陷阱的电子热发射率 $e_n(\tau = e_n^{-1})$ 与温度倒数 ($1/T$) 的关系, 从中确定出 E 陷阱的电子表观激活能为 0.640eV , 电子俘获截面为 $7.3 \times 10^{-16} \text{cm}^2$. 如果 E 是界面缺陷, 则还可将图 3 所示的 E 陷阱的 DLTS 峰高与 $\text{Ti}/C_{70}/\text{n-GaAs}$ 样品的高频 $C-V$ 测量分析和(4)式结合起来计算出 E 陷阱的密度为 $1.8 \times 10^{10}/\text{cm}^2$.

图 5 的空方形、实心圆和空心圆分别表示空穴陷阱 H_1 、 H_2 和 H_3 等的空穴热发射率 $e_p(\tau = e_p^{-1})$ 与温度倒数的关系, 从中确定 H_1 、 H_2 和 H_3 等的空

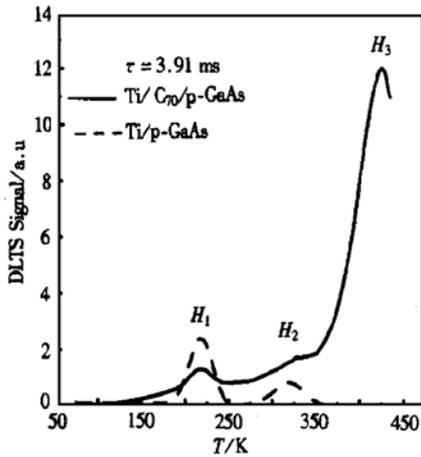


图 4 $C_{70}/p\text{-GaAs}$ 异质结的 DLTS 谱(实线) 虚线是 $\text{Ti}/p\text{-GaAs}$ SBD 的 DLTS 谱, $V_R = 4.0\text{V}$, $V_P = -4.0\text{V}$, $t_p = 1\text{ms}$, $\tau = 3.91\text{ms}$.

FIG. 4 DLTS Spectra of Solid $C_{70}/p\text{-GaAs}$ Contact (Solid Line) and $\text{Ti}/p\text{-GaAs}$ Schottky Junction (Dash Line) $V_R = 4.0\text{V}$, $V_P = -4.0\text{V}$, $t_p = 1\text{ms}$, $\tau = 3.91\text{ms}$.

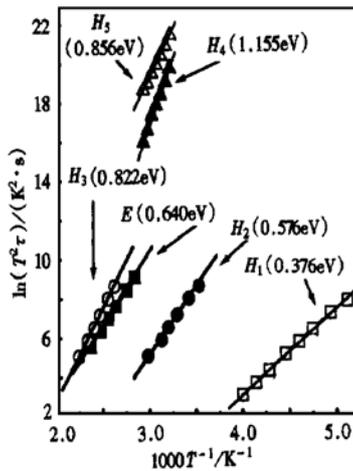


图 5 固体 C_{70}/GaAs 异质结电子(空穴)陷阱的电子(空穴)热发射率随温度的变化 实方形表示 E 电子陷阱, 空方形、实心圆、空心圆、实三角形和空三角形分别表示 H_1 、 H_2 、 H_3 、 H_4 和 H_5 等空穴陷阱

FIG. 5 Variation in Electron (Hole) Thermal Emission Rate with Temperature for the Traps in a Solid C_{70}/GaAs Heterojunctions The solid square expresses electron trap E , and the open square, solid circle, open circle, solid triangle and open triangle express hole traps H_1 , H_2 , H_3 , H_4 and H_5 , respectively.

穴表观激活能分别为 0.376 、 0.576 和 0.822eV 以及空穴俘获截面分别为 5.2×10^{-16} 、 9.5×10^{-16} 和 $4.5 \times 10^{-15}\text{cm}^2$. 仿照对 E 陷阱的分析, 将图 4 所示的 DLTS 峰高和 $\text{Ti}/C_{70}/p\text{-GaAs}$ 以及 $\text{Ti}/p\text{-GaAs}$ 样品的高频 $C\text{-}V$ 测量分析结合定出 H_1 和 H_2 的浓度分别为 $4.6 \times 10^{13}/\text{cm}^3$ 和 $1.6 \times 10^{13}/\text{cm}^3$ 以及 H_3 的密度为 $3.0 \times 10^{11}/\text{cm}^2$.

2.4 固体 C_{70} 的深能级

2.4.1 电容-时间($C\text{-}t$) 过程测量原理

为了简单起见, 这里只讨论那些浓度很高、能级深度甚深和处于 $C_{70}/p\text{-GaAs}$ 界面附近的 C_{70} 层中的深中心. 假设在室温附近, 在 $t = 0$ 时刻以前很长的时间里, $\text{Ti}/C_{70}/p\text{-GaAs}$ 处于零偏置以及 $C_{70}/p\text{-GaAs}$ 界面附近的固体 C_{70} 深能级已被空穴饱和填充. 在 $t = 0$ 时, 样品的偏置突然由 0V 变成反向偏压 V_R , 并且将这一偏压一直保持到 $t \rightarrow \infty$, 在 $0 \leq t < \infty$ 范围内, 处于 $C_{70}/p\text{-GaAs}$ 界面附近的 C_{70} 深能级将热发射空穴并造成一个缓慢的电容-时间($C\text{-}t$) 过程. 可以推演出描述这一过程的等式为

$$[1/C^2(t) - 1/C^2(\infty)] = A \sum_l^n D_{nl} \exp(-t/\tau_l), \quad l = 1, 2, \dots, n \quad (5)$$

式中 $C(t)$ 和 $C(\infty)$ 分别是在 t 和 $t \rightarrow \infty$ 时样品的高频 (1MHz) 电容; D_{nl} 和 τ_l 分别是第 l 个深能级的密度和热发射时间常数, 且有

$$\tau_l^{-1} = e_{nl} + e_{pl} \quad (6)$$

式中 e_{nl} 和 e_{pl} 分别是第 l 个深能级的电子和空穴热发射率, 以及 A 为常数, 且有

$$A = 2/A_e C_{C70} N_A \epsilon_s \epsilon_0 \quad (7)$$

式中 N_A 是 GaAs 的离化浅受主浓度. (5) 式表明 $C\text{-}t$ 过程是由 n 个深能级引起的, $[1/C^2(t) - 1/C^2(\infty)]$ 包含 n 个时间常数不同的指数时间函数.

在较低温度下, 利用某一温度的 $C\text{-}t$ 测量可以确定深中心的密度以及在该温度下深中心的热发射时间常数, 再利用多个温度的 $C\text{-}t$ 测量, 就可以进一步确定深中心的电子(空穴)表观激活能和电子(空穴)俘获截面.

2.4.2 $\text{Ti}/C_{70}/p\text{-GaAs}$ 结构 $C\text{-}t$ 特性

图 6 是 $\text{Ti}/C_{70}/p\text{-GaAs}$ 的高频 (1MHz) $C\text{-}V$ 曲线. 由图可见, 回扫描曲线在正扫描曲线之上, 表明 $\text{Ti}/C_{70}/p\text{-GaAs}$ 的 $C\text{-}V$ 测量明显存在着滞后效应. 图中标明在正扫描的终点 ($V_R = 5.0\text{V}$) 处, 令偏压维

持在 5.0V 10min, 然后再回描, 这是为了使滞后效应更明显. 这种滞后效应是近 C₇₀/p-GaAs 界面的 C₇₀层中的深中心发射空穴引起的.

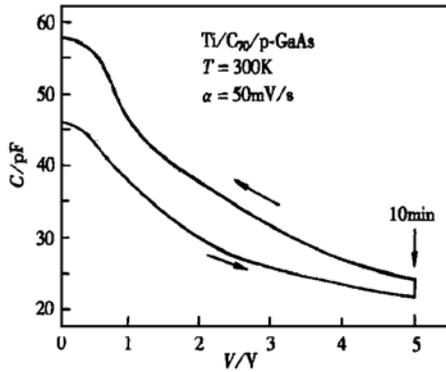


图 6 Ti/C₇₀/p-GaAs 结构的高频(1MHz) C-V 特性
10min 是正扫描在 5.0V 时停的时间, 扫描速率 $\alpha=50\text{mV/s}$

FIG. 6 High Frequency (1MHz) C-V Curve of Ti/C₇₀/p-GaAs Scan voltage stopped for 10min at $V_R = 5.0\text{V}$, and scan speed α is 50mV/s .

图 7 示出温度 $T = 340\text{K}$ 时的 Ti/C₇₀/p-GaAs 异质结的 C-t 特性, 其中 $C(t)$ 和 $C(\infty)$ 以 pF 为单位. 图中实线表示在 $t = 0$ 时刻样品偏压突然由 0V 变成 5.0V 并维持这一电压至 $t \rightarrow \infty$ 情况下, 样品的高频 C-t 曲线, 图中的点线表示方程式(5)左边项的对数与时间的关系. 由图可见, $\ln[1/C^2(t) - 1/C^2(\infty)]$ 与 t 不成线性关系, 这表明样品的 C-t 过程不是由单一深能级引起的. 但是当 $t \rightarrow \infty$ 时, 曲线明显趋近一直线, 见图中 $t \geq 20\text{min}$ 以后的数据点. 我们可以将这些数据按直线关系拟合并外推到整个时间范围, 然后作反对数运算, 这样就可以求出 $[1/C^2(t) - 1/C^2(\infty)]$ 所含的具有最大时间常数 τ_n 的时间指数函数分量 $AD_{in}\exp(-t/\tau_n)$. 用类似的方法对新组成函数 $\ln\{[1/C^2(t) - 1/C^2(\infty)] - AD_{in}\exp(-t/\tau_n)\}$ 随时间 t 的变化作分析, 发现这一新函数与 t 成线性关系, 即此处的 $[1/C^2(t) - 1/C^2(\infty)]$ 只包含两个时间常数不同的指数时间函数(即 $n = 2$), 也就是说在 C₇₀/p-GaAs 界面附近的 C₇₀层中存在两个能级深度甚深的空穴陷阱 H_4 和 H_5 . 分析图 7 的数据给出这两缺陷的密度分别为 $9.1 \times 10^{11}/\text{cm}^2$ 和 $9.6 \times 10^{10}/\text{cm}^2$ 以及在 $T = 340\text{K}$ 时它们的热发射时间常数分别为 1.64 和 18.2min.

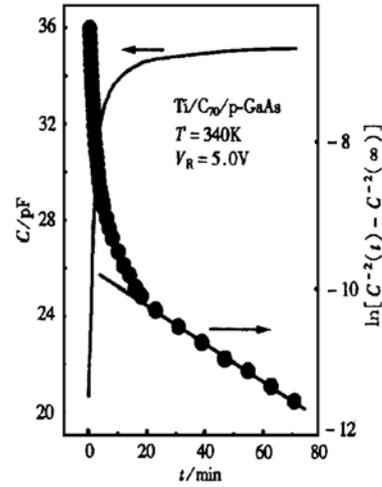


图 7 Ti/C₇₀/p-GaAs 结构的高频(1MHz) C-t 曲线
FIG. 7 High Frequency (1MHz) C-t Curve of Ti/C₇₀/p-GaAs

图 5 的实三角形和空三角形分别示出 H_4 和 H_5 的空穴热发射率与温度的关系, 从中确定出它们的空穴表观激活能分别为 1.155 和 0.856eV. 为了便于以后分析, 现将前面所述各主要陷阱的参数列于表 1.

表 1 固体 C₇₀/GaAs 界面陷阱和 C₇₀层的深能级参数
Table 1 Parameters for Trap on Solid C₇₀/GaAs Interface and for Deep-Levels in C₇₀ Layer

陷阱	电子(空穴)表	电子(空穴)俘获	密度/ cm^{-2}
	观激活能/eV	截面/ cm^2	
E	0.640	7.3×10^{-16}	1.8×10^{10}
H ₃	0.822	4.4×10^{-15}	3.0×10^{11}
H ₄	1.155		9.1×10^{11}
H ₅	0.856		9.6×10^{10}

3 讨论

固体 C₇₀是分子半导体, 而 GaAs 是化合物半导体, 两半导体结构是十分不同的. 固体 C₇₀是靠分子间的凡德瓦尔斯(Vander Waals)力的凝聚作用和 C₇₀分子按晶格常数为 1.50nm 的面心立方晶格排列而成的^[14], 且完整的固体 C₇₀表面不存在悬挂键. 而 GaAs 是晶格常数仅为 0.565nm 的闪锌矿结构^[15], 晶体表面有很多悬挂键. 初看起来, 如此不同的两种半导体能形成很好的异质结(见 2.2 节)是难以理解的. 然而详细考虑 C₇₀分子椭圆面碳原子间的双键是弱键, 常因扰动双键中的一键裂成两个悬挂

键, 这些悬键会和 GaAs 表面的悬挂键形成共价键, 从而大大降低了界面态的存在和助长异质结的形成. 这样 2.2 节的测量结果就得到了解释.

深中心 E (0.640eV) 和 H_3 (0.822eV) 的空间位置问题还未完全确定. 在 2.3 节中已经指出它们不可能是 GaAs 的缺陷, 而可能是 C_{70} /GaAs 界面陷阱或 C_{70} 层中的深中心. 在此进一步指出它们也不是 C_{70} 层中的深中心, 而只能是 C_{70} /GaAs 界面陷阱, 原因是样品中的 C_{70} 层是非掺杂的和电阻率高的, 其费米能级接近禁带中央, 若要用传统 DLTS 测出其中的深能级, 则这种深能级必须在禁带中央附近, 而且必须具有特别大的俘获截面, 以便具有可观的电子(空穴)俘获率和在脉冲宽度(1ms)内被电子(空穴)填充, 但是从表 1 看, E (0.640eV) 和 H_3 (0.822eV) 都没有完全具备这些条件, 因此它们不可能是位于 C_{70} 层中的深能级, 而只能是位于 C_{70} /GaAs 界面的缺陷. 至于 E 和 H_3 的精确能级位置, 目前尚不能确定, 因为尚不知它们的俘获界面激活能是多少.

关于深中心 H_4 和 H_5 的空间分布问题, 我们在观测时发现当某一温度下 $C-t$ 过程结束而让样品回到 0V 偏置时, 要等很长时间(若干小时以上), 样品电容才能回到平衡态的数值附近. 这说明 H_4 和 H_5 的空穴俘获速率是很小的, 这就意味着 H_4 和 H_5 所在处的空穴浓度很小, 也就是说它们必须是位于 C_{70} /GaAs 界面附近的固体 C_{70} 中.

前面的分析已经指定 E (0.640eV) 和 H_3 (0.822eV) 是在 C_{70} /GaAs 界面上, 这两缺陷的密度均小于 $10^{12}/\text{cm}^2$. 将具有这样缺陷的 C_{70} /GaAs 界面和 GaAs/绝缘体(如 Si_3N_4 或 GaAs 氧化物等)界面相比, 前者的界面态比后者的少得多, 因后者的界面态密度高达 $10^{13}-10^{14}/\text{cm}^2$ ^[16-18], 这表明固体 C_{70} 膜对 GaAs 表面有很好的钝化作用.

4 结论

本文首次发现固体 C_{70} /GaAs 接触是强整流结, 并在 C_{70} /GaAs 界面观测到电子陷阱 E (0.640eV) 和

空穴陷阱 H_3 (0.822eV) 以及用新的 $C-t$ 技术在 C_{70} 层中观测到两空穴陷阱 H_4 (1.155eV) 和 H_5 (0.856eV). E 和 H_3 的密度均小于 $10^{12}/\text{cm}^2$, 这表明 C_{70} 膜能很好地钝化 GaAs 表面.

参考文献

- [1] J. Mort, R. Ziolo, M. Machonkin *et al.*, Chem. Phys. Lett., 1991, **186**: 284.
- [2] R. C. Haddon, A. E. Hebard, M. J. Rosseinsky *et al.*, Nature, 1991, **350**: 320.
- [3] A. Hamed, Y. Y. Sun, Y. K. Tao *et al.*, Phys. Rev., 1993, **B47**: 10873.
- [4] S. P. Kelty, C. C. Chen and C. M. Lieber, Nature, 1991, **352**: 223.
- [5] P. J. Benning, J. L. Martins, J. H. Weaver *et al.*, Science, 1991, **252**: 1417.
- [6] A. F. Hebard, M. J. Rosseinsky, R. C. Haddon *et al.*, Nature, 1991, **350**: 600.
- [7] Y. Z. Li, J. C. Patrin, M. Chander *et al.*, Science, 1991, **252**: 547; Y. Z. Li, M. Chander, J. C. Patrin *et al.*, *ibid.*, 1991, **253**: 429.
- [8] T. R. Ohno, Y. Chen, S. E. Harvey *et al.*, Phys. Rev., 1991, **B44**: 13737.
- [9] K. M. Chen, Y. X. Zhang, G. G. Qin *et al.*, Appl. Phys. Lett., 1996, **69**: 3557.
- [10] CHEN Kaimao, CHEN Ying, ZHANG Yaxiong *et al.*, Chinese Journal of Semiconductors, 1998, **19**: 650 [陈开茅, 陈莹, 张亚雄, 等, 半导体学报, 1998, **19**: 650].
- [11] K. M. Chen, K. Wu, Y. Chen *et al.*, Appl. Phys. Lett., 1995, **67**: 1683.
- [12] S. M. Sze, Physics of Semiconductor Devices, New York: Wiley, 1981, 366—369.
- [13] D. V. Lang, J. Appl. Phys., 1974, **45**: 3023.
- [14] W. B. Zhao, X. D. Zhang, Z. Y. Ye *et al.*, Solid State Commun., 1993, **85**: 311.
- [15] S. M. Sze, Physics of Semiconductor Devices, New York: Wiley, 1981, 848.
- [16] F. I. Hshieh, K. N. Bhat, S. K. Ghandhi *et al.*, J. Appl. Phys., 1985, **57**: 4657.
- [17] F. L. Schuermeyer and H. P. Singh, J. Vac. Sci. Technol., 1981, **19**: 426.
- [18] E. C. Paloura, J. Lagowski and H. C. Gatos, Appl. Phys. Lett., 1991, **58**: 137.

Electrical Properties of Solid C₇₀/GaAs Heterojunctions*

CHEN Kai-mao¹, SUN Wen-hong¹, WU Ke¹, WU Lan-qing¹,
ZHOU Xi-huang², GU Zhen-nan² and LIU Hong-fei³

(1 *Department of Physics, Peking University, Beijing 100871, China*)

(2 *Department of Chemistry, Peking University, Beijing 100871, China*)

(3 *Research Institute of Nonferrous Metals, Beijing 100088, China*)

Abstract: Solid C₇₀/GaAs contacts are fabricated by vacuum deposition of solid C₇₀ films on the n- and p-type epitaxial GaAs (100) substrates and their electrical properties are studied. It is found that these two kinds of contacts are both strongly rectifying heterojunctions. The rectification ratios are higher than 10⁶ and 10⁴ respectively, for the solid C₇₀/n-GaAs and C₇₀/p-GaAs contacts at the bias of ±1V. At a fixed forward voltage, the current is an exponential function of the reciprocal temperature, from which, the effective barrier heights can be determined to be 0.784 and 0.531eV for C₇₀/n-GaAs and C₇₀/p-GaAs contacts, respectively. A electron trap, *E* (0.640eV), and a hole trap, *H*₃ (0.822eV) are observed at the solid C₇₀/GaAs interfaces with deep level capacitance transient spectroscopy (DLTS). Two hole traps in solid C₇₀ are investigated by means of capacitance-time (*C-t*) technique for the first time. It shows that the GaAs surfaces can be passivated by the C₇₀ films very well.

Key words: solid C₇₀; GaAs; interface states; rectifying property

PACC: 7360F; 7340L; 7100; 7155

Article ID: 0253-4177(2001)08-0985-07

* Project Supported by National Natural Science Foundation of China.

CHEN Kai-mao professor, has been studying the impurities and defects in semiconductors, interface states at SiO₂/Si interface and interaction of solid C₆₀(C₇₀) and important semiconductors for many years.

Received 6 September 2000, revised manuscript received 14 November 2000

©2001 The Chinese Institute of Electronics