

采用 0.25 m CMOS 工艺、适用于 LVDS 驱动器的高性能多相时钟生成器的设计

陈 钰 洪志良 朱 江

(复旦大学电子工程系, 上海 200433)

摘要: 提出了一种适用于 LVDS 驱动器的电荷泵锁相环 (PLL) 多相时钟生成器的设计方法, 特别是在压控环形振荡器 (VCO) 设计中采用了高温度补偿和高电源抑制比的新技术, 使得 VCO 的固定频率基本不受温度和电源电压变化的影响。采用 UMC 的 $0.25\mu\text{m}$ CMOS 工艺模型, 在 Cadence 的环境下用 spectreS 仿真器模拟, 结果表明设计的 PLL 对于不同的 PVT: SSS、TTT、FFF、SFS、FSF (头两个字母表示工艺变化引起的模型参数的变化, 第三个字母表示系统工作条件: T 为 75°C , 3.3V; S 为 125°C , 3.0V; F 为 0°C , 3.6V), 均能得到符合标准要求的 7 相时钟信号, 其中 VCO 固定频率所对应的温度系数为 $32\text{ppm}/^\circ\text{C}$, 电源反射比为 $0.2\%/\text{V}$ 。

关键词: 锁相环; 多相时钟生成器; 环形压控振荡器; 温度补偿; 电源抑制比

EEACC: 2570D; 1200

中图分类号: TN 402

文献标识码: A

文章编号: 0253-4177(2001)08-1069-06

1 引言

针对传统数字视频界面在高速传输数据时难以克服的高电磁干扰、高功耗问题, 提出了一种以 ANSI/TIA/EIA-644 为性能指标参考的低压差分信号数据传输系统。基于 LVDS 标准的发送器由四路通道构成, 用于将 28 位并行红、绿、蓝数据及控制

信号转换为四路并行数据传输, 每一路由 7:1 并-串转换器完成, 如图 1(a) 所示。并行输入数据先用 $32-112\text{MHz}$ 的主时钟锁存进来, 然后用 7 相时钟依次打开后输出数据(7 相时钟时序波形如图 1(b) 所示), 经过并串电路后的每路串行数据速率即变为 $224(32 \times 7)-784(112 \times 7)\text{Mb/s}$ 。为满足上述 LVDS 驱动器时钟要求, 本文采用 $0.25\mu\text{m}$ 的 CMOS 工艺设计了一种具有低温度系数和低电源

系统主时钟($32-112\text{MHz}$)4 路 LVDS 输出数据通道(每通道 $224-784\text{Mbps}$)

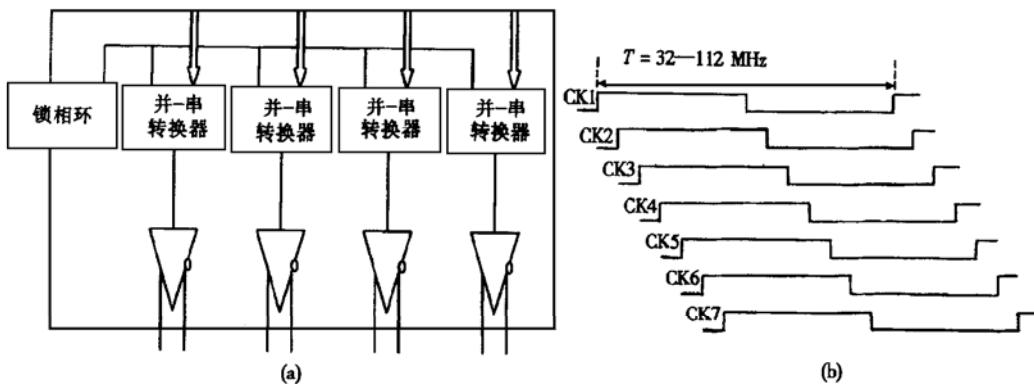


图 1 LVDS 驱动器示意图和 7 相时钟时序波形图

FIG. 1 Block Diagram of LVDS Driver and Waveform of 7-Phase Clock

反射比的性能稳定的电荷泵锁相环多相时钟生成器电路,电压控制振荡器电路是决定整个锁相环电路性能的关键部件.不同于文献[1,2]所报道的半导体激光锁相列阵和微多晶梁开关振荡器,本文提出的锁相环电路是以CMOS集成电路单片实现的.

2 多相时钟生成器的工作原理和结构框图

要产生满足LVDS驱动器时钟频率要求的7相时钟(每相延迟为 $1/224\text{--}1/784\text{MHz}$),可以有两种实现方案:

(1) 锁相环直接产生 $224\text{--}784\text{MHz}$ 的时钟信号,再通过一个七分频器产生 $32\text{--}112\text{MHz}$ 的时钟信号,然后通过7个触发器顺次连接便可产生7相时钟信号:其中 $224\text{--}784\text{MHz}$ 的时钟作为7个D触发器的时钟信号,而 $32\text{--}112\text{MHz}$ 的时钟作为第一个D触发器的输入数据端信号,第二个D触发器的输入数据端信号为第一个触发器的输出信号,如此依次连接,最后从7个D触发器拉出的输出信号便是满足要求的7相时钟信号(每相延迟为 $1/224\text{--}1/784\text{MHz}$).

(2) 锁相环由级数为 $7 \times N$ ($N = 1, 2, \dots$) 的VCO构成,每隔 N 级抽出,得到的7相时钟信号再经过一定的逻辑组合便可满足LVDS驱动器的时钟要求. N 越大,可利用的PLL时钟信号相数越多,使用更灵活,但 N 不能太大, N 越大,所占面积越大,且VCO的速度越慢,越难满足最高频率要求.

方案(1)为传统的实现方法,这种做法的优点是PLL的输出信号再经过一定的组合电路产生所需

要的时钟信号,不用考虑VCO本身负载的影响.缺点是要求VCO的振荡频率高,高速VCO消耗的功耗大且实现较困难.方案(2)的这种实现方法中VCO本身并不需要很高的振荡频率,但由于有多个抽头抽出作为多相时钟信号,为了保持均衡VCO每个延迟单元必须都接负载并且其振荡频率会随负载的不同而不同.所以,PLL设计时必须连同负载一起考虑,通用性没有方案(1)强.设计中考虑到面积、速度、功耗以及实现的复杂程度,采用方案(2)的PLL结构.因为VCO最后一级延迟单元接的负载和前面的延迟单元稍有不同(最后一级延迟单元输出一般还接有VCO的启动电路),所以从最后一级延迟单元抽出的时钟信号要稍慢些,在高速多相时钟应用中是无法忍受的.为了避免从最后一级抽出时钟信号,设计了14级的VCO结构,每隔两级抽出互补的时钟信号相互组合,最后得到7相时钟信号.

图2是电荷泵锁相环的结构框图,电荷泵锁相环由鉴频鉴相器(PFD)、电荷泵环路低通滤波器(Chargepump-LPF)、压控振荡器(VCO)构成.14级压控振荡器产生7相与系统时钟同频率的时钟 $\text{CLK}(n)$ ($n = 1, 2, \dots, 7$),将时钟周期均分为7等份.延迟单元采用全差分结构,其中压控线性电阻(VCR)受环路低通滤波器产生的控制信号的控制,根据系统时钟的变化呈现不同的线性电阻,使VCO的输出时钟频率和相位相应地变化以跟踪系统时钟的相位.7相时钟由间隔的延迟单元产生,压控振荡器主环路与多相时钟产生回路相分离,使得每一个延迟单元的电容负载相同,减小了压控振荡器的设计难度.

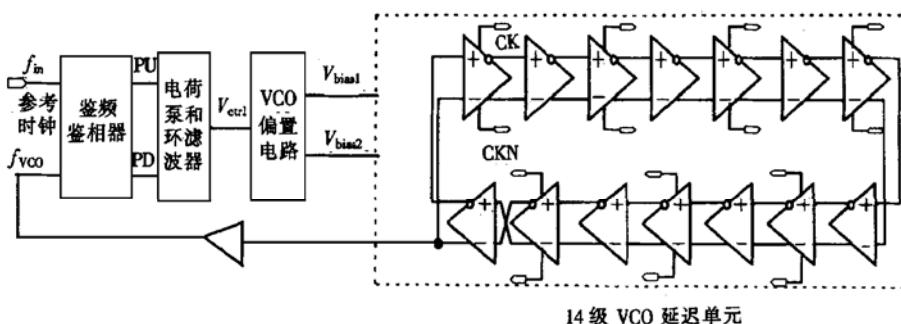


图2 电荷泵锁相环7相时钟生成器的结构框图

FIG. 2 Structure Diagram of Chargepump PLL

3 电荷泵锁相环各部件的具体设计

3.1 VCO

3.1.1 VCO 延迟单元

具体电路图如图 3 所示:

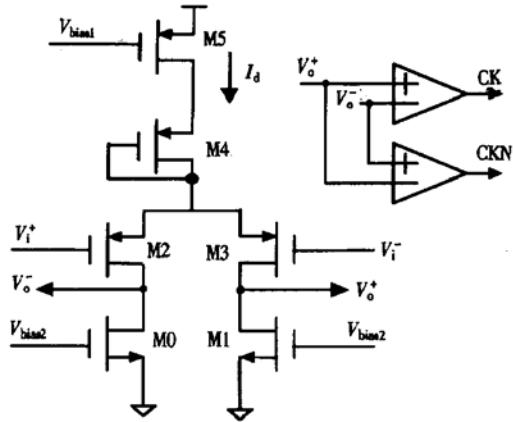


图 3 VCO 差分延迟电路

FIG. 3 Delaycell Circuit of VCO

本设计采用差分延迟单元结构,优点是:(1)对电源和衬底噪声有较强的抑制能力;(2)每级有两个互补的输出端,输出更灵活;(3)双极性输出使得它可以通过把最后一级输出交叉连接到第一级的输入端实现偶数级环路,而不一定局限于奇数级。延迟单元中作为线性电阻(VCR)的 MOS 管 M1 和 M0 随着 V_{bias2} 电压值的变化而呈现不同的电阻值,进而改变每级延迟单元的延迟时间($\tau \propto CV_{swing}/I_d$, V_{swing} 为 VCO 的振荡幅度, I_d 为延迟单元的偏置电流)使得 VCO 的振荡频率可以锁定在不同的输入参考时钟下。图 3 中上面两个串联的偏置 PMOS 管进一步提高了电源抑制比。设计中考虑到速度、抗干扰性等诸多因素,VCO 的振荡摆幅为 1V,因为不是满幅输出,所以后面跟了两个相同的放大器同时又作为等效负载放大输出,产生两个互补的时钟信号 CK 和 CKN。

3.1.2 VCO 偏置单元

具体电路图如图 4 所示:

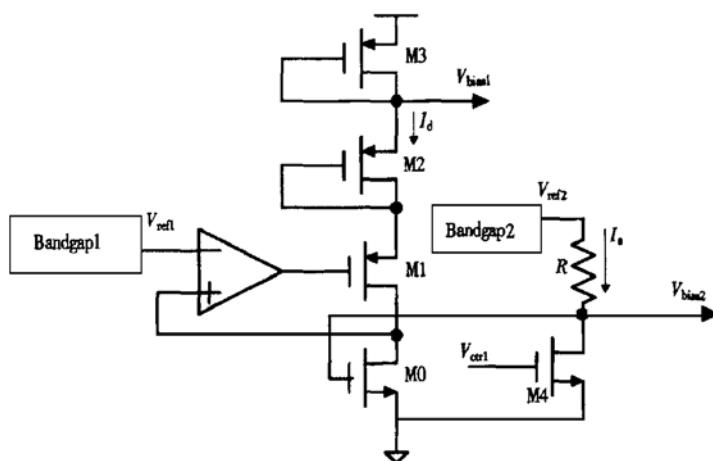


图 4 VCO 偏置电路

FIG. 4 Biasing Circuit of VCO

经过对 VCO 半个延时单元的复制,偏置单元相当于工作在 VCO 振荡状态的峰值。通过运放的反馈作用,线性负载 NMOS 管 M0 漏电压箝位于 V_{ref1} 。偏置电路和 VCO 延迟单元的一边是完全相同的,它的镜像确定了 VCO 振荡幅度 V_{swing} 为定值 V_{ref1} ,这样通过 V_{ctrl} 单一地改变 I_d 偏置电流值,来线性地改变 VCO 的振荡频率。带隙基准电路 Bandgap1 产生与电源电压和温度均无关的参考电压 V_{ref1} 。VCO 振荡幅度 V_{swing} 是一与电源电压和温

度无关的定值 V_{ref1} ,为了使 VCO 的频率稳定就必须使 I_d 受电源电压和温度的影响小,所以设计了右边由 M4、电阻 R 和带隙基准电路 Bandgap2 组成的补偿电路。由电路 Bandgap2 产生的 V_{ref2} 与电源电压无关,所以 M0 栅电压 V_{bias2} 为一与电源电压无关的定值,且 M0 的漏电压同时箝位于 V_{ref1} ,所以 VCO 固定频率所对应的控制电压 V_{ctrl} 一定时,偏置电流 I_d 基本不受电源电压的影响。载流子迁移率和管子的阈值电压均受温度的影响,经仿真 V_{bias2} 一定时,温

度越高, 电流 I_d 越小, 所以设计的补偿电路, 产生一个与温度变化成正比的 M0 栅电压 V_{bias2} , $V_{bias2} = V_{ref2} - I_s R$, 适当地选取 R 和 M4 的 W/L , 使得 V_{ctrl} 一定时 I_d 也基本不受温度的影响, 由此达到 VCO 的固定频率基本不受电源电压和温度影响的目的。另外, 从 V_{ctrl} 和 V_{bias2} 的关系中可看出: V_{ctrl} 越高, V_{bias2} 就越低, I_d 就越小, 对应的 VCO 频率也就越低。

3.2 鉴频鉴相器(PFD)、电荷泵(Chargepump)和环路滤波器(LPF)

PFD 由 R-S 触发器和一个四输入与非门组成, 输入分别为参考时钟和 VCO 输出时钟, 输出 PU 和 PD 去控制后面的电荷泵。无论哪一个输入上升沿的到来, 都会使相应的 PU 或 PD 变高有效, 稍后当后一个上升沿到来时, PU 和 PD 有一个同时有效的瞬间, 然后均被复位。电荷泵和环路滤波器的示意图

如图 5(a) 所示, 两个受 PFD 输出信号控制的电流源与后面的阻抗性环路滤波器相结合, 把 PFD 输入相位差信号转换为相应脉宽的开关信号控制电荷泵的开关和极性, 以实现对环路滤波电容和电阻上电压 V_{ctrl} 的控制, 从而实现对 VCO 振荡频率和相位的调整。当 VCO 的振荡频率高于参考时钟时 PU 为高电平, 电荷泵上面的开关合上, 对积分电容充电, VCO 的控制电压升高, VCO 频率降低, PFD 输入相位差缩小; 反之当 VCO 的振荡频率低于参考时钟时, PD 变为高电平, 电荷泵下面的开关合上, 积分电容放电, VCO 的控制电压降低, VCO 频率升高, 同样可使相位差缩小。实际设计中的电流源是非理想的, 如果两个电流源的电流大小不同, 在 PU 和 PD 同时有效的时间里, 会有电荷的积累, 导致锁定状态下 V_{ctrl} 呈现小幅度的锯齿波变化。如图 5(b) 所示的电荷泵具体电路, 采用了高阻抗、宽摆幅的恒流源形式。

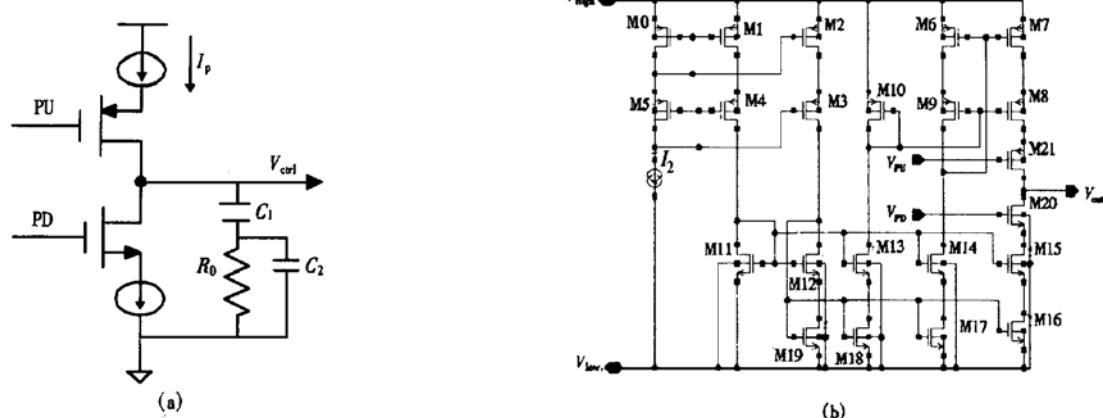


图 5 电荷泵和环路滤波器的原理图及电荷泵的具体电路

FIG. 5 Diagram of Chargepump LPF and Concrete Circuit of Chargepump

4 仿真结果

(1) 应用 UMC 的 $0.25\mu\text{m}$ CMOS 工艺模型, 在 Cadence 的环境下用 spectreS 模拟, 对于以下 PVT: SSS、TTT、FFF、SFS、FSF(头两个字母表示工艺变化引起的模型参数的变化, 第三个字母表示系统工作条件: T: 75°C , 3.3V; S: 125°C , 3.0V; F:

0°C , 3.6V), 均能得到符合标准要求的 7 相时钟信号。图 6(a) 给出了 SSS 情况下整个 PLL 电路进行跟踪仿真的结果: 当 VCO 固定频率比参考时钟频率高时, PU 有效, 电荷泵上面开关打开对 V_{ctrl} (S4) 充电, 使 V_{ctrl} 电平升高, VCO 的振荡频率(S2) 变低, 相位不断接近参考信号, 直至最后 V_{ctrl} 电平稳定。图 6(b) 给出了从 VCO 每两级延时单元抽出互补信号经过组合最后得到的时钟信号波形。

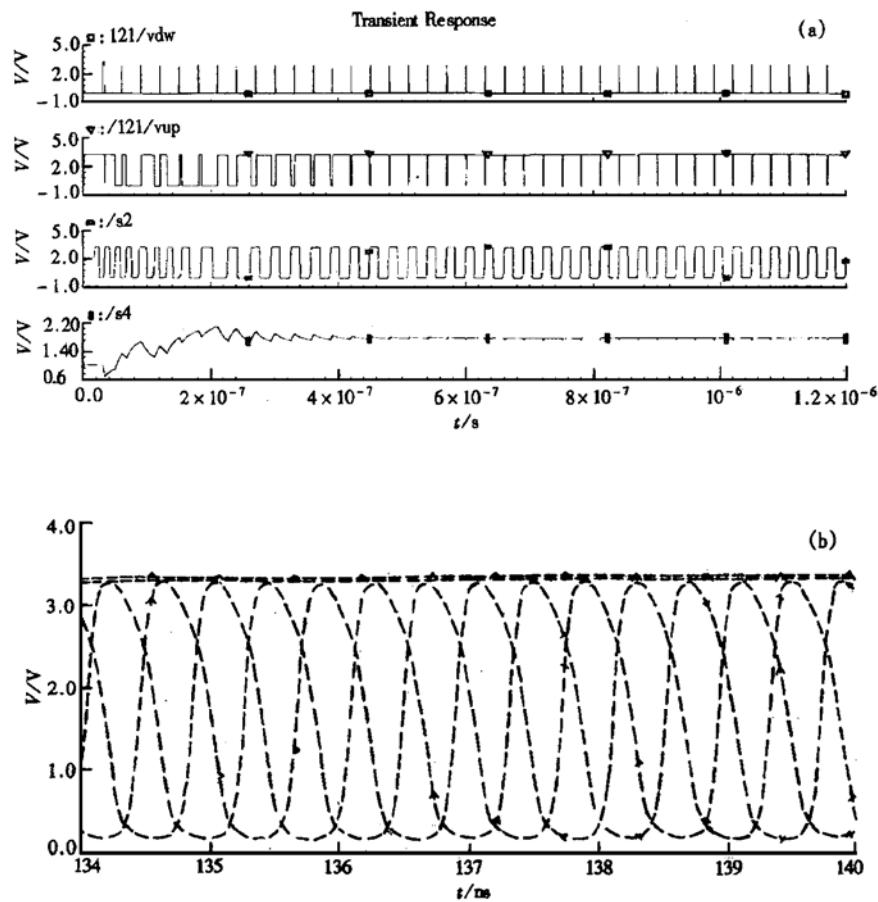


图 6 14 级 PLL 电路的跟踪仿真结果和最后得到的时钟波形

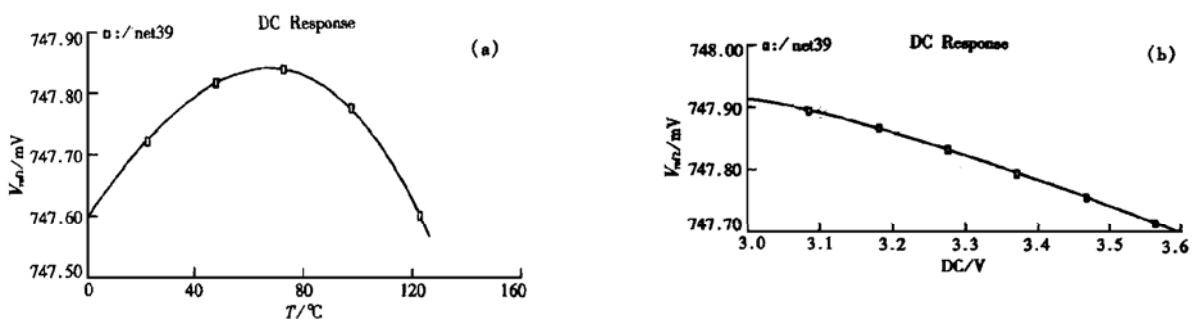
FIG. 6 Waveforms During Acquisition and Waveforms of Clock Signals Generated by PLL

(2) 经仿真:(a) VCO 的频率范围及 VCO 固定频率所对应的温度系数和电源电压反射比如表 1 所示;(b) VCO 偏置电路中带隙基准电路产生的基准电压 V_{ref1} 与温度和电源电压的关系如图 7(a) 和(b) 所示,由前面所述的原理可知 VCO 振荡幅度 V_{swing} 与电源电压和温度基本无关.

表 1 VCO 的性能参数

Table 1 Characteristics of VCO

VCO 频率范围	32—112MHz
VCO 温度系数	32ppm/°C
VCO 电源反射比	0.2%/V

图 7 (a) 基准电压 V_{ref1} 与温度的关系;(b) 基准电压 V_{ref1} 与电源电压的关系FIG. 7 Sensitivity of V_{ref1} vs Temperature and Power Supply

5 结论

本文提出了一种适用于 LVDS 驱动器的高性能锁相环多相时钟生成器的设计。采用 UMC 的 $0.25\mu\text{m}$ CMOS 工艺模型，在 Cadence 的环境下用 spectreS 仿真器模拟，该锁相环电路对于不同的 PVT 均能满足设计要求。

参考文献

- [1] Zhang Shilin, Liang Huilai, Yuan Xiaojie and Yang Delin, Chinese Journal of Semiconductors, 1992, **13**(2): 124—126.
- [2] Sun Xiaoqing, Li Zhijian and Fei Guifu, Chinese Journal of Semiconductors, 1993, **14**(6): 331—336.
- [3] B. Kim, IEEE J. Solid-State Circuits, 1999, **25**(12): 1385—1394.
- [4] Floyd M. Gardner, IEEE Trans. Comm., 1980, **28**(11): 1849—1858.
- [5] Ian A. Young, Jeffrey K. Greason and Keng L. Wong, IEEE J. Solid-State Circuits, 1992, **27**(11): 1599—1606.
- [6] Luo Weixong, Han Li and Ding Jie, The Techniques and Applications of Phase-Locked Loop, Beijing Polytechnical University Press, 1990.
- [7] Yang Shizhong, Li Xiaochun, Song Jingguang and Zhang Shenjiu, The Fundamental of Phase-Locked Loop, People's Post Press, 1977.

Design of High-Performance Multiphase Clock Generator Used in LVDS Driver with 0.25 m CMOS Technology

CHEN Yu, HONG Zhi-liang and ZHU Jiang

(Department of Electronics Engineering, Fudan University, Shanghai 200433, China)

Abstract: The conventional interface in a high-resolution flat panel system can't overcome the problems of excess electromagnetic interference and power caused by full-swing transmission signals in parallel lines. A low voltage differential signaling (LVDS) driver based on ANSI/TIA/EIA-644 standard is used to solve the bottleneck in the conventional interface. In UMC $0.25\mu\text{m}$ CMOS, a multi-phase clock generator Chargepump phase-locked loop (PLL) with high temperature compensation and low supply sensitivity has been designed. With spectres in Cadence, the results show that this PLL circuit operates with a lock ranging from 32MHz to 112MHz and has a $32\text{ppm}/^\circ\text{C}$ temperature coefficient (TC) and $0.2\%/\text{V}$ supply sensitivity of free-running frequency.

Key words: phase locked loop; multi-phase clock generator; ring voltage-controlled oscillator; temperature compensation; supply sensitivity

EEACC: 2570D; 1200

Article ID: 0253-4177(2001)08-1069-06