

粗糙界面对超薄栅 MOS 结构的直接隧穿电流的影响*

毛凌锋 谭长华 许铭真 卫建林 穆甫臣 张贺秋

(北京大学微电子所, 北京 100871)

摘要: 研究了粗糙界面对电子隧穿超薄栅金属-氧化物-半导体场效应晶体管的氧化层的影响。对于栅厚为 3nm 的超薄栅 MOS 结构的界面用高斯粗糙面进行模拟来获取界面粗糙度对直接隧穿电流的影响, 数值模拟的结果表明: 界面粗糙度对电子的直接隧穿有较大的影响, 且直接隧穿电流随界面的粗糙度增加而增大, 界面粗糙度对电子的直接隧穿的影响随着外加电压的增加而减小。

关键词: 粗糙度; 直接隧穿; 场效应晶体管

PACC: 7340G; 7340R

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)09-1143-04

1 引言

集成电路制造工艺持续地发展使半导体器件的尺寸逐步地缩小。金属-氧化物-半导体场效应晶体管(MOSFET)的沟道长度为 100nm 时要求 2.0—1.5nm 厚的栅氧化层。这样即使在很低的电压下, 隧穿电流也随栅氧化层厚度的变薄而指数地增长^[1]。然而不断地减小氧化层的厚度对直接隧穿的影响越来越大时, 氧化层及硅和氧化层间的界面质量对 MOSFET 的影响也越重要。由于表面的微观粗糙度增加, 减小了沟道载流子的迁移率和恶化氧化层的击穿特性。微观粗糙度本质上是与氧化层的局域厚度相关。由于隧穿电流对势垒厚度有很强的依赖关系, 故隧穿电流也将敏感于界面粗糙度的变化。尽管在许多实验中直接隧穿都发生在 MOSFET 有很明显的粗糙界面, 但是很多关于直接隧穿的理论工作都是在假定界面是平整的基础上开展的^[2—7]。本文中我们将考虑界面的微观粗糙度对直

接隧穿电流的影响, 其中界面的粗糙度采用方均根粗糙度来描述。

2 粗糙界面的模型

从文献[8]中的 STM 图像可看出: 粗糙表面由许多具有一定的微突体所覆盖, 微突体的顶部可近似看作半径为 R 的柱体, 而微突体的高度是随机的, 在单位面积的界面上分布有 D_{sum} 个这样的微突体, 可假定这些高度为 z 的微突体在统计上服从高斯分布, 并且具有标准差 σ , 其分布的概率密度函数 $f(z)$ 为:

$$f(z) = \frac{1}{\sigma(2\pi)^{\frac{1}{2}}} \exp\left[-\frac{z^2}{2\sigma^2}\right] \quad (1)$$

均方根粗糙度为:

$$\delta = [(h(x, y) - \bar{h})^2]^{1/2} \quad (2)$$

从文献[9—11]中, 我们知道最粗糙的 Si-SiO₂ 界面的起伏可达到 1.4nm。因此在本文粗糙的 Si-SiO₂ 界面的描述中, 对所要计算的氧化层厚为 3nm

* 国家科技攻关(G2000-036503)和高校博士点基金(97000113)资助项目。

毛凌锋 博士研究生, 现主要从事小尺寸 MOS 器件中的量子效应及小尺寸器件可靠性的研究。

许铭真 教授, 主要从事小尺寸 MOS 器件特性及其表征、半导体材料可靠性物理和器件可靠性物理的研究。

谭长华 教授, 主要从事小尺寸器件物理及可靠性物理的研究。

2000-11-22 收到, 2001-02-16 定稿

©2001 中国电子学会

的情况,假定其最大起伏不超过 1nm ,即 1nm 为粗糙界面的最大截止起伏。

3 粗糙界面下直接隧穿的计算

对于平整界面的情况,由文献我们可知,垂直入射下电流密度可写为^[12, 13]:

$$J = \frac{qm^*}{2\pi^2\hbar^3}D(V) \int_E^\infty [f_0(E_x) - f_1(E_x)] dE_x \quad (3)$$

式中 $f_0(E_x)$ 和 $f_1(E_x)$ 是电子的初态和终态的占据率,其中电子的透射系数为^[14]:

$$\begin{aligned} D(V) = & \frac{k_3}{k_1} \times \frac{4}{\pi^2} \left[\left(\frac{z'}{k_1} \{ A_i(z_0) B_i'(z_s) - A_i'(z_s) B_i(z_0) \} \right. \right. \\ & + \frac{k_3}{z} \{ A_i(z_0) B_i(z_s) - A_i(z_s) B_i(z_0) \}^2 \\ & + \left. \left(\frac{k_3}{k_1} \{ A_i(z_s) B_i'(z_0) - A_i'(z_0) B_i(z_s) \} \right. \right. \\ & \left. \left. + A_i(z_0) B_i'(z_s) - A_i'(z_s) B_i(z_0) \right)^2 \right]^{-1} \end{aligned} \quad (4)$$

式中

$$z_0 = \left[\frac{aL_{ox}}{2qV} \right]^{2/3} \Phi_l \quad (5)$$

$$z_s = \left[\frac{aL_{ox}}{2qV} \right]^{2/3} (\Phi_l - qV) \quad (6)$$

$$z' = - \left(\frac{a^2}{4} \times \frac{qV}{L_{ox}} \right)^{1/3} \quad (7)$$

$$A_i(z_0) = \left. \frac{d}{dz} A_i(z) \right|_{z=0} \quad (8)$$

$$B_i'(z_0) = \left. \frac{d}{dz} B_i(z) \right|_{z=0} \quad (9)$$

$$A_i'(z_s) = \left. \frac{d}{dz} A_i(z) \right|_{z=L_{ox}} \quad (10)$$

$$B_i'(z_s) = \left. \frac{d}{dz} B_i(z) \right|_{z=L_{ox}} \quad (11)$$

$$a = \left[\frac{2m_{ch}qF}{\hbar^2} \right]^{1/3} \quad (12)$$

A_i 和 A'_i 分别是 Airy 函数及其导数; k 是电子的波矢; Φ_l 是势垒高度; m_{ch} 是栅氧化层导带中电子的平均有效质量; \hbar 是约化普朗克常数; L_{ox} 是栅氧化层厚度; q 是电子的电荷; V 是外加电压。则面积为 S 的界面流过的电流强度为:

$$I_0 = S \frac{qm^*}{2\pi^2\hbar^3}D(V) \int_E^\infty [f_0(E_x) - f_1(E_x)] dE_x \quad (13)$$

对于同样投影面积的粗糙界面,则电流强度为:

$$I = \iint_S \frac{qm^*}{2\pi^2\hbar^3}D(x, y) \int_E^\infty [f_0(E_x) - f_1(E_x)] dE_x dx dy \quad (14)$$

4 结果和讨论

我们对不同粗糙界面的隧穿电流进行数值计算。图 1 显示在直接隧穿的情况下,不同粗糙度的界面下电子的透射系数 T 。从图中我们可看出方均根粗糙度 δ 越大时,电子的透射系数 T 越大。图 2 显示在不同的外加电压下,不同方均根粗糙度 δ 界面下的电流强度 J_{rough} 相对于平整界面时的电流强度 J_{flat} 的相对增量(随方均根粗糙度 δ 变化而变化)的

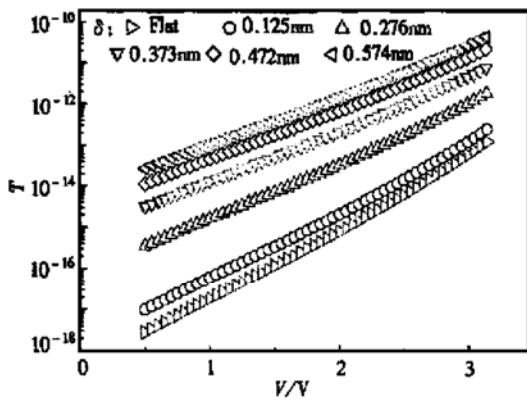


图 1 不同粗糙度下电子透射系数与外加电压 V 的关系

FIG. 1 Relation Between Transmission Coefficient of Electrons and Applied Voltage with Different Roughness

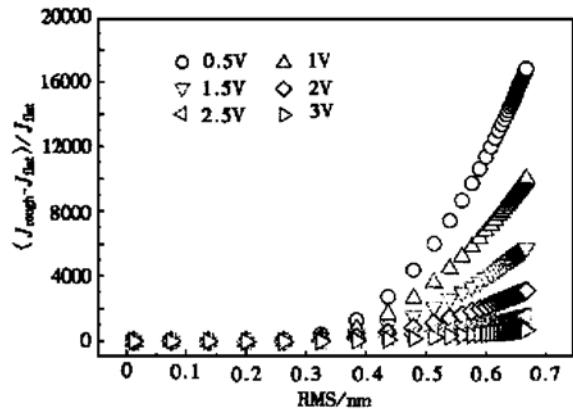


图 2 不同电压下,隧穿电流相对于平整界面时电流的相对增量随方均根粗糙度(RMS)的变化

FIG. 2 Increase in Tunneling Current Relative to Smooth Interface, with Root Mean Square Roughness Changed at Different Applied Voltage

情况。从图中我们可看出: 随界面的方均根粗糙度 δ 增大, 直接隧穿电流指数增加。另外, 从图上也可看

出, 外加电压越低时, 界面粗糙度的影响越明显。图 3 显示在不同粗糙度界面下的隧穿电流强度 J_{rough} 相对于平整界面时电流强度 J_{flat} 的相对增量随外加电压变化而变化的情况。从图中我们可看出: 随外加电压的增大, 界面的方均根粗糙度 δ 对直接隧穿的影响指数下降, 同样从图上可看出方均根粗糙度 δ 越大时, 对直接隧穿电流的影响越大。在计算中所用的参数: 栅氧化层的厚度为 3nm, 电子的有效质量为 $0.5m$ (m 是自由电子的质量), 势垒的高度为 3.15eV。

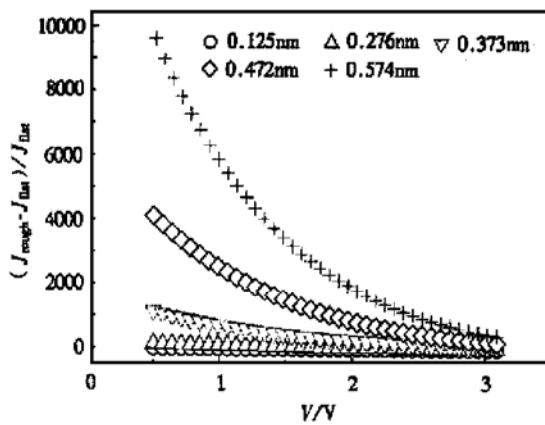


图 3 不同粗糙度下, 电流增量随外加电压的变化

FIG. 3 Increase in Tunneling Current with Applied Voltage Changing with Different Roughness

5 结论

对于栅厚为 3nm 的超薄栅 MOS 结构的界面用高斯粗糙面进行模拟来获取界面粗糙度对直接隧穿电流的影响, 数值模拟的结果表明: 界面粗糙度对电子的直接隧穿有较大的影响。并且表明: 直接隧穿电流随界面的粗糙度增加而增大, 界面粗糙度对电子的直接隧穿的影响随着外加电压的增加而减小。

参考文献

- [1] H. S. Momose, M. Ono, T. Yoshitomi, T. Ohguro, S. Nakamura, M. Satio and H. Iwai, IEEE Trans. Electron Devices, 1996, **ED-43**: 1233.
- [2] Khairurrijal, W. Mizubayashi, S. Miyazaki and M. Hirose, J. Appl. Phys., 2000, **87**: 3000.
- [3] Leonard F. Register, Else Rosenbaum and Kevin Yang, Appl. Phys. Lett., 1999, **74**: 457.
- [4] S. -H. Lo, D. A. Buchanan, Y. Taur and W. Wang, IEEE Electron Devices Lett., 1997, **18**: 209.
- [5] E. Cassan, P. Dollfus, S. Galdin and P. Hesto, Microelectronics Reliability, 2000, **40**: 585.
- [6] M. Depas, B. Vermeire, P. W. Mertens, R. L. Van Meiragh and M. M. Heyns, Solid-State Electronics, 1995, **38**: 1465.
- [7] Wei Jianlin, Mao Lingfeng, Xu Mingzhen and Tan Changhua, Chinese Journal of Semiconductors, 2001, **22**(6): 765[卫建林, 毛凌锋, 许铭真, 谭长华, 半导体学报, 2001, **22**(6): 765].
- [8] G. S. Shekhawat, Ram P. Gupta, S. S. Shekhawat, D. P. Routhala, P. D. Vyas, P. Srivastava, S. Venkatesh, K. Mamoud and K. B. Garg, Appl. Phys. Lett., 1996; **68**: 114.
- [9] A. H. Carim, M. M. Dovek, C. F. Quate, R. Sinclair and C. Vorst, Science, 1987, **237**: 630.
- [10] S. J. Fang, W. Chen, T. Yamanaka and C. R. Helms, Appl. Phys. Lett., 1996, **68**: 2837.
- [11] S. J. Fang, W. Chen, T. Yamanaka and C. R. Helms, J. Electrochem. Soc., 1998, **144**: L231.
- [12] Yuji Ando and Tomohiro Itoh, J. Appl. Phys., 1987, **61**: 1497.
- [13] L. F. Mao, Ch. H. Tan, M. Zh. Xu and J. L. Wei, Acta Physica Sinica, 2000, **49**: 974[毛凌锋, 许铭真, 谭长华, 卫建林, 物理学报, 2000, **49**: 974].
- [14] Mao Lingfeng, Xu Mingzhen Tan Changhua and Wei Jianlin, Chinese Journal of Semiconductors, 2000, **21**: 999[毛凌锋, 许铭真, 谭长华, 卫建林, 半导体学报, 2000, **21**: 999].

Effect of Interface Roughness on the Direct Tunneling Current in Ultrathin MOS Structures^{*}

MAO Ling-feng, TAN Chang-hua, XU Ming-zhen, WEI Jian-lin, MU Fu-chen and ZHANG He-qiu

(Institute of Microelectronics Peking University, Beijing 100871, China)

Abstract: With the aggressive scaling down of MOS, the direct tunneling current will replace FN tunneling as the main issue effecting the MOS devices reliability. The interface roughness effects on the electron tunneling in the ultra-thin oxide of a metal-oxide-semiconductor field transistor are investigated theoretically. Those on the direct tunneling current are also obtained via the simulation of roughness interfaces with Gaussian rough map. The numerical results of simulation show that the direct tunneling current increases with the increase of the interfaces roughness, while the effects of the interfaces roughness on the direct tunneling current decrease with the increase of applied voltage.

Key words: roughness; direct tunneling; field-effect transistor

PACC: 7340G; 7340R

Article ID: 0253-4177(2001)09-1143-04

* Project Supported by National Science and Technology Program(G2000-036503) and University Doctoral Point Foundation(97000113).

MAO Ling-feng PhD candidate. His main research interest includes the quantum effects in the MOS devices, the modeling of MOS devices and degradation of MOS devices under uniform, nonuniform stresses.

TAN Chang-hua professor. His current interests include physics and reliability of small dimension devices.

XU Ming-zhen professor. Her current interests include physics and characterization of small dimensional devices as well as reliability of semiconductor materials and devices.