

SOI 器件中瞬态浮体效应的模拟与分析*

卜伟海 黄 如 徐文华 张 兴

(北京大学微电子所, 北京 100871)

摘要: 针对 SOI 器件中的瞬态浮体效应进行了一系列的数值模拟, 通过改变器件参数, 比较系统地考察了 SOI 器件中瞬态浮体效应, 同时也研究和分析了瞬态浮体效应对 CMOS/SOI 电路(以环振电路为例)的影响, 并提出了抑制器件浮体效应的器件结构和参数优化设计.

关键词: SOI; 浮体效应; 环振

EEACC: 1230B; 2570D; 2560F

中图分类号: TN 386 **文献标识码:** A **文章编号:** 0253-4177(2001)09-1147-07

1 引言

SOI 器件在很多方面都表现出十分优良的特性, 但由于 SOI 器件特有的结构, 也带来了一种人们所不希望的特有现象——浮体效应(floating-body effect), 浮体效应是影响 SOI 技术广泛应用的一个关键因素之一.

浮体效应给设计 CMOS/SOI 集成电路带来很大的影响. 例如在数字电路和模拟电路中有可能造成逻辑混乱和电路功能改变. 对 SOI 器件浮体效应的物理机理作系统深入的研究和分析, 并提出抑制浮体效应的措施, 将对 SOI 技术的发展具有重要意义. 因此无论是在国内还是在国际上, 都已经有不少对此效应的研究, 并提出了一些能够减弱浮体效应的新结构, 如体接触等. 除此之外, 有关特性研究、机制研究也比较多多^[1-8]. 但大多数都是侧重研究浮体效应对器件直流特性的影响, 而有关浮体效应对 SOI 电路性能的影响, 尤其是瞬态浮体效应的研究则较少. 正是基于目前这种状况, 我们对 SOI 器件及其典型电路中的瞬态浮体效应进行了比较系统深入的研究, 并提出了抑制 SOI 器件浮体效应的一些

措施.

本文主要讨论部分耗尽(PD) SOI 器件中的瞬态浮体效应(TFB), 同时也涉及一些全耗尽(FD) 器件中的浮体效应. 我们通过改变器件本身的参数(如 Si 膜厚度(t_{Si})、沟道区掺杂浓度(N_{ch})) 等来研究器件瞬态效应的表现, 并在此基础上研究了典型 CMOS/SOI 电路(反相器、环振电路)中的瞬态浮体效应, 从而给出寻找抑制浮体效应最佳器件参数的途径.

2 瞬态浮体效应的物理机制及模拟^[9]

瞬态浮体效应是由于 SOI 器件中硅体的浮空所引起的, 所以, 当器件某电极上所加的偏压迅速变化时, 必然引起硅膜中载流子浓度分布也会产生突然变化, 器件中的其他特性如电势分布、漏极电流等也将随之变化. 而这些变化所达到的状态都是不稳定的, 它必然要向一种稳定过渡, 随着时间的推移, 器件最终达到稳定状态($t \rightarrow \infty$), 这一稳定状态类似于直流情形. 从这种瞬态恢复到稳态的过程, 正是本文所要讨论的内容.

在栅电极上施加一个正脉冲, 必然将原来栅氧

* 国家重点基础研究专项基金(20000365) 和国家自然科学基金(No. 69976001)资助项目.

卜伟海 男, 1977 年出生, 研究生, 主要从事深亚微米 SOI 技术研究.

黄 如 女, 1969 年出生, 博士, 副教授, 主要从事亚 0.1 微米 MOS 器件、SOI 技术的研究.

张 兴 男, 1965 年出生, 博士, 教授, 主要从事亚 0.1 微米 MOS 器件、SOI 技术、CMOS 工艺技术的研究.

2000-11-22 收到, 2001-01-11 定稿

©2001 中国电子学会

下的空穴扫到硅膜内部, 导致硅膜中存在多余的空穴, 这时, 器件表现出一系列的瞬态特性。从瞬态达到稳态, 主要是硅膜中多余的空穴和电子通过复合, 从而达到稳定状态, 这里的复合有间接复合(SRH)和俄歇(Auger)复合。当栅电极上施加负脉冲时, 其机理是一样的, 不同的只是通过产生提供空穴以达

到稳定。

在模拟瞬态浮体效应时, 间接复合和俄歇复合是必须要考虑的。若以 U_n 和 U_p 分别表示电子和空穴的复合, 则器件中总的复合情况可以表示为:

$$U = U_n = U_p = U_{SRH} + U_{Auger} + U_{dir} \quad (1)$$

其中 U_{SRH} 和 U_{Auger} 可分别表示为:

$$U_{SRH} = \frac{p n - n_{ie}^2}{\tau_p \left[n + n_{ie} \exp \left(\frac{E_{trap}}{kT} \right) \right] + \tau_n \left[p + n_{ie} \exp \left(-\frac{E_{trap}}{kT} \right) \right]} \quad (2)$$

$$U_{Auger} = N_{Aug} (p n^2 - n n_{ie}^2) + P_{Aug} (n p^2 - p n_{ie}^2) \quad (3)$$

式中 N_{Aug} 和 P_{Aug} 为常系数。

将得到的 U_n 和 U_p 代入电子和空穴的连续性方程:

$$\frac{\partial n}{\partial t} = \frac{1}{q} \vec{\nabla} \cdot J_n - U_n = F_n(\Psi, n, p) \quad (4)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \vec{\nabla} \cdot J_p - U_p = F_p(\Psi, n, p) \quad (5)$$

再结合泊松方程和 Boltzmann 输运理论, 可以得出我们所要求的物理量。

在进行模拟时, 栅极电压从 0V 迅速(在 10^{-12} s 量级)跳变到 1.8V, 而漏压维持在 0.1V, 源端和衬底均为 0V。保持漏压在较低的电压, 是为了避免发生碰撞电离。从文献[10]中可知, 当电子和空穴的复合寿命为 $1.2\mu s$ 时, 模拟结果与实验测得数据最为接近。SOI 器件中的埋氧厚度为 400nm, 栅氧厚度为 10.5nm, 沟道长度为 $0.4\mu m$, 源漏的掺杂为 $1 \times 10^{20}/cm^3$ 。

通过分析可以得到, 瞬态浮体效应随硅膜厚度的改变而变化。我们选择的沟道区掺杂为 $2.2 \times 10^{17}/cm^3$, 硅膜厚度从 40nm 变化到 160nm。在该器件参数下, 器件的最大耗尽层厚度约为 72nm, 所以在 40nm 到 160nm 的变化范围内, 有全耗尽和部分耗尽两种情形。本文模拟了栅压跳变以后, 源漏电流(I_{DS})和硅膜中电势分布分别随时间的变化。利用 MEDICI 软件的瞬态计算, 考察 I_{DS} 从时间 $t=0$ 到 $t=20s$ 之间的大小变化情况; 对于电势分布, 考虑的是沟道中央, 在特定的几个时间点, 硅膜中电势纵向分布的变化。

当沟道区浓度改变时, 器件硅膜的最大耗尽层厚度也在变化, 也就引起了瞬态浮体效应的相应变化。硅膜厚度 t_{Si} 为 100nm, 沟道区浓度从 $1 \times 10^{16}/cm^3$ 变化到 $1 \times 10^{18}/cm^3$ 。同样, 模拟栅压跳变后, I_{DS}

和硅膜中电势分布分别随时间的变化。

3 器件参数对瞬态浮体效应的影响^[10, 11]

当栅压 V_{GS} 从 0V 跳变到 1.8V 以后, 漏电流 I_D 迅速变大。本文对于电流的变化过程作了归一化处理, 即图示的纵坐标为 $I_D/I(\infty)$ 。

硅膜较薄时, 器件处于全耗尽状态, 瞬态浮体效应所引起的电流过冲的恢复时间比较短, 在图 1 中, $t_{Si}=40nm$ 和 $60nm$ 的电流随时间变化的曲线几乎重合, 图 2 为这两条曲线的放大(即图 1 中的虚线圈

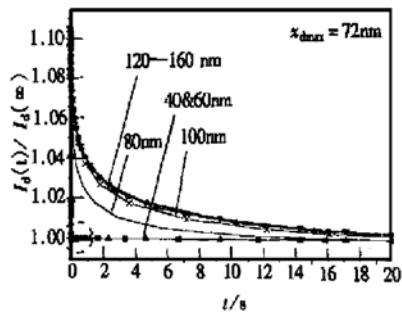


图 1 栅压 V_{GS} 跳变以后电流随时间的变化情况(t_{Si} 变化)

FIG. 1 Change in I_d After V_{GS} Being Changed from 0V to 1.8V at Different t_{Si}

部分)。由此可见, 在 $10^{-2}s$ 的量级, 两者区别还是比较明显的。当 $t_{Si}=80nm$ 和 $100nm$ 时, 器件处于部分耗尽状态, 其瞬态浮体效应在图示中比较明显。当 t_{Si} 达到 120nm 以上, 硅膜厚度的不同所引起的瞬态浮体效应的区别已经变得不明显, $t_{Si}=120nm$ 、 $140nm$ 、 $160nm$ 这三种状态所对应的曲线几乎重合在一起。图 3 中横坐标采用了对数坐标, 可以比较清

楚地看出,在瞬态过程中,硅膜越厚的器件瞬态电流越小。

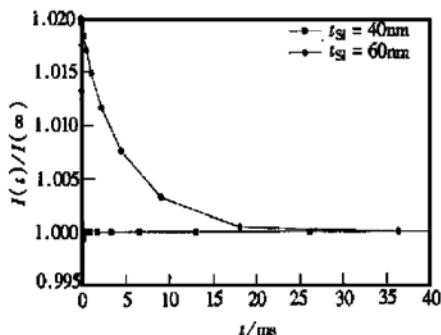


图2 全耗尽情形下的电流变化情况(图1虚线圆圈中部分的放大)

FIG. 2 Change in I_d when the Device Being Fully Depleted (Zoom of the Circle in Fig. 1)

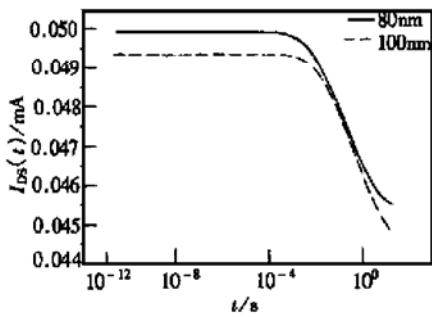


图3 不同硅膜厚度下电流的瞬态变化

FIG. 3 Transient Changes in I_d with Different t_{si}

沟道中电势分布的变化如图4所示,四条曲线分别对应的时间为 $t < 0$, $t = 1 \times 10^{-11}$ s, $t = 1.0$ s, $t = \infty$.以 $t_{si} = 100$ nm为例,当 $t = 1 \times 10^{-11}$ s时,硅膜中电势恰为 $t < 0$ 时的电势平移,随着时间的增大,硅膜中接近栅氧化层处的电势不再变化,但在硅膜内部,电势随时间逐渐降低,直至最后硅膜中紧靠埋氧的上表面处的电势与 $t < 0$ (即栅压为0V)时近似相等.当然,由于硅膜的厚度不同所导致的硅膜耗尽情形不同,使得电势的变化也有所不同.

图5是在沟道区中某点的电势变化,该点取在硅膜中离上表面约为 $0.024\mu\text{m}$ 处,图中各点(V_0 , V_1 , V_2 , V_3)所取的值在图4中已有标识.图5表示的是不同硅膜厚度,经过相同的时间,电势距离稳态的差值.可见,硅膜越厚,电势瞬态过冲达到稳态的速度越慢,当硅膜厚度达到一定的数值($t_{si} = 140$ nm)时,其恢复速度接近饱和.

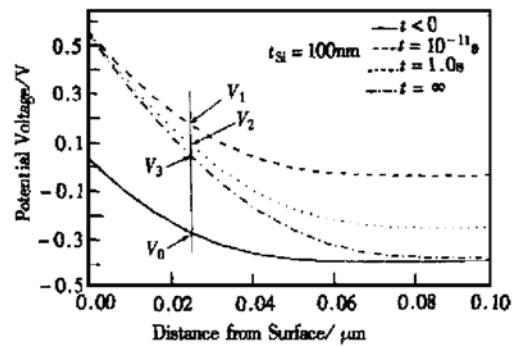


图4 栅压变化前后,在几个特定的时间硅膜中电势的分布
FIG. 4 Potential in Si Film at Several Given Time Before and After the Change of V_{gs}

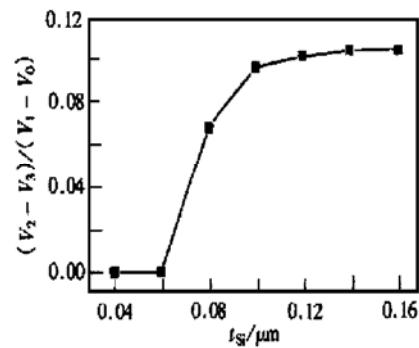


图5 栅压跳变后1s时硅膜中电势距离稳态的差值(t_{si} 变化)

FIG. 5 Distance Between the Potential in Si Film at 1s After V_{gs} Being Changed and the Steady State (at Different t_{si})

沟道区浓度的变化也会引起硅膜耗尽情形的不同,在该部分中,数据处理大体和变硅膜厚度时的方法一样.图6所示为 N_{ch} 变化时,电流随时间的变化关系.在衬底浓度较低时($N_{ch} = 1 \times 10^{16}/\text{cm}^3$, $5 \times 10^{16}/\text{cm}^3$),器件还处于全耗尽状态,电流达到稳态值所需的时间极短,在图中几乎无法看出区别.图中的另外两条曲线分别对应于 $N_{ch} = 2 \times 10^{17}$, $5 \times 10^{17}/\text{cm}^3$,其区别比较明显.图中没有将 $N_{ch} = 1 \times 10^{18}/\text{cm}^3$ 的电流曲线表示出来是因为在这么高的浓度下,瞬态浮体效应引起的电流过冲十分大,无法在图中标出.栅压跳变以后,对应于 $N_{ch} = 2 \times 10^{17}$, 5×10^{17} 和 $N_{ch} = 1 \times 10^{18}/\text{cm}^3$,电流达到稳态时的1.01倍(即 $I_{DS}(t)/I_{DS}(\infty) = 1.01$)所需的时间分别为6.25,37.6,505s.

对于电势分布,同样采用变 t_{si} 时所用的处理方

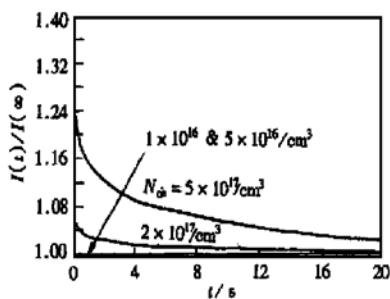


图 6 棚压 V_{GS} 跳变以后电流随时间的变化情况
(N_{ch} 变化)

FIG. 6 Change in Current After V_{GS} Being
Changed (at Different N_{ch})

法, 图 7 中的 V_0, V_1, V_2, V_3 分别对应于图 4 中的各点, 此处考察点取在硅膜中深度为 24.4nm 处。图 7 中横轴为对数坐标。从图 7 中可见, 瞬态浮体效应随着沟道区掺杂的增大而变得明显。

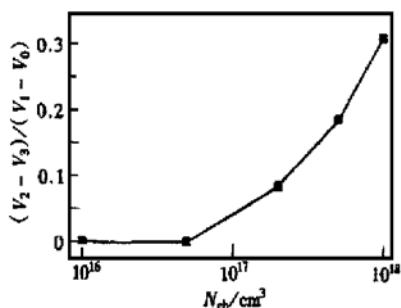


图 7 棚压跳变后 1s 时硅膜中电势距离稳态的差值(N_{ch} 变化)

FIG. 7 Distance Between the Potential in
Si Film at 1s After V_{GS} Being Changed and
the Steady State (at Different N_{ch})

浮体效应是 SOI 结构中特有的一种现象, 由于 SOI 器件的衬底是浮空的, 当棚压迅速变化时, 棚压下的载流子浓度变化无法及时响应, 而导致沟道区要经过一定的时间才能达到稳态, 在此过程中, 载流子浓度、电势分布、电流大小等都会表现出一定的瞬态特性。棚压正跳变时, 被扫入硅膜的多余空穴转移只能靠硅膜中电子和空穴的复合, 这个复合过程需要一定的时间。在体硅 MOS 结构中, 由于沟道区与衬底是一体的, 所以多余空穴能在极短的时间内通过衬底电极转移, 也就不会产生浮体效应了。在有体接触的 SOI/MOS 结构中, 空穴也同样能迅速的通过体接触转移。在空穴被转移的过程中, 会出现电流过冲现象, 其具体物理过程是: 从耗尽区扫入硅膜的

空穴不能被瞬间转移走, 而要在中性区储存一段时间, 同时使得硅体的电势 V_B 抬高^[12]。其后果是阈值电压的降低(即 $V_T(t) < V_T(\infty)$)以及漏端电流的过冲。加在体-源结上的比较高的正向偏压 V_B 导致载流子的转移主要得依靠复合作用。因为源相对于体有比较高的掺杂, 所以空穴注入源区受到限制。占主要地位的复合只能在硅体中进行, 经过一定的时间(弛豫时间), 过剩的多子被复合, 体电位下降, 硅体才又恢复到稳态。

t_{si} 变大时, 瞬态浮体效应越明显。这是由于被扫入体中的空穴主要集中在硅膜中靠近源端的地方, 这些空穴的复合所需要的电子主要来自源端。而硅膜的耗尽层中和耗尽层附近本来也有电子(少子)浓度的梯度分布, 不同的硅膜厚度, 电子的梯度分布不一样, 从而导致了弛豫时间的不同。硅膜越厚, 电子梯度越小, 空穴与之复合所需要的时间也越长, 所以, 弛豫时间越长。但是, 当 t_{si} 达到一定值 ($t_{si} \approx 2x_{dmax}$) 后表现有饱和趋势。因为硅膜达到一定的厚度, t_{si} 对耗尽层附近的电子浓度梯度的影响就变得不明显了, 从而导致弛豫时间也趋向于一个饱和值。

沟道区浓度的变化对瞬态浮体效应的影响也是由同样的物理机制决定的。P 区掺杂浓度变大, 从而也影响到电子浓度的分布, 决定了弛豫时间的长短。

4 瞬态浮体效应对电路特性的影响

另外, 我们还比较深入地研究了 CMOS 电路中最基本的反相器和环形振荡器电路, 这些结果可以直 接推广到其他更为复杂的 CMOS 电路。

我们分析浮体的(FB) 和体接触的(BT) 两种 CMOS/SOI 反相器, 其结构参数如表 1 所示。

表 1 用于模拟的 CMOS/SOI 反相器参数

Table 1 Parameters of CMOS/SOI Inverter for Simulation

t_{si}/nm	$L/\mu\text{m}$	W_n/W_p	N_{ch}/cm^{-3}	t_{ox}/nm	t_{box}/nm	$N_{D/S}/\text{cm}^{-3}$
100	0.1	1.5/3.0	8×10^{17}	7.0	400	1×10^{20}

注: $W_n/W_p = 1.5/3.0$ 是指反相器中 NMOS 器件的沟道宽度为 $1.5\mu\text{m}$, PMOS 器件的沟道宽度为 $3.0\mu\text{m}$ 。

图 8 是反相器的输入输出波形图。从图上可见, 有浮体效应存在的反相器输出电压的延迟时间明显小于由体接触器件构成的反相器。这正是由本文第二部分所讨论的 SOI 器件的瞬态浮体效应所引起的。瞬态浮体效应对器件的影响之一就是给器件带

来动态阈值,对于NMOS/SOI结构来说,在器件达到稳定状态之前,漏端电流明显大于稳态时的值,这使得反相器中的充放电电流增大,从而使输出电压率先达到最终的高(低)电平。这就使得具有浮体效应的器件结构提高了反相器的工作速度。

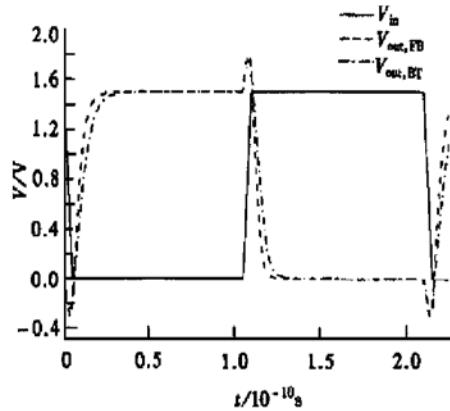


图8 反相器输入输出波形

FIG. 8 Input and Output Wave Form of an Inverter

除了速度以外,功耗也是反相器的一个重要指标^[13]。它是进一步提高集成度的主要限制之一。任何反相器的总功耗P均由三部分组成

$$P = P_D + P_T + P_A \quad (7)$$

其中 P_D 为静态功耗; P_T 为瞬态功耗; P_A 为交变功耗。从图9可以看出,在反相器的导通或截止状态,电流几乎相等,所以两者的静态功耗也就近似相等了。但是,本文中的输入电压为非理想阶跃波,在反相器处于输入波上升沿或下降沿的瞬间,负载管和驱动管会同时导通,由此而引起的功耗叫做交变功耗。其值可用下式计算

$$P_A = \frac{1}{T_c} \int_0^{T_c} I' V_{DD} dt \quad (8)$$

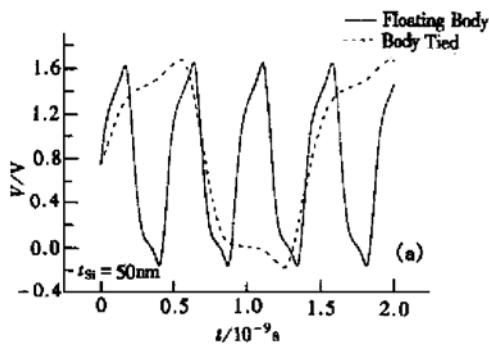


图10 两种环振电路在不同硅膜厚度时的输出波形

FIG. 10 Output Wave Form of Two Kinds of Ring Oscillators

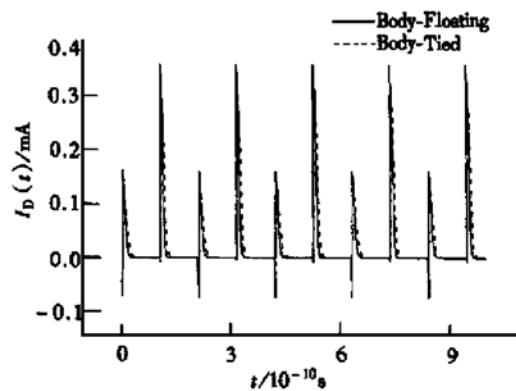
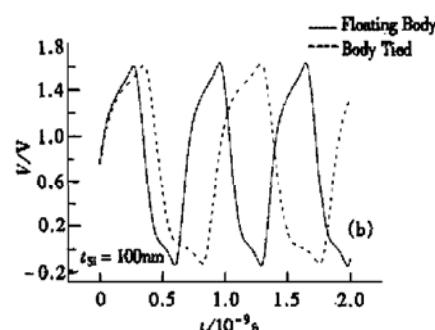


图9 两种反相器的瞬态电流比较

FIG. 9 Comparison of the Transient Current Between Two Kinds of Inverters

利用专业制图软件 Microcal Origin (5.0) 对图9的电流基于时间进行积分,得到的结果是具有浮体结构的反相器略小于体接触的结构。可见,采用浮体结构,交变功耗也有所改善。

图10为模拟得到的三级环振电路的电压振荡波形图。可见,环振起振以后,不加体接触的环振电路的频率明显高于具有体接触结构的环振。图11为有体接触和没有体接触环振的振荡频率随硅膜厚度的变化关系,图12为两种环振电路频率的比值与硅膜厚度的关系。从图中可以比较直观地看出,当硅膜厚度变大的时候,浮体结构的环振电路频率越来越小,而有体接触的环振电路频率越来越大,当厚度达到100nm时,出现平缓的趋势。正如图10所示,硅膜越厚,电流过冲所达到的值越小,对器件电容的充放电也越慢,所以浮体结构的环振电路频率也要变小。而对于体接触的结构,硅膜厚度变大,导致了器件串联电阻变小,使得充放电电流变大,从而提高了速度。



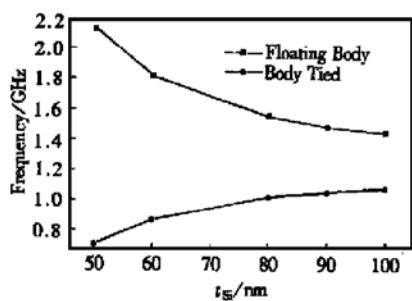


图 11 两种环振电路频率随硅膜的变化

FIG. 11 Change in Frequency with Change of t_{si} for Two Kinds of Ring Oscillators

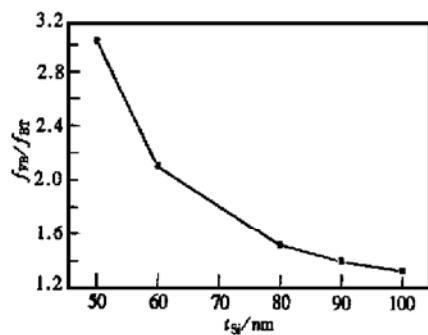


图 12 两种环振电路频率的比较

FIG. 12 Comparison of the Frequency Between Two Kinds of Ring Oscillators

5 结论

本文针对 SOI 器件中的瞬态浮体效应作了系统的研究。浮体效应作为 SOI 结构的重要效应, 对参数在这方面的影响作一系统的研究是非常必要的。通过模拟发现, 调节器件的参数, 能在一定程度上控制器件的瞬态浮体效应。具体来说, 硅膜越厚, 瞬态浮体效应越明显; 沟道区掺杂浓度越高, 瞬态浮体效应越明显。这表现在瞬态过冲电流恢复稳态和电势分布的弛豫时间上, 从物理机制上看, 这两者都是跟器件硅膜中载流子的分布以及电子空穴的产生复合速度有关。 t_{si} 变大时, 瞬态浮体效应越明显。

本文还对 CMOS/SOI 反相器和环振电路的瞬态浮体效应进行了研究。通过瞬态模拟发现, 具有浮体结构的 SOI 反相器比直接加体接触结构的延迟时间要小, 而且其交变功耗也有所改善。由这种结构组成的三级环振电路, 同样也显示出浮体结构在速

度方面的优越性。硅膜越薄, 具有浮体结构的环振电路的频率特性越好。

参考文献

- [1] B. Davari, H. J. Hovel and G. G. Shahidi, SOI Technology Outlook for Sub-0.25μm CMOS, Challenges and Opportunities, IEEE Int. SOI Conf. Proc., 1993, 4.
- [2] B. Y. Hwang, M. Racanelli, M. Huang, J. Foerstner, S. Wilson, T. Weteroth, S. Wald, J. Rugg and S. Cheng, SOI Technology for Low-Power Applications, in Extended Abstract of Int. Conf. SSDM, 1994, 268.
- [3] K. Kato and K. Tanaguchi, IEEE Trans. Electron Devices, 1986, ED-33: 133.
- [4] H. K. Lim and J. Fossum, IEEE Trans. Electron Devices, 1984, ED-31: 1251.
- [5] D. Munteanu, S. Cristoloveanu and O. Faynot, Transient from Generation-to Recombination-Based Transients in Partially Depleted SOI MOSFETs, IEEE Int. SOI Conf. Proc., 1998, 71.
- [6] D. Suh and J. Fossum, Dynamic Floating-Body Instabilities in Partially Depleted SOI CMOS Circuits, IEEE IEDM Tech. Dig., 1994, 661.
- [7] Andy Wei, Melanie J. Sherony and Dimitri A. Antoniadis, IEEE Trans. Electron Devices, 1998, 45: 430.
- [8] Huang Ru, Zhang Xing, Li Yingxue and Wang Yangyuan, The Development of Research on SOI Devices, The Transaction of The 4th SOI Technology Research Meeting of China, 2000 [黄如, 张兴, 李映雪, 王阳元, SOI 器件的研究进展, 第四届全国 SOI 技术研讨会论文集, 2000].
- [9] TMA MEDICI, Two-Dimensional Device Simulation Program, Version 4.0, User's Manual, Oct. 1997.
- [10] H. C. Shin, Ik-Sung Lim, Marco Racanelli, Wen-Ling Margaret Huang, Juergen Foerstner and Bor-Yuan Hwang, IEEE Trans. Electron Devices, 1996, 43: 318.
- [11] Bu Weihai, Huang Ru, Zhang Xing and Wang Yangyuan, The Influence of the Parameters on Transient Floating-Body Effect in SOI Devices, The Transaction of The 4th SOI Technology Research Meeting of China, 2000 [卜伟海, 黄如, 张兴, 王阳元, SOI 器件中的参数对瞬态浮体效应的影响, 第四届全国 SOI 技术研讨会论文集, 2000].
- [12] Daniela Munteanu, Douglas A. Weiser, Sorin Cristoloveanu, Olivier Faynot, Jean-Luc Pelloie and Jerry G. Fossum, IEEE Trans. Electron Devices, 1998, 45: 1678.
- [13] Zhang Jianren, The Basis of MOS IC Analysis and Design, The Publishing Company of Electron Industry, 1994 [张建人, MOS 集成电路分析与设计基础, 电子工业出版社, 1994].

Model and Analyses of Transient Floating-Body Effect of SOI Devices^{*}

BU Wei-hai, HUANG Ru, XU Wen-hua and ZHANG Xing

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: The behavior of transient floating-body effect in SOI MOSFET is simulated. The performance of the device is systematically reviewed by changing the parameters of the device. The influence of the transient floating body on CMOS/SOI circuits is also studied and analyzed, taking a ring oscillator as an example. A device structure is proposed to control the floating-body effect as well as the optimum design of the parameters.

Key words: SOI; floating-body effect; ring oscillator

EEACC: 1230B; 2570D; 2560F

Article ID: 0253-4177(2001)09-1147-07

* Project Supported by the National Emphasis Basis Research(20000365) and National Natural Science Foundation of China(No. 69976001).

BU Wei-hai was born in 1977, graduate student. He is researching into the deep sub-micron SOI technology.

HUANG Ru was born in 1969, PhD, associate professor. She is researching on the deep sub-micron MOS devices and SOI technology.

ZHANG Xing was born in 1965, professor. He is researching on the SOI technology, deep sub-micron MOS devices and CMOS process.

Received 22 November 2000, revised manuscript received 11 January 2001

© 2001 The Chinese Institute of Electronics