

深亚微米槽栅 PMOSFET 结构参数对其抗热载流子效应和短沟道抑制作用的影响*

任红霞 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 基于流体动力学能量输运模型, 利用二维仿真软件 Medici 对深亚微米槽栅 PMOS 器件的结构参数, 如凹槽拐角、负结深、沟道和衬底掺杂浓度对器件抗热载流子特性和短沟道效应抑制作用的影响进行了研究。并从器件内部物理机理上对研究结果进行了解释。研究发现, 随着凹槽拐角、负结深的增大和沟道杂质浓度的提高, 器件的抗热载流子能力增强, 阈值电压升高, 对短沟道效应的抑制作用增强。而随着衬底掺杂浓度的提高, 虽然器件的短沟道抑制能力增强, 但抗热载流子性能降低。

关键词: 深亚微米; 槽栅 PMOSFET; 热载流子效应; 短沟道效应; 结构参数

EEACC: 2560R; 2560S; 0290

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)10-1298-08

1 引言

槽栅 MOS 结构能够很好地抑制短沟道效应和热载流子效应, 被认为是应用于深亚微米和亚 $0.1\mu\text{m}$ 区域的理想结构, 近年来引起了国际上的重视^[1-3]。但目前国际上对槽栅器件的研究还处于起步阶段, 所涉及的基本上为槽栅 NMOS 器件, 对槽栅 PMOSFET 的研究基本没有触及。随着器件尺寸进入亚微米和深亚微米, 由于 PMOS 器件栅氧化层中的陷落电子产生的沟道缩短, 及损伤区在沟道中所占比例的增加, 使器件漏电流和跨导的退化明显增强, CMOS 电路中 PMOS 器件的退化造成的影响不能再被忽略不计。因此对槽栅 PMOSFET 的特性进行研究是非常必要的。槽栅器件特性之所以与平面器件不同, 主要原因是由于拐角效应的影响: 在槽栅凹槽的两个拐角处形成了两个势垒, 而这个势垒的高度受到凹槽拐角、拐角曲率半径、负结深、衬底和沟道掺杂浓度等器件结构参数的影响。本文基于

流体动力学能量输运模型, 利用二维器件仿真软件 Medici, 集中研究了槽栅 PMOSFET 的负结深、凹槽拐角以及沟道和衬底掺杂浓度对其抗热载流子特性和短沟道效应抑制的影响。

2 器件结构与模型

图 1 给出槽栅器件结构图。相对于平面器件, 槽栅器件是利用硅刻蚀技术(RIE、ECR 等工艺)将 MOS 器件的多晶栅沉入槽中, 新型结构可用自对准工艺实现^[4]。由于漏源区域被凹槽隔开, 抑制了漏区电场向源区的扩散, 因而抑制了穿通效应和短沟道效应; 同时, 由于在凹槽拐角处电力线密集, 形成了两个势垒, 因而抑制了阈值电压随沟道的降低和热载流子的产生。本文的 MOS 槽栅工艺的基本参数参照了 $0.5\mu\text{m}$ 的 CMOS 工艺的器件参数, 为 n 型衬底, 杂质浓度分别为 5.0×10^{15} 、 1.0×10^{16} 、 5.0×10^{16} 和 $1.0 \times 10^{17} \text{ cm}^{-3}$; 有效沟道长度为 $0.13\mu\text{m}$, 栅氧化层为 4nm , 固定界面态密度为 10^{10} cm^{-2} , 沟道杂

* 国防预研基金(99J8.1.1.DZD132)和高等院校博士点基金(8070110)资助项目。

任红霞 女, 1967 年出生, 博士, 副教授, 主要研究方向为新型电路与器件的特性与可靠性, 宽禁带半导体器件特性。

郝 跃 男, 1958 年出生, 教授, 主要研究领域为微电子学与半导体器件, 研究方向为集成电路可靠性和可制造性, 新型器件与电路以及 IC 优化设计。

质浓度分别为 7.0×10^{17} 、 3.5×10^{17} 、 $1.4 \times 10^{17} \text{ cm}^{-3}$ 和不掺杂(与衬底掺杂浓度相同),漏源结表面掺杂浓度为 $6.0 \times 10^{18} \text{ cm}^{-3}$,漏源结深分别为0.06、0.08和 $0.10 \mu\text{m}$,槽栅器件凹槽向下凹入 $0.1 \mu\text{m}$,形成0.04、 $0.02 \mu\text{m}$ 的负结深和 $0.00 \mu\text{m}$ 零结深。凹槽拐角分别为 30° 、 45° 、 60° 和 90° 。所有器件均由工艺仿真软件Tsuprem4仿真实现。

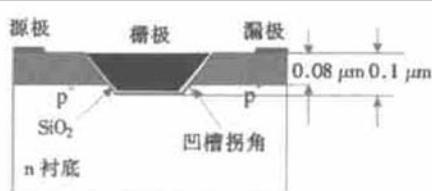


图1 槽栅PMOSFET结构图

FIG. 1 Schematic Cross Section of Grooved Gate PMOSFET's

研究深亚微米器件时必须考虑各种短沟道效应,尤其当沟道长度降至与载流子平均自由程可比拟时,会出现如非稳态、量子传输等效应。由于槽栅器件是适用于深亚微米及更小尺寸的器件,因此我们采用能量传输模型。能量传输模型由载流子连续性方程、动量平衡方程、能量平衡方程及Poisson方程组成,它能够反映载流子的非本地输运现象,包括了载流子加热及其相关的现象,如速度过冲等。模型基本方程中各参数的选取考虑了深亚微米器件的特殊性。同时,我们采用耦合算法(Newton's Method)来求解模型中的基本方程。

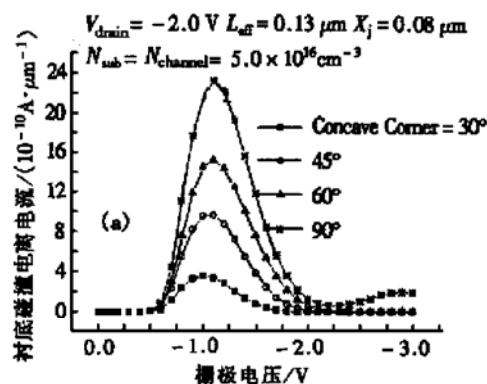


图2 不同凹槽拐角的槽栅器件的栅极和衬底电流曲线 (a) 衬底碰撞电离电流;

3 结果与讨论

MOSFET沟道中的电场及器件的栅电流、衬底电流都是器件热载流子效应的敏感参数。在器件尺寸进入亚微米、深亚微米范围后,大部分衬底热载流子在到达表面前就在强沟道电场的作用下进入源和漏区,使衬底热载流子效应大大减弱,所以对深亚微米MOS器件退化起主要作用的是沟道热载流子效应。因此,我们认为热载流子注入栅电流比衬底电流更能准确地反映热载流子可靠性。短沟道效应主要是指阈值电压与沟道相关到非常严重的程度。

3.1 凹槽拐角对器件抗热载流子特性和短沟道效应抑制作用的影响

本部分研究所用器件负结深为 $0.02 \mu\text{m}$,衬底与沟道掺杂浓度均为 $5.0 \times 10^{16} \text{ cm}^{-3}$,凹槽拐角分别为 30° 、 45° 、 60° 、 90° 。图2(a)和(b)分别给出不同凹槽拐角的槽栅PMOSFET的衬底碰撞电离电流和栅极热载流子注入电流。从图中可以明显看出,随着凹槽拐角的增大,器件的栅电流减小,因而其抗热载流子特性增强;同时其衬底碰撞电离电流增大。且在不同凹槽拐角下,栅极电流基本在略小于中栅压的栅极偏压达到最大值,而衬底电流则基本在略大于中栅压的栅极偏压下达到最大值。这是因为栅极电流主要由热电子电流形成,而衬底电流则主要由空穴碰撞电离电流组成。另外,随栅压的增大,一方面

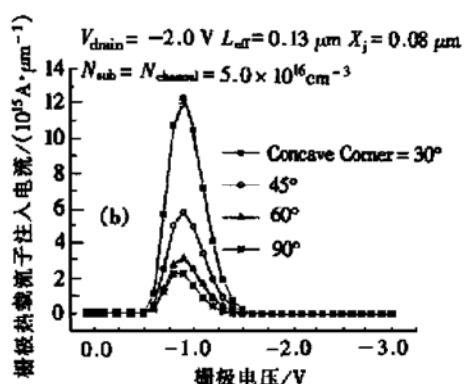


图2 不同凹槽拐角的槽栅器件的栅极和衬底电流曲线 (b) 栅极热载流子注入电流;

FIG. 2 Substrate and Gate Current for Grooved Gate PMOSFET's at Different Concave Corners

(a) Impact Ionization Substrate Current; (b) Hot-Carrier Injection Gate Current

拐角处形成的势垒高度增大,另一方面,热电子更易注入栅极,导致热载流子电流在中栅压附近达到最大值.

图 3(a)给出凹槽拐角不同的槽栅 PMOSFET 的阈值电压和亚阈斜率因子曲线.由图中可以看出随着凹槽拐角的增大,器件的阈值电压上升,亚阈斜

率因子同样也增大,因而拐角越大,对短沟道效应的抑制作用越强烈,而亚阈特性的退化也越严重.这主要是因为随着凹槽拐角处势垒高度的增大(见图 3(b)),载流子跨越势垒所需的能量越大,因而阈值电压升高.

由研究结果还可以看出阈值电压和亚阈斜率因

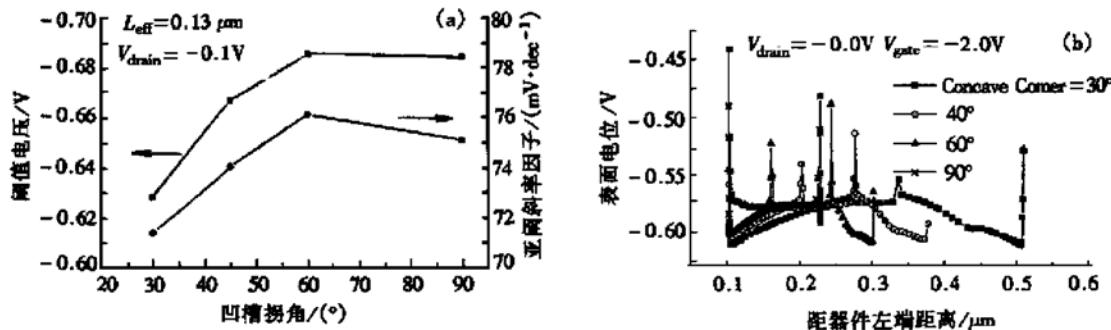


图 3 不同凹槽拐角的槽栅器件的阈值电压、亚阈特性以及沿 Si/SiO_2 界面的表面电位分布 (a) 阈值电压和亚阈特性;
(b) 沿 Si/SiO_2 界面的表面电位分布

FIG. 3 Threshold Voltage and Sub-Threshold Swing Factor (a) and Surface Potential Distribution Along Si/SiO_2 Interface; (b) for Grooved Gate PMOSFET's at Different Concave Corners

子随凹槽拐角单调变化的趋势在凹槽拐角太大时,略有不同,阈值电压的上升趋势变小,这是因为一方面随着凹槽拐角的增大,拐角处势垒增大,载流子跨越势垒所需要的的能量增大,另一方面,随着凹槽拐角的增大,沟道平坦部分在整个沟道中所占的比例增大,载流子获得加速的路径较长.这两方面作用互相折衷,使得器件在凹槽拐角为 90°时表现出与前面变化不同的情况.

图 3(b)给出凹槽拐角不同的槽栅 PMOSFET

在 $V_g = -2\text{V}$ 和 $V_d = -0.0\text{V}$ 时沿 Si/SiO_2 界面的电势分布.正如所料,凹槽拐角越大,拐角处的电力线越密集,而在拐角处形成的势垒也越高,载流子跨越势垒所需要的的能量越大.因此在相同偏压下,载流子速度降低,热载流子效应减小,器件抗热载流子能力增强.

图 4 给出不同凹槽拐角的槽栅器件内电子和空穴速度沿 Si/SiO_2 界面的分布.从图中明显可以看出,随着凹槽拐角的增大,沟道内电子平均速度降低

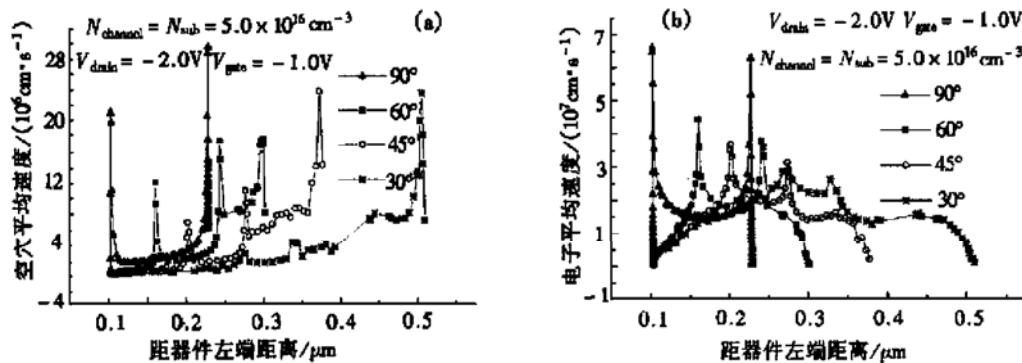


图 4 不同凹槽拐角的槽栅器件沿 Si/SiO_2 界面的热载流子速度 (a) 空穴平均速度分布;

FIG. 4 Hot-Carrier Velocity Distribution Along Si/SiO_2 Interface for Grooved Gate PMOSFET's at Different Concave Corners (a) Mean Velocity of the Hole; (b) Mean Velocity of the Electron

(但峰值增大), 而空穴速度则增大, 这主要是因为沟道内平行场增强的缘故。随着凹槽拐角的增大, 栅极电流降低, 而衬底碰撞电离电流增大, 这主要是因为栅极注入电流主要为电子电流, 电子速度随凹槽拐角增大而降低, 成为幸运载流子的几率变小, 注入栅极电流变小, 而主要由空穴碰撞电离产生的衬底电流则由于空穴平均速度随凹槽拐角的增大而增大。

3.2 负结深对槽栅PMOSFET's抗热载流子特性和短沟道效应抑制作用的影响

本部分研究所用器件凹槽拐角为 45° , 衬底与沟道掺杂浓度均为 $5.0 \times 10^{16} \text{ cm}^{-3}$, 负结深分别为 0.04 、 0.02 和 $0.00 \mu\text{m}$ 。图 5(a) 和(b) 分别给出不同负结深的槽栅器件的栅极热载流子注入电流和衬底

碰撞电离电流曲线。图中结果表明随着负结深的增大, 槽栅器件的衬底碰撞电离电流和栅极热载流子注入电流并不单调变化, 从平结开始(负结深为零), 随着负结深增大, 栅极电流先是增大, 然后开始迅速下降, 因此其总的变化趋势是负结深越大, 电流越小, 因此可以断言其抗热载流子效应增强。所以负结深的增大, 能够使槽栅器件的抗热载流子特性得到加固。其主要原因也是随着负结深的增大, 凹槽拐角处形成的势垒高度增大(图 7), 拐角效应明显, 载流子跨越势垒消耗的能量增大。另外, 负结深越大, 沟道的平坦部分越短, 载流子获得加速的路径越短, 载流子在沟道内获得加速的能量减小, 成为幸运载流子的几率变小, 因而器件抗热载流子效应增强。

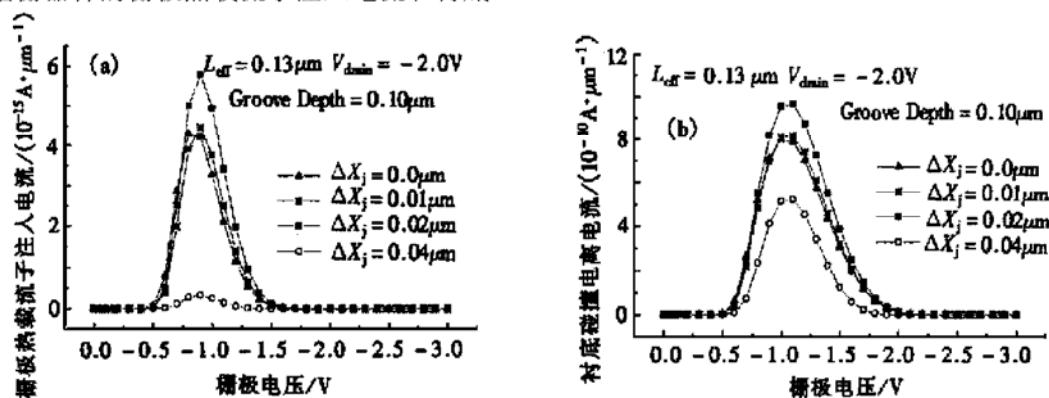


图 5 不同负结深槽栅器件的栅极和衬底电流曲线 (a) 栅极热载流子注入电流; (b) 衬底碰撞电离电流
FIG. 5 Gate Current (a) and Substrate Current (b) for Grooved-Gate PMOSFET's with Different Negative Junction Depth

图 6 给出负结深不同的槽栅器件的阈值电压。从图中可以看出, 随着漏源结变浅, 负结深增大, 槽

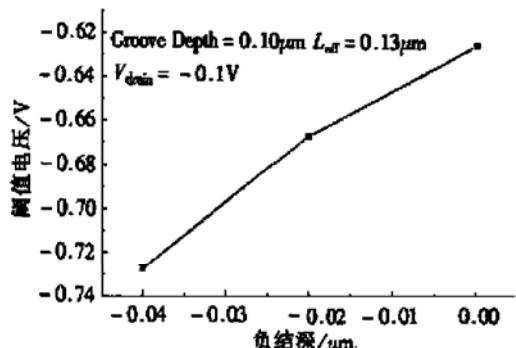


图 6 负结深不同的槽栅器件的阈值电压

FIG. 6 Function of Threshold Voltage with a Negative Junction Depth for Grooved-Gate PMOSFET

栅器件的阈值电压升高, 同时其亚阈斜率退化严重。这主要是因为随着负结深的增大, 凹槽的两个拐角处形成的势垒增大(见图 7), 同时沟道内电势和电场幅值降低; 另外, 负结深越大, 沟道的平坦部分越短, 所以载流子获得加速的路径越短, 加速能力越弱, 因而器件阈值电压进一步升高。从平结(零结深)到 $-0.04 \mu\text{m}$ 的负结深, 阈值电压由 -0.6255V 变化到 -0.7277V , 升高 16.33% 。因此负结深越大(漏源结越浅), 器件对短沟道效应的抑制作用越明显。

3.3 沟道杂质浓度对器件抗热载流子特性和短沟道效应抑制作用的影响

本部分研究所用器件凹槽拐角为 45° , 衬底掺杂浓度为 $5.0 \times 10^{16} \text{ cm}^{-3}$, 负结深为 $0.02 \mu\text{m}$, 沟道杂

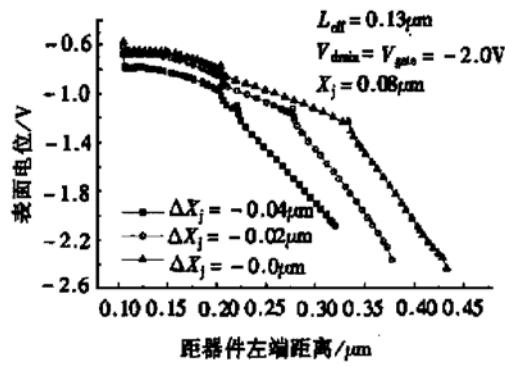


图 7 负结深不同的槽栅器件沿 Si/SiO_2 界面的表面电位分布

FIG. 7 Surface Potential Distribution Along Si/SiO_2 Interface for Grooved Gate PMOSFET's with Different Negative Junction Depth

质浓度分别为 7.0×10^{17} 、 3.5×10^{17} 、 $1.4 \times 10^{17} \text{ cm}^{-3}$ 和不掺杂。图 8 给出沟道杂质浓度不同的槽栅器件的栅极热载流子注入电流。由图中可以看出, 基本上是沟道杂质浓度越高, 栅极热载流子注入电流越低, 所以槽栅器件的抗热载流子特性在沟道杂质浓度较高时较强。这主要是因为沟道杂质浓度升高, 在凹槽的两个拐角处形成的势垒增大(见图 9), 同时, 沟道载流子所受的散射几率增大。我们的研究还发现衬底碰撞电离电流随沟道杂质浓度的升高单调下降, 这也证明了槽栅器件抗热载流子效应的增强。且随沟道杂质浓度的升高, 衬底电流达到极值的栅压值向栅压增大的方向移动, 栅极电流达到最大值的栅压值在略低于中栅压。

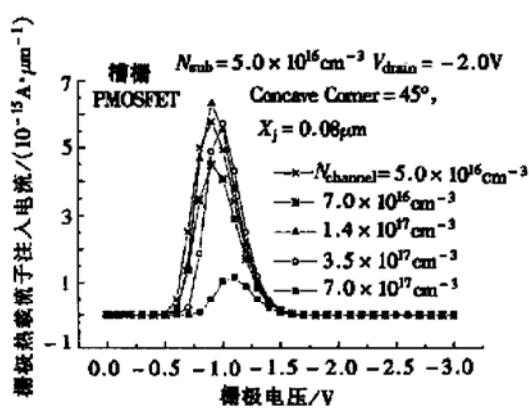


图 8 沟道掺杂浓度不同的槽栅器件的栅极电流

FIG. 8 Gate Current for Grooved Gate PMOSFET's with Different Channel Doping Concentrations

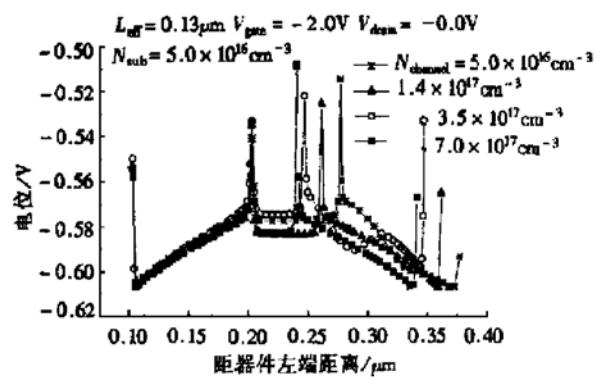


图 9 沟道掺杂浓度不同的槽栅器件沿 Si/SiO_2 界面的表面电位分布

FIG. 9 Surface Potential Distribution Along Si/SiO_2 Interface for Grooved Gate PMOSFET's with Different Channel Doping Concentrations

表 1 给出了不同沟道杂质浓度器件的栅极特性特征参量。仿真结果表明, 随沟道杂质浓度的升高, 槽栅器件的阈值电压升高, 亚阈特性退化, 线性因子总的变化趋势是退化。因此, 随着沟道杂质浓度的升高, 槽栅器件对短沟道效应的抑制作用越强烈。这主要是因为, 随着沟道杂质浓度的升高, 凹槽拐角处形成的势垒高度增大(见图 8), 载流子跨越势垒需要更大的能量。另外, 在衬底掺杂浓度不变的情况下, 沟道杂质浓度越高, 载流子在沟道内运动时受到的散射越严重, 且载流子获得加速的沟道平坦部分缩短, 导致载流子加速不足, 能量较低, 达到漏极需要更高的电压, 所以进一步使阈值电压升高, 短沟道效应减弱。

表 1 不同沟道杂质浓度的槽栅器件栅极特性参数

Table 1 Gate Characteristics Parameters for Grooved Gate PMOSFET's with Different Channel Doping Concentrations

沟道杂质浓度 $/\text{cm}^{-3}$	阈值电压 $/\text{V}$	线性因子 $(\text{A} \cdot \mu\text{m}^{-1} \cdot \text{V}^{-1})$	亚阈斜率 $(\text{mV} \cdot \text{dec}^{-1})$
7.0×10^{17}	-1.007	2.9966×10^{-5}	74.07
3.5×10^{17}	-0.7951	2.9696×10^{-5}	74.1
1.4×10^{17}	-0.7259	3.0187×10^{-5}	75.05
7.0×10^{16}	-0.7006	2.8451×10^{-5}	76.79
5.0×10^{16}	-0.667	2.7649×10^{-5}	80.24

3.4 衬底掺杂浓度对抗热载流子特性和短沟道效应的影响

图 10(a) 给出了不同衬底杂质浓度的槽栅器件的栅极热载流子注入电流。可以看出, 栅极热载流子

注入电流随衬底掺杂浓度提高而升高, 所以随衬底浓度提高, 槽栅器件抗热载流子特性减弱。图10(b)给出了沟道不掺杂, 衬底浓度不同的槽栅器件的阈值电压曲线。研究结果表明在槽栅器件中, 随着衬底

浓度的升高, 阈值电压升高, 同时亚阈斜率退化, 跨导特性先是得到改善随后略有退化。衬底杂质浓度对槽栅器件抑制短沟道效应的影响同样可以通过其引起的内部物理量的变化来解释。

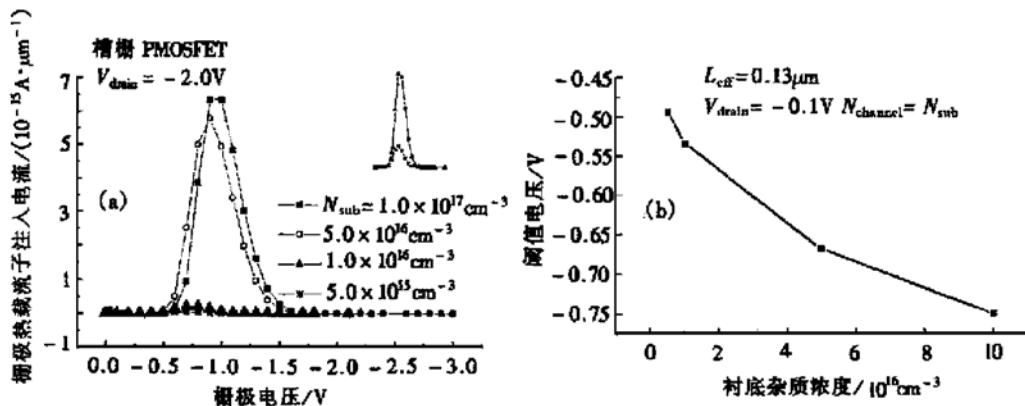


图 10 不同衬底浓度的槽栅器件的栅极电流和阈值电压 (a) 栅极电流; (b) 阈值电压

FIG. 10 Gate Current (a) and Threshold Voltage (b) for Grooved Gate PMOSFET's with Different Substrate Doping Densities

图 11 给出了栅压为-2V, 漏压为0V时, 衬底掺杂和沟道掺杂浓度不同的槽栅器件沿 Si/SiO₂ 界面的电位分布。由图中可以看出, 随着衬底和沟道杂质浓度的升高, 在凹槽的两个拐角处形成的势垒增大, 同时, 沟道载流子所受的散射几率增大。因此, 随着沟道杂质浓度升高, 器件抗热载流子特性增强, 阈值电压升高。但器件的抗载流子特性并不随衬底浓度的升高而增强, 相反热载流子效应更加明显, 这要从器件内电场分量的分布来解释。

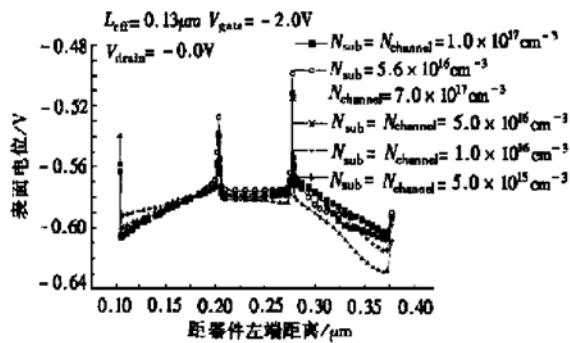


图 11 不同衬底掺杂浓度的槽栅器件沿 Si/SiO₂ 界面的电位分布

FIG. 11 Potential Distribution Along Si/SiO₂ Interface for Grooved Gate PMOSFET's with Different Substrate Doping Concentrations

图 12 给出了不同沟道杂质浓度的槽栅器件在栅压为-1V 和漏压为-2V 时沿 Si/SiO₂ 界面的平行场和电场幅值分布。在槽栅器件内, 沟道杂质浓度提高时, 平行场在沟道的大部分区域升高, 电场幅值除在沟道平坦部分的后半部分外, 均升高, 所以在沟道平坦部分的后半部分, 沟道杂质浓度高槽栅器件内垂直场减小, 栅极注入热载流子效应降低。

图 13 给出了栅压为-1V, 漏压为-2V 时, 不同衬底杂质浓度的槽栅器件沿 Si/SiO₂ 界面的沿电流方向的平行场和电场幅值的分布。槽栅器件内, 在近源端的倾斜沟道部分和沟道的平坦部分, 衬底浓度越高, 平行场越低; 在近漏端的沟道倾斜部分, 衬底浓度越高, 平行场则越大, 载流子受到的加速作用越大。由于热载流子注入主要发生在近漏端区域, 所以, 衬底浓度越高, 器件的热载流子效应越大, 可靠性降低。

对于电场幅值, 则几乎在整个沟道内, 都随衬底杂质浓度的升高而升高, 因此在沟道的前两部分, 垂直场也随衬底杂质浓度而升高, 因此在这个沟道范围内热载流子的注入几率(成为幸运载流子)都将随衬底浓度升高而升高, 器件的抗热载流子特性变差。

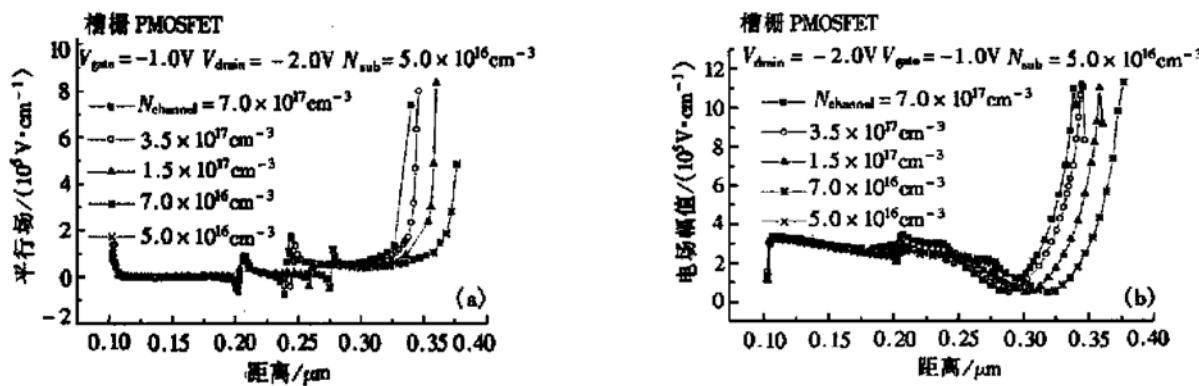
图 12 不同沟道杂质浓度的槽栅器件沿 Si/SiO₂ 界面的平行场和电场幅值的分布 (a) 平行场分量; (b) 电场幅值

FIG. 12 Parallel Component of Electric Field (a) and Magnitude of Electric Field (b) in Grooved Gate PMOSFET's with Different Channel Doping Concentrations

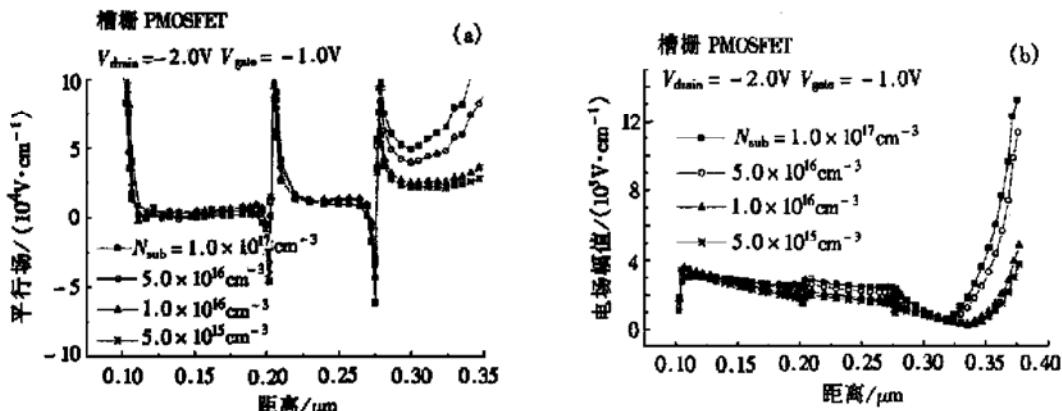
图 13 不同衬底杂质浓度的槽栅器件沿 Si/SiO₂ 界面的平行场和电场幅值分布 (a) 平行场分量; (b) 电场幅值

FIG. 13 Parallel Component of Electric Field (a) and Magnitude of Electric Field (b) in Grooved Gate PMOSFET's with Different Substrate Doping Concentrations

4 结论

本文对深亚微米槽栅 PMOS 器件的结构参数, 如凹槽拐角、负结深、沟道和衬底掺杂浓度对器件抗热载流子特性和短沟道效应的抑制作用的影响进行了研究。并从器件内部物理机理上对研究结果进行了解释。研究结果表明槽栅器件的抗热载流子特性和短沟道特性受器件结构参数影响强烈, 随着凹槽拐角、负结深的增大和沟道杂质浓度的提高, 器件的抗热载流子能力和抑制短沟道效应的能力均明显增强。而随着衬底掺杂浓度的提高, 尽管器件的短沟道效应被抑制, 但器件的抗热载流子性能降低。这主要是因为这些结构参数影响了电场在槽栅 MOS 器件内的分布和拐角效应, 从而影响了载流子的运动并

使器件的热载流子效应和短沟道效应发生变化。

参考文献

- [1] Hieda K., Sub-Half-Micrometer Concave MOSFET with Double LDD Structure, IEEE Trans. Electron Devices, 1992, **39**(3): 671—676.
- [2] Natori K., Sasaki I. and Masuoka F., An Analysis of the Concave MOSFET, IEEE Trans. Electron Devices, 1978, **25**(4): 448—456.
- [3] Jeongho L. and Park B. G., A Novel 0.1μm MOSFET Structure with Inverted Sidewall and Recessed Channel, IEEE Electron Device Letters, 1996, **17**(4): 157—159.
- [4] REN Hongxia, Report of Postdoctoral Research Work, The Study on the Characteristics for Deep-Sub-Micron Grooved-Gate CMOS Devices, Xidian University, China, Dec. 1999 [任红霞, 博士后研究报告, 深亚微米槽栅 CMOS 器件特性研究, 西安电子科技大学, 1999 年 12 月].

Influence of Structure Parameters on the Hot-Carrier-Effect Immunity and Short-Channel-Effect Suppression in Deep-Sub-Micron Grooved Gate PMOSFET^{*}

REN Hong-xia and HAO Yue

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: Based on the hydro-dynamic energy transport model, the influences of structure parameters on the hot-carrier-effect immunity and the suppression of short-channel-effect in deep-sub-micron grooved gate PMOSFET are studied and explained in terms of the device interior physics mechanism. These investigated structure parameters include the concave corner, the negative junction depth and the doping density of channel and substrate. The research results indicate that with the increase of the concave corner, the negative junction depth and the doping density of channel, the hot-carrier-effect immunity is enhanced; the threshold voltage increases and the short-channel-effect is suppressed. But as the doping density of substrate rises, although the short-channel-effect is enhanced, the hot-carrier-effect immunity becomes weaker.

Key words: deep-sub-micron; grooved gate PMOSFET; hot-carrier-effect; short-channel-effect; structure parameters
EEACC: 2560R; 2560S; 0290

Article ID: 0253-4177(2001)10-1298-08

* Project Supported by National Defense Pre-Research Foundation(99J8.1.1.DZD132) and High School Doctoral Foundation(8070110).

REN Hong-xia female, was born in 1967, PhD, associate professor. Her research area is focused on the reliability and Monte-Carlo modeling of novel circuit and deep-sub-micron MOS devices, the characteristics of wide-gap semiconductor devices, etc.

HAO Yue male, was born in 1958, professor. His current research interests are in the manufacturability and reliability of IC-statistic model and optimization of novel devices, circuits and IC, etc.