

超薄栅 n-MOSFETs 热载流子寿命预测模型

穆甫臣 许铭真 谭长华 段小蓉

(北京大学微电子所, 北京 100871)

摘要: 对氧化层厚度为 4 和 5 nm 的 n-MOSFETs 进行了沟道热载流子应力加速寿命实验, 研究了饱和漏电流在热载流子应力下的退化。在饱和漏电流退化特性的基础上提出了电子流量模型, 此模型适用于氧化层厚度为 4—5 nm 或更薄的器件。

关键词: HCI; 热载流子效应; n-MOSFET; 寿命预测

EEACC: 0170N; 2560R

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)10-1306-04

1 引言

随着 VLSI 集成度的日益提高, MOS 器件尺寸不断缩小至亚微米乃至深亚微米, 热载流子效应已成为影响器件可靠性的重要因素之一。从开始意识到热载流子可导致器件退化以来, 有关 MOSFET 热载流子效应的研究已持续了近 30 年。在早期热载流子物理研究工作之后, 就物理机制问题出现了许多争论, 直至得到今天这个为人们普遍接受的物理图象。热载流子引起(HCI) 器件性能退化主要归因于电子俘获、空穴俘获和界面态产生。退化过程非常复杂并且依赖于应力条件、器件结构、栅氧化层质量等因素^[1]。

笼统地讲, 在直流 HCI 应力条件下 n-MOSFET 的主要退化机制为: 界面陷阱产生和栅氧化层中电子俘获^[1,2]。为研究直流应力下的确切退化机制, 应力条件分为下面三种类型:

(1) 很低栅压下($V_g < V_d/2$); (2) 漏端雪崩热载流子(DAHC) 对应的中等栅压($V_g \approx V_d/2$) 应力, 一般认为是最大应力条件; (3) 与沟道热载流子(CHC) 对应的较高栅压($V_g \approx V_d$) 应力。

在低栅压($V_g < V_d/2$) 应力下, 损伤是由碰撞电

离产生的热空穴导致的^[3], 当 $V_g \approx V_t$ 时, 热空穴注入将导致空穴俘获, 进而使 V_t 和 g_m 变化^[4], 这种应力条件下还会产生大量界面陷阱, 但此时界面陷阱的影响被空穴俘获导致的沟道缩短效应掩盖了; 一般认为与最大衬底电流对应的中等栅压($V_g \approx V_d/2$) 条件是 n-MOSFET 的最大应力条件^[1-8], 在这种应力条件下, 基本没有空穴俘获。由于界面陷阱的产生导致 ΔV_t 为正值^[3], $V_g \approx V_t$ 时热空穴导致的界面陷阱产生在 $V_g \approx V_d/2$ 条件下, 已被热电子导致的界面陷阱产生替代了。虽然热电子导致界面陷阱产生的效率要低于热空穴, 但在 $V_g \approx V_d/2$ 条件下, 器件失效主要是由界面态引起的; 在较高栅压应力下($V_g \approx V_d$, 沟道热电子(CHE) 应力条件), 大量电子注入栅氧化层^[2,3], 并有少量界面态产生, 在这种应力条件下, 退化是由界面态产生和电子俘获一起导致。在 $V_g \approx V_d$ 的应力条件下, 器件退化与栅氧化层厚度有很大关系。本文采用具有不同厚度栅氧化层的 n-MOSFETs, 研究了器件在 $V_g = V_d$ 应力模式下的退化特性, 并在此基础上提出了寿命预测模型。

2 实验

为研究不同栅氧化层厚度对 n-MOSFETs 热

穆甫臣 1970 年出生, 博士研究生, 现主要从事小尺寸 MOS 器件特性表征及建模、TDDDB、HCI、电迁移及可靠性的统计研究。

许铭真 1939 年出生, 教授, 主要从事小尺寸 MOS 器件特性及其表征、半导体材料可靠性物理和器件可靠性物理的研究。

谭长华 1936 年出生, 教授, 主要从事小尺寸器件物理及可靠性物理的研究。

载流子退化的影响, 我们采用了栅氧化层为 4.0 和 5.0 nm, 沟道长度和宽度分别为 1.0 和 15 μm 的器件, 这些器件是在标准 CMOS 工艺下制作的。应力电压在 5.0—6.0 V 范围。实验采用 HP4145B 半导体参数测试仪自动完成。为提高实验现象的可信度, 每个应力条件下至少作两个加速寿命实验。实验均在室温(300K)下进行。

图 1 所示为氧化层厚度为 4.0 和 5.0 nm 的器件在不同应力电压下, 饱和漏电流(I_{dsat})与应力时间的关系, I_{dsat} 是在 $V_g = V_d = V_{dd}$ 条件下测量的。很明显, I_{dsat} 退化与应力时间成幂指数关系:

$$dI_{dsat} = A t^m \quad (1)$$

式中 dI_{dsat} 为 $\Delta I_{dsat}/I_{dsat0}$; A 是与器件工艺和应力条件相关的常数; m 是与器件工艺和应力模式有关的常数。由图可看出, 氧化层越薄, 器件退化越慢。这可能由几个原因导致: (1) 氧化层体积减小, 相对厚氧化层载流子俘获也减少^[9]; (2) 对薄氧化层, 俘获电荷更容易隧穿到栅极或衬底^[10—12]; (3) 已俘获电荷对后注入电荷的库仑排斥作用^[13]。

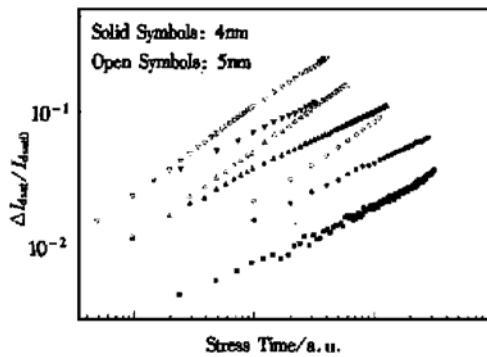


图 1 栅氧化层为 4 和 5 nm n-MOSFETs 在不同应力电压下 I_{dsat} 退化随应力时间的关系

FIG. 1 I_{dsat} Degradation vs Stressing Time Under Different Stress Voltages Solid Symbols: 4 nm n-MOSFETs; Open Symbols: 5 nm n-MOSFETs

3 寿命预测模型—电子流量模型

有研究表明, p-MOSFETs 退化与注入栅的电荷量有密切的关系^[14—16]。普遍认为栅氧化层中电子俘获是 p-沟 MOSFETs 热载流子退化的主要机制^[14, 15, 17—19], 热载流子损伤是由于漏结高场区载流子加速发生碰撞电离产生电子空穴对, 电子被加速

至栅-衬底界面, 一部分电子被氧化层中陷阱俘获。这些被俘获的电子对器件特性有两方面的影响: (1) 减小沟道横向电场, 从而使栅和衬底电流减小; (2) 被俘获电子通过形成氧化层内部电场而减小整个氧化层纵向电场, 进而降低电子俘获效率。

就象 p-MOSFETs 退化的电荷依赖关系一样, n-MOSFETs 在 $V_g = V_d$ 应力模式下退化很可能与注入电荷或电子流量有密切关系, 因为在这种应力模式下, 电子俘获是主要的失效机制。在高栅电压应力 ($V_g = V_d$: 对应沟道热电子应力) 下, 大量电子注入栅氧^[2, 3], 这种情况下, 与衬底电流 I_{sub} 相比, 器件特性退化可能更依赖于栅电流 I_g 。

如果将栅氧化层为 4 和 5 nm n-MOSFETs I_{dsat} 退化与电子流量和栅电流的乘积作图, 发现退化特性分别“归一”到一条曲线上, 与栅或漏极电压无关, 如图 2(a) 所示, 在 p-MOSFETs 也发现了类似特性^[3]。因此可以用下式表示 I_{dsat} 的退化:

$$dI_{dsat} = C(F_g I_g)^n \quad (2)$$

式中 $I_g (= I_g(t))$ 为实时的栅电流; $F_g (= F_g(t))$ 是 t 时刻总的注入电子流量; C 是一个与器件制造工艺相关的常数; n 是与工艺和氧化层厚度相关的常数。4 和 5 nm 器件的 n 值分别为 0.43 和 0.62, 与图 1 中的斜率即 m 值近似相等。 dI_{dsat} 与 $F_g I_g$ 的依赖关系再一次证明了器件退化主要是由注入栅氧化层的电子引起的。因此, 如果知道栅电流和达到失效判据时的 $I_g F_g$, 就可以反推器件的寿命。

由图 2(a) 得失效判据 $dI_{dsat} = 10\%$ 下的临界 $(I_g F_g)^{crit}$ 分别为:

$$4 \text{ nm 器件: } (I_g F_g)^{crit} = 5.76 \times 10^{12} \text{ A} \cdot \text{cm}^{-2}$$

$$5 \text{ nm 器件: } (I_g F_g)^{crit} = 1.31 \times 10^{11} \text{ A} \cdot \text{cm}^{-2}$$

当然, 为预测器件寿命, 图 2(a) 必须与时间联系起来。方程 (2) 中任意时刻 t 下的 F_g 为:

$$F_g = \int \frac{I_g}{A_g q} dt \quad (3)$$

式中 A_g 为栅面积; q 为单位电荷。实验发现 F_g 与应力时间成线性关系, 因此, F_g 与 t 的关系可以简化成(4)式,

$$F_g = D t \quad (4)$$

式中 D 是与应力电压和器件工艺相关的常数, 单位: $\text{s}^{-1} \cdot \text{cm}^{-2}$ 。由(3)、(4)式得,

$$I_g(t) = A_g q \frac{dF_g}{dt} = A_g q D \quad (5)$$

由(4)、(5)式得,

$$t_F = \frac{(I_g F_g)^{\text{crit}}}{A_g q D^2} \quad (6)$$

如前所述,由于氧化层中电子俘获的影响,栅电流将随时间变化。实验发现,在特定应力条件下 I_g 随应力时间变化很小,因此我们假定 I_g 直到器件失效是保持恒定的。

为了预测任意电压下的栅电流,必须且只需知道给定电压条件下的参数 D ,由 $\log D - V_d$ 图(图2

(b))可以看出, $\log D$ 与 V_d 成很好的线性关系, $\log D$ 可从 $F_g - t$ 图得出(本文未给出此图),任意电压条件下的 $\log D$ 可由此图的线性拟合结果反推得出,进而可由(5)式计算出任意电压下的栅电流。由此方法预测的电流与实测电流基本上在一个数量级上,说明此方法可以用来预测栅电流,同时也证明了这种寿命预测方法的实用性。

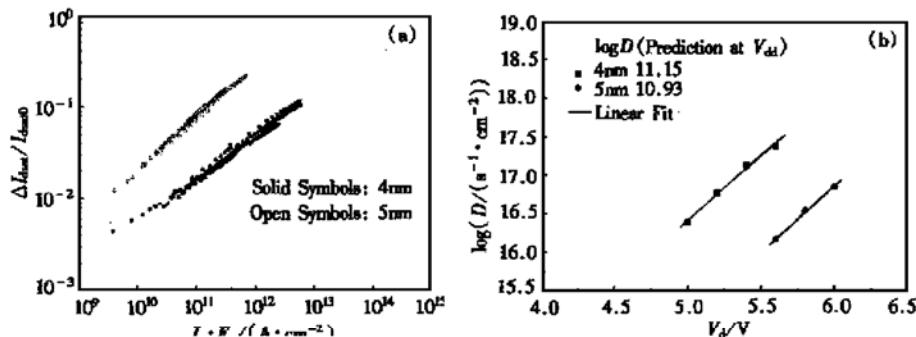


图2 (a) 栅氧化层为 4 和 5nm 器件 I_{dsat} 退化与 $I_g F_g$ 的统一关系;(b) $\log D - V_d$ 的关系

FIG. 2 (a) I_{dsat} Degradation vs $I_g F_g$ for 4 and 5nm n-MOSFETs. The data sets for different stress voltages are aligned into a universal curve; (b) $\log D$ vs Drain Voltage V_d . The experimental data can be well fitted linearly.

用此方法预测栅氧化层 4 和 5nm n-MOSFETs 在使用电压 V_{dd} 条件下寿命,结果如下:

4nm n-MOSFETs: $t_{F,\text{pred}} = 1.20 \times 10^{16}$ s

5nm n-MOSFETs: $t_{F,\text{pred}} = 7.53 \times 10^{14}$ s

很明显,随着氧化层由 5nm 减薄到 4nm,器件的寿命增加了近 1.5 个数量级,氧化层厚度对热载流子效应的影响十分明显。

4 结论

通过对栅氧化层为 4 和 5nm n-MOSFETs 的热载流子加速寿命实验,在饱和漏电流退化基础上提出了器件的寿命预测模型—电子流量模型。并用此模型对器件进行了寿命预测。氧化层厚度在 4nm 以下的 n-MOSFETs 很可能符合本文提出的电子流量模型。

致谢 感谢摩托罗拉公司 APRDL 实验室为本工作提供测试样品。

参考文献

- [1] R. Ghodsi, Y-T Yeow, C. H. Ling and M. K. Alam, IEEE Trans. Electron Devices, 1994, **41**(12): 2423—2429.
- [2] Y. Leblebici and S-M Kang, IEEE J. Solid-State Circuits, 1993, **28**(5): 585—595.
- [3] K-L Chen, S. A. Saller, I. A. Groves and D. B. Scott, IEEE Trans. Electron Devices, 1985, **32**(2): 386—393.
- [4] P. Heremans, R. Bellens, G. Groeseneken and H. E. Maes, IEEE Trans. Electron Devices, 1988, **35**(12): 2194—2209.
- [5] B. S. Doyle, D. B. Krakauer and K. R. Mistry, IEEE Trans. Electron Devices, 1993, **40**(5): 980—985.
- [6] Marc de la Bardonne, P. Mialhe and J. P. Charles, J. Phys. D: Appl. Phys., 1998, **31**: 151—157.
- [7] YANG Mo-hua, YU Qi, WANG Xiang-zhan et al., Chinese Journal of Semiconductors, 2000, **21**(3), 268—273 (in Chinese) [杨谟华, 于奇, 王向展, 等, 半导体学报, 2000, **21**(3), 268—273].
- [8] ZHANG Jiong and LI Rui-wei, Chinese Journal of Semiconductors, 2000, **21**(5), 469—472 (in Chinese) [张炯, 李瑞伟, 半导体学报, 2000, **21**(5): 469—472].
- [9] T. Nishida and S. E. Thompson, Oxide Field and Temperature

- Dependences of Gate Oxide Degradation by Substrate Hot Electron Injection, IRPS'91, 310.
- [10] Q. Wang, M. Brox, W. H. Krautenschnieder and W. Weber, IEEE Electron Device Lett., 1991, **EDL-12**: 218—220.
- [11] L. Lipkin, A. Reisman and C. K. Williams, J. Appl. Phys., 1990, **68**: 4620.
- [12] Q. D. M. Khosru *et al.*, Jpn. J. Appl. Phys., 1991, **30**: 3652.
- [13] R. Woltjer and G. M. Paulzen, Oxide-Charge Generation During Hot-Carrier Degradation of PMOSs, Proc. IEDM '93, 713.
- [14] B. S. Doyle and K. R. Mistry, IEEE Trans. Electron Devices, 1990, **37**(5): 1301—1307.
- [15] B. S. Doyle, K. R. Mistry and D. B. Jackson, IEEE Trans. Electron Devices, 1992, **39**(10): 2290—2297.
- [16] D-H Huang *et al.*, IRPS-1994, 34—41.
- [17] B. S. Doyle and K. R. Mistry, IEEE Trans. Electron Devices, 1993, **40**(1): 152—156.
- [18] R. Woltjer *et al.*, IEDM, 1990, 561—564.
- [19] M. Brox *et al.*, IEDM, 1991, 525—528.

A New Lifetime Prediction Model for n-MOSFETs with Ultrathin Gate Oxides Under Hot-Carrier Stress

MU Fu-chen, XU Ming-zhen, TAN Chang-hua and DUAN Xiao-rong

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: Hot carrier degradation of n-MOSFETs under $V_g = V_d$ stress mode is examined. A new lifetime prediction model-electron fluence model is developed based on the universal power law between the degradation of saturated drain current (dI_{dsat}) and the product of the injected charge fluence times the gate current, which is independent of gate or drain voltages. This model applies to n-MOSFETs with ultrathin gate oxides. The lifetime can be estimated under the operation conditions.

Key words: HCI; hot-carrier effect; n-MOSFET; lifetime prediction

EEACC: 0170N; 2560R

Article ID: 0253-4177(2001)10-1306-04

MU Fu-chen was born in 1970, PhD candidate. His areas of interests include small-scaled MOS devices and reliability, device modeling and characterization, time-dependent dielectric breakdown, hot-carrier effects, electromigration and reliability statistics.

XU Ming-zhen was born in 1939, professor. Her current interests include physics and characterization of small dimensional devices and reliability of semiconductor material and devices.

TAN Chang-hua was born in 1936, professor. His current interests include physics and reliability of small dimensional devices.

Received 22 December 2000, revised manuscript received 10 May 2001

© 2001 The Chinese Institute of Electronics