

一个新的 pMOSFET 栅电流退化模型*

张进城 郝 跃 朱志炜 刘海波

(西安电子科技大学微电子所, 西安 710071)

摘要: 研究了最大栅电流应力(即 pMOSFET 最坏退化情况)下 pMOSFET 栅电流的退化特性。实验发现, 在最大栅电流应力下, pMOSFET 栅电流随应力时间会发生很大下降, 而且在应力初期和应力末期栅电流的下降规律均会偏离公认的指数规律。给出了所有这些现象的详细物理解释, 并在此基础上提出了一种新的用于 pMOSFET 寿命评估的栅电流退化模型。

关键词: pMOSFET; 热载流子退化; 栅电流退化模型

EEACC: 0170N; 2560R; 2570D

中图分类号: TN 386 **文献标识码:** A **文章编号:** 0253-4177(2001)10-1315-05

1 引言

许多研究^[1-4]已经表明, 在 CMOS 电路中, pMOSFET 的热载流子退化可能变得很重要, 将会严重影响晶体管的性能, 甚至最终导致电路的失效。当器件尺寸按等比例缩小到亚微米级时, pMOS 器件寿命和长期可靠性的评估将显得非常重要。对于 pMOSFET, 当偏置条件为 $|V_t| < |V_g| \leq |V_d/2|$ 时, 热载流子退化最为严重。这时主要退化因素是漏区局部的氧化层陷阱电子产生。由于 pMOSFET 的热载流子退化主要是由栅氧化层陷阱电子引起的, 所以 pMOSFET 的退化特性比较简单。对于 pMOS 器件, 最初的寿命预测方法是从 Hu 等人^[5,6]的模型得到的, 而该模型通常用于 nMOSFET, 选用 I_{sub}/I_d 作为寿命监控量。实验研究发现 pMOS 器件退化和栅电流 I_g 有很强的相关性^[7,8], 所以新的寿命预测方法被 Ong 等人提出^[8], 该方法中器件寿命只是栅电流 I_g 的函数。针对表面沟道和掩埋沟道 pMOS 器件退化之间的差异, Doyle 等人^[7,9]提出了一种新的基于栅注入电荷的寿命预测方法, 该方法可以同时用于表面沟道和掩埋沟道 pMOS 器件寿命的预测。

由于在器件退化期间栅电流也会不断退化, 所以直接使用初始栅电流来表征器件退化显然不够准确。而用栅注入电荷总量表征器件退化不但能反映栅电流退化的影响, 而且该方法具有很强的适用性, 可以适用于不同工艺和结构的器件, 所以通过栅注入电荷总量预测器件寿命是一个很好的方法。虽然用栅注入电荷总量可以很准确地表征器件的热载流子退化, 但是在计算栅注入电荷总量时, 需要一个准确的栅电流退化模型, 即栅电流随时间的变化关系, 这样就可以通过积分得到器件在一定时间后的栅注入电荷总量, 从而确定器件的寿命。然而目前还没有一个准确的栅电流退化模型, 所用的栅电流退化模型只是用栅电流和应力时间的指数关系进行近似表达^[7], 这种近似在长应力时间和高应力电压条件下是合理的, 但是当应力时间较短(如脉冲应力或交流应力)或者应力电压较低(如正常工作电压)时, 这种近似就显得不够准确。所以有必要建立一个准确的 pMOSFET 栅电流退化模型。

本文首先对 pMOSFET 栅电流随应力时间的退化特性进行深入研究, 给出栅电流随应力时间的退化关系和应力前后栅电流与偏置电压关系的变化, 并给出详细的物理解释; 在此基础上, 提出了一

* 国防预先研究项目支持研究(项目编号: 8.5.3.4)。

张进城 男, 1976 年出生, 博士研究生, 主要从事 MOS 器件可靠性及宽禁带半导体器件研究。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要从事 IC 可靠性、可制造性、设计方法学以及半导体新器件与电路研究。

2000-12-01 收到, 2001-02-10 定稿

© 2001 中国电子学会

个准确的栅电流退化的解析模型.

2 最大栅电流应力下 pMOS 器件栅电流的热载流子退化

本文实验所用晶体管为双阱 CMOS 工艺制造和一组塑封的 pMOSFET 器件. 所有器件均未采用 LDD 结构. 器件沟道宽度均为 $50\mu\text{m}$, 掩模沟道长度有 $1.2\mu\text{m}$ (器件 A) 和 $1.0\mu\text{m}$ (器件 B) 两种, 分别对应的有效沟道长度为 $1.05\mu\text{m}$ 和 $0.85\mu\text{m}$. 栅氧化层厚度为 20nm , 场氧化层的厚度大约为 300nm , 所有氧化层均通过热氧化法生长而成. 多晶硅栅采用 p^+ 注入以获得表面沟道晶体管.

在特性测量和施加应力过程中, 器件的衬底和源始终接地. 首先测量新器件的 $I-V$ 特性并确定最大栅电流应力条件. 从应力前器件的 I_g-V_g 特性曲线(如图 1 所示)可以得到, 当漏电压 $V_d = -9\text{V}$, $V_g = -2.3\text{V}$ 时, 器件 A 的栅电流达到最大. 而器件 B 的最大栅电流条件和器件 A 基本相同, 因此实验中对于器件 A 和 B 施加相同的最大栅电流应力: $V_d = -9\text{V}$, $V_g = -2.3\text{V}$, 应力时间为 $t_s = 10000\text{s}$, 应力过程中同时监控栅电流的变化情况. 最后测量退化后器件的特性以便于和应力前器件特性比较.

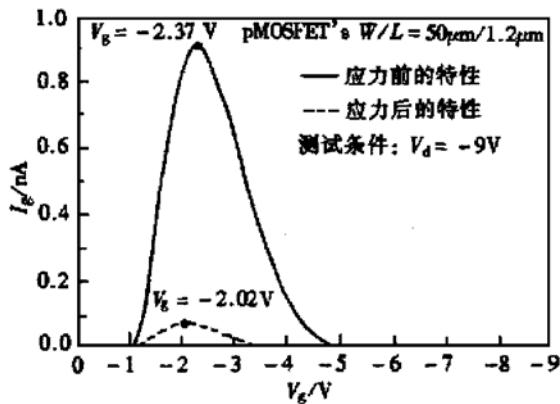


图 1 应力前后器件栅电流特性测量结果的比较

FIG. 1 Comparison of the Measured Gate Current Characteristics Before and After Stress

2.1 栅电流随应力时间的退化

Doyle 等人^[7]已经深入研究了 pMOS 器件栅电流随应力时间的退化. 他们的研究结果表明, 当应力时间较大或者应力电压较高时, 栅电流随时间以负指数规律退化, 这和本文的实验结果相同(如图 2 所

示). 以前的研究^[7, 10]在用到栅电流退化模型时, 均采用了 Doyle 的模型, 即将栅电流的退化规律分段处理: 当应力时间较短或(和) 应力电压较小时, 将栅电流当作常数处理; 对于应力时间较大或应力电压较高时的栅电流退化用负指数规律来描述.

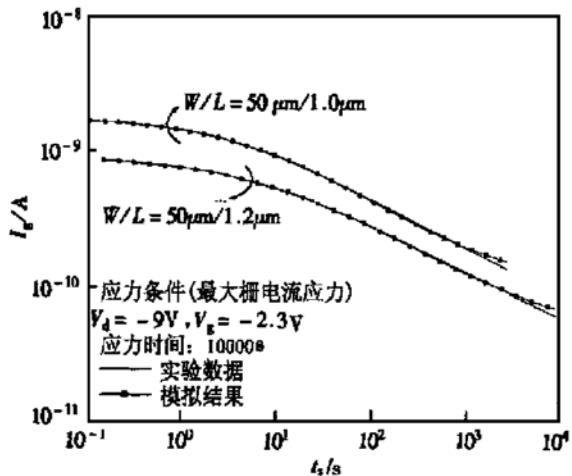


图 2 栅电流随应力时间的退化特性

FIG. 2 Degradation Characteristics of Gate Current with Stress Time

在研究器件的退化时, 我们通常都是采用加速寿命实验, 即施加较高的偏置电压和直流应力, 而器件实际的工作条件一般都是脉冲应力和较低的偏置电压, 所以负指数规律近似在表征实际工作条件下的器件栅电流退化时就显得不足.

图 2 给出了器件 A 和 B 在最大栅电流应力条件下栅电流随应力时间的退化曲线. 对于器件 A, 初始栅电流 $I_{g,t} = 8.6 \times 10^{-10}\text{A}$, 经过 10000s 最大栅电流应力以后的栅电流为 $I_{g,s} = 6.2 \times 10^{-11}\text{A}$, $I_{g,t}/I_{g,s} = 13.87$, 可见应力前后栅电流发生了很大的退化. 为了能更清楚地看出器件热载流子应力器件栅电流的退化规律. 图 3 给出了栅电流的退化速率 $d(\lg I_g)/d(\lg t)$ 随应力时间的变化关系. 根据 Doyle 等人对栅电流退化的两段划分, 在应力初期, 栅电流恒定不变, 所以退化速率应该为 0; 当应力时间较长时, 栅电流退化用公式 $I_g = A t^n$ 表达, 所以退化速率为一恒定的负值 n , n 的值通常在 -0.33 — -0.38 之间变化^[10]. 从图 2 和图 3 可以明显看出, 在应力初期, 栅电流退化比较缓慢, 但是退化速率不断增大. 随着应力的延续, 栅电流退化速率的变化放缓, 并且退化速率在 -0.3 — -0.35 之间保持很长一段时间, 这一段应力时间内的栅电流退化规律就是我

们通常用负指数规律近似的情况。从图 2 中我们看不出栅电流的饱和趋势, 但是从图 3 中我们可以看出, 当应力时间增加到一定程度, 栅电流退化速率的绝对值开始变小, 即器件栅电流退化开始出现饱和趋势。

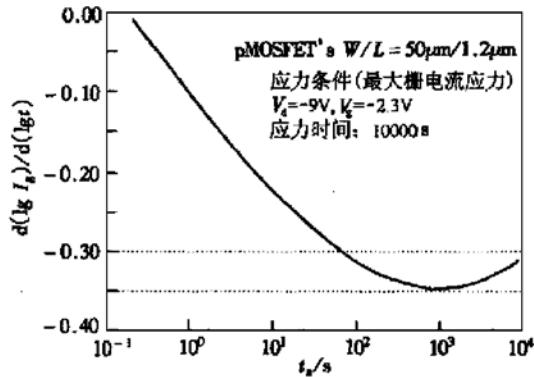


图 3 栅电流退化速率随应力时间的变化

FIG. 3 Change of Gate Current Degradation Rate with Stress Time

2.2 栅电流退化的物理解释

由于负氧化层陷阱电荷是引起 pMOS 器件热载流子退化的主要因素, 所以通常都是采用陷阱电荷的产生来解释栅电流的退化。Doyle 等人首先假设应力后氧化层陷阱电荷在漏端一定范围内高斯分布, 然后通过 MINIMOS 模拟退化后器件的特性, 当模拟的结果和实际测量结果一致时, 就可以说明栅电流的退化就是这种分布的陷阱电荷引起的。这种研究方法明显受到假设因素的影响, 而且和实际的情况并不是很吻合。

为了能够从本质上解释 pMOS 栅电流的退化, 我们直接从器件工艺制造阶段开始分析。对于一个成熟的工艺, 所得到的栅氧化层质量应该是均匀的, 由于在整个工艺过程中有几个必需的工艺步骤(如自对准离子注入和反应离子刻蚀)必然会引起氧化层缺陷, 所以在应力前的新器件中中性电子陷阱总是存在的。我们可以认为在新器件中栅氧化层中的中性电子陷阱沿着沟道长度和宽度方向均匀分布。在研究 pMOS 退化的电子陷阱效应时, 有两类陷阱点需要被考虑, 一是应力前已经存在的陷阱点, 二是应力过程中新产生的陷阱点。根据文献[11]提到的研究结果, 只有在氧化层电场很高和注入电荷量很大时, 在氧化层中才会产生新的陷阱。结合本文提到的应力偏置电压和应力时间, 我们可以发现此时氧

化层中的新陷阱产生是可以忽略不计的。

根据以前模拟陷阱电荷生长的方法^[11], 我们采用 2D-MINIMOS 模拟了器件 A 的陷阱电荷生长情况, 如图 4 所示。图中给出了 MINIMOS 模拟得到的陷阱电荷 N_{ot} 和界面态电荷 N_{it} 分布随应力时间的变化曲线。模拟时选择的器件结构参数及偏置条件和实际情况相同。

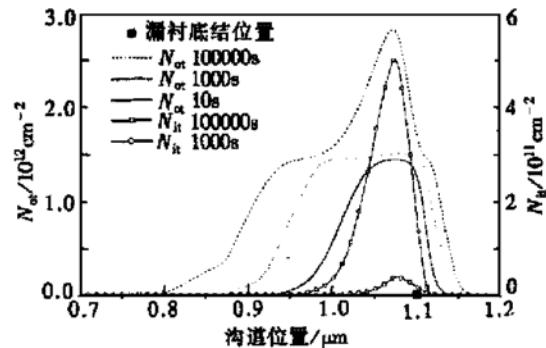


图 4 器件 A 氧化层陷阱电荷和界面态电荷分布的 MINIMOS 模拟结果

FIG. 4 MINIMOS Simulation Results of Oxide Trap Charge and Interface Charge of Device A

根据陷阱电荷的生长规律, 我们可以对栅电流的退化原因作如下解释。如图 4, 在应力初期(应力时间 < 10s), 漏结附近氧化层中的中性电子陷阱开始被电子填充, 这时负氧化层电荷的分布区域很窄, 而且数量很少, 所以这时栅电流的退化很慢, 并随着负氧化层电荷的增加而退化速度变大。对于应力初期栅电流退化比较缓慢的现象, 也可能有另外一个解释。Woltjer 等人^[12]把氧化层电荷的生长分为两个过程, 当电子注入氧化层中时, 首先和氧化层中的可动正离子(如氢离子)相互中和, 这样, 氧化层中其它位置的可动离子会沿着沟道长度方向向损伤区扩散。由于这两个过程的相互作用, 应力初期负氧化层电荷的生长速率较慢, 所以栅电流的退化较慢。

随着应力时间的增加(大于 10s), 接近漏结的很窄区域的氧化层中中性电子陷阱完全被注入电子填充, 而且陷阱饱和区开始沿着沟道方向向漏结两边扩展, 这样栅电流进入稳定退化区。但是当应力时间很长时, 陷阱饱和区向两边的扩展速度会慢慢变缓, 而且此时新陷阱的产生不很明显, 所以栅电流会出现饱和趋势。

2.3 应力前后栅电流特性曲线的漂移

经过一定时间的热载流子应力以后,不但器件栅电流的数值降低,而且最大栅电流出现的位置也向低栅压方向移动。图 1 给出应力前后器件 A 的栅电流特性的变化。测试条件为: $V_d = -9V$, $V_g = 0$ — $-9V$ 。可以明显看出,最大栅电流出现的位置也由应力前的 $V_g = -2.37V$ 降低到应力后的 $V_g = -2.02V$,降低的幅度大约为 $0.35V$ 。

由于电子陷阱效应主要发生在漏端,随着漏端栅氧化层中陷阱电子数量的增加和陷阱填充饱和区向两边的扩展,当陷阱电子数量积累到一定程度时,即使在栅电极不施加任何电压时,漏端氧化层中的陷阱电子也有可能使漏端一定长度的沟道保持反型,这就相当于器件沟道长度变短;同时陷阱饱和区限制了热电子向氧化层的注入。在获得最大栅电流时,栅电流的最大注入区在应力前后是不同的。图 5 给出了新器件和退化器件在最大栅电流应力下的沟道反型情况,其中, L 表示有效沟道长度, ΔL 表示沟道夹断区。由于氧化层陷阱填充饱和区的长度通常小于沟道夹断区长度,所以在图 5 上标出氧化层陷阱填充饱和区,陷阱饱和区长度为 X_{edge} 。如图 5(a),新器件的栅电流是由漏结附近注入的,而退化后的器件的栅电流注入是从陷阱饱和区靠近源区的一边注入的(见图 5(b))。为了使沟道的某个位置获得最

大电子注入效率,就需要在反型区和该位置之间保持一定的距离。所以,退化后的器件在获得最大栅电流时,沟道反型区要小于新器件在最大栅电流时的反型区(见图 5)。因此,经过一定时间的热载流子应力以后,器件的栅电流特性会向低栅压方向漂移。

3 栅电流退化模型

在 2.1 节中提到了一种常用栅电流退化模型,即采用分段函数近似表达栅电流退化。这种近似得到的栅电流退化方程不连续,不适合于进行栅电流退化模拟和寿命模拟,而且这种近似在正常工作条件下是不够准确的。本文给出如下连续的栅电流退化模型。

为了能够同时表征栅电流的初期退化和饱和效应,提出了一个新的栅电流退化方程:

$$I_g(t) = \frac{I_{g0} - I_{g,sat}}{1 + (t/t_k)^p} + I_{g,sat} \quad (1)$$

其中 I_{g0} 表示初始栅电流($t=0s$); $I_{g,sat}$ 表示饱和栅电流; t_k 为栅电流进入稳定退化区的转折点; p 表示栅电流退化指数。用式(1)对图 2 给出的两条栅电流退化曲线进行拟合,可以分别得到器件 A 和器件 B 的栅电流退化方程。拟合得到的上述四个模型参数值如表 1 所示。该栅电流退化方程只是表征了器件栅电流随时间的退化规律,而器件栅电流与器件结构和偏置条件的关系通过通常的静态栅电流模型来

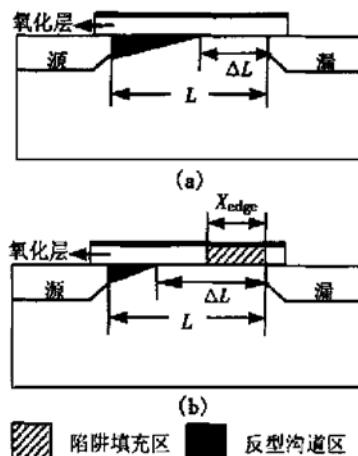


图 5 最大栅电流应力偏置下 pMOS 器件沟道的反型情况 (a) 新器件; (b) 退化器件

FIG. 5 Schematic Illustration for pMOSFET Under Maximum Gate Current Stress (a) Fresh Device; (b) Stressed Device

表 1 器件栅电流退化模型的拟合参数

Table 1 Fitting Parameters of Device Gate Current Degradation Model

器件	(沟宽/沟长)/ μm	I_{g0}/A	$I_{g,sat}/A$	t_k/s	p
A	50/1.2	9.21×10^{-10}	4.20×10^{-11}	15.50	0.53
B	50/1.0	1.79×10^{-9}	9.87×10^{-11}	9.24	0.59

表征,目前应用比较广泛的是 Hu 等人^[8]提出的栅电流模型,所以方程(1)中的两个电流参数 I_{g0} 和 $I_{g,sat}$ 均要通过栅电流模型来计算。另外两个模型参数 t_k 和 p 才是真正与栅电流退化相关的参数。从表 1 可以看出,对于器件 A 和器件 B, t_k 和 p 的数值比较接近,这是因为两种器件的工艺和偏置条件相同,实际上,参数 p 与偏置条件关系较小,只是与器件的工艺和结构相关,其数值基本处于 0.5—0.6 之间,而参数 t_k 除了与器件的工艺和结构有关外,还与器件的偏置条件有关。研究发现,偏置电压越高,

t_k 越小, 即栅电流进入稳定退化区所需的时间越短。有关这两个栅电流退化参数与器件工艺、器件结构和器件偏置条件的关系将在以后的文章中专门阐述。

从图 2 中的模拟曲线可以看出, 用上述解析方程模拟的结果和实际测量得到的结果吻合得很好, 只是在应力时间很长时模拟得到的曲线有点上翘, 这是因为饱和栅电流的取值偏大的缘故, 如果能够得到更长应力时间的退化特性, 可以相信模拟结果会更好。

4 结论

本文深入研究了最大栅电流应力下 pMOSFET 栅电流的退化特性。试验发现, 在最大栅电流应力下, pMOSFET 栅电流随应力时间发生了很大退化, 而且在应力初期和应力时间很长时栅电流的下降规律均会偏离公认的指数规律。本文从物理机理上详细解释了所有这些现象。在此基础上, 提出了一种新的连续的栅电流退化模型, 该模型可以用于 pMOSFET 寿命评估和可靠性评估。

参考文献

- [1] M. Koyanagi, A. G. Lewis, J. Zhu *et al.*, IEDM Tech. Dig., 1986, 722—725.
- [2] W. Weber and F. Lau, IEEE Electron Device Lett., 1987, **8**(4): 208—210.
- [3] F. Matsuoka, H. Iwai, H. Hayashida *et al.*, IEEE Trans. Electron Devices, 1990, **37**(6): 1487—1495.
- [4] W. Weber, M. Brox, T. Kunemund *et al.*, IEEE Trans. Electron Devices, 1991, **38**(8): 1859—1867.
- [5] C. Hu, S. C. Tam, F. C. Hsu *et al.*, IEEE J. Solid-State Circuits, 1985, **SC-20**: 295—305.
- [6] J. J. Tzou, C. C. Yao, R. Cheung *et al.*, IEEE Electron Device Lett., 1986, **7**(1): 5—7.
- [7] B. S. Doyle and K. R. Mistry, IEEE Trans. Electron Devices, 1990, **37**(5): 1301—1307.
- [8] T. C. Ong, P. K. Ko and C. Hu, IEEE Trans. Electron Devices, 1990, **37**(7): 1658—1666.
- [9] B. S. Doyle and K. R. Mistry, IEEE Electron Device Lett., 1990, **11**(11): 547—548.
- [10] Di-Hui Huang and Everett E. King, IEEE/IRPS, 1994, 34—41.
- [11] Martin Brox, Andreas Schwerin, Qin Wang *et al.*, IEEE Trans. Electron Devices, 1994, **41**(7): 1184—1195.
- [12] Reinout Woltjer and Ger M. Paulzen, IEEE Trans. Electron Devices, 1994, **41**(9): 1639—1645.

A New Degradation Model of Gate Current of pMOSFET*

ZHANG Jin-cheng, HAO Yue, ZHU Zhi-wei and LIU Hai-bo

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: The degradation of gate current of pMOSFET's under the maximum gate current stress (i.e., the worst stress condition) is studied in detail. It is found that the gate current of pMOSFET's decreases greatly with the stress time increasing under the maximum gate current stress. A deviation from the power law is observed in both the early stage and the final stage of the stress time. A thorough physical description of the phenomena is presented. Based on the above analysis, a new degradation model of gate current for device lifetime prediction is proposed.

Key words: pMOSFET; hot-carrier-induced degradation; the degradation model of gate current

EEACC: 0170N; 2560R; 2570D

Article ID: 0253-4177(2001)10-1315-05

* Project Supported by Defense Advanced Research Program Under Grant No. 8.5.3.4.

ZHANG Jin-cheng male, was born in 1976. He received the B. E. degree in Microelectronics from Xidian University, Xi'an, in 1998. He is currently pursuing the PhD degree at Xidian University. His interests include MOS device reliability and wide bandgap semiconductor devices.

HAO Yue male, was born in 1958. He is a professor and director of PhD candidate. His research interests include IC reliability, manufacturability, methodology of IC design, and new type of semiconductor devices and circuits.