

PD SOI NMOSFET 翘曲效应的温度模型*

张海鹏 魏同立 冯耀兰 姚 炜 宋安飞

(东南大学微电子中心, 南京 210096)

摘要: 报道了一个部分耗尽 (PD) SOI NMOSFET 翘曲效应的温度解析模型。该模型从 PD SOI NMOSFET 器件的物理结构, 即由顶部的 NMOSFET 和底部的寄生 BJT 构成这一特点出发, 以一定温度下 PD SOI NMOSFET 体-射结电流与漏-体结电流的动态平衡为核心, 采用解析迭代方法求解, 得出漏-体结碰撞电离产生的空穴在体区中近源端积累达到饱和时的体-射结电压, 及漏-体结和体-射结电流的各主要分量, 进而得到了 PD SOI NMOSFET 翘曲效应漏电流的温度解析模型, 并将一定条件下的模拟结果与实验结果进行了比较, 二者吻合得很好。

关键词: PD SOI NMOSFET; 翘曲效应; 温度解析模型; 动态平衡

PACC: 7220H; 7220J; 7360H EEACC: 2560R

中图分类号: TN386 文献标识码: A 文章编号: 0253-4177(2001)10-1320-05

1 引言

由于存在浮体结构, SOI NMOSFET 的碰撞电离效应比体硅重要得多^[1-3]。全耗尽 SOI NMOSFET 浮体效应的研究表明^[2,3]: 由于薄膜全耗尽, 体-射结势垒高度总是很小, 空穴很难在体中积累, 所以, 体电势对器件行为的影响也很微弱。PD SOI MOSFET 的浮体效应也已有相关报道^[4,5], 由于存在中性体区, 体-射结势垒高度较大。所以在高漏压下, 漏-体结碰撞电离产生的空穴容易被阻挡在体区形成积累, 明显抬高体电势, 降低体-射势垒。又因为体电势升高可能引起阈值电压降低, 导致漏源电流增大, 因而较易发生翘曲效应^[2,3,6]。最近, 有关高温器件和电路的分析已有报道^[7-9]。在高温工作时, PD SOI MOSFET 的翘曲效应虽然减弱, 但其影响仍然不能忽略。文献[10]报道了 PD SOI MOSFET 翘曲效应的温度模型分析, 但其模型的模拟结果在较低和较高漏源电压时明显偏离实验结果。为深入理解翘曲效应的内部机理, 比较精确地预测翘曲效应随温度升高的变化, 有必要建立比较精确的翘曲效应温度解析模型。本文建立了比较精确的翘曲效应温度解析模型, 并进行了实验验证与结果讨论。

2 模型推导

对于 PD SOI NMOSFET, 由于硅膜中存在体中性区, 可以认为是由顶部的 NMOSFET 与底部的寄生基极开路 BJT 并联的复合结构(图 1), 推导温度模型时应将两种效应都考虑在内。在高温下工作的 PD SOI NMOSFET, 当偏置在饱和区时, 由于漏-体结碰撞电离产生的空穴受体-射势垒阻挡形成体

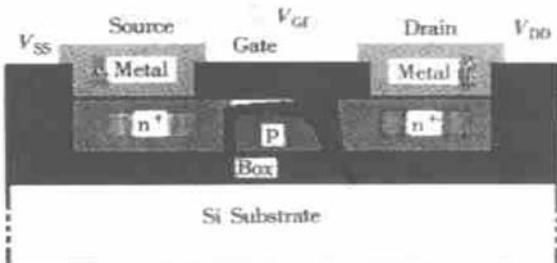


图 1 PD SOI NMOSFET 结构示意图

FIG. 1 Cross-Section of PD SOI NMOSFET

区积累, 抬高了体电位, 导致阈值电压降低, 漏源电流跳变, 引起 $I-V$ 曲线翘曲, 这就是所谓的“翘曲效应”^[2,3,6]。在任意工作温度下, 发生翘曲时寄生 BJT 的体射电压都有一个跃变。这一跃变是由碰撞电离

* 国家自然科学基金资助重点项目(批准号: 69736020)。

2000-11-10 收到, 2001-03-22 定稿

产生空穴电流注入引起体中性区空穴积累所致。

2.1 与温度相关参数

当温度升高时, 翘曲效应减弱主要与本征载流子浓度、电子迁移率、产生/复合寿命、碰撞电离及PN结内建电势随温度的变化有关。当工作温度升高时, 硅禁带宽度 E_g 变窄, 本征载流子浓度 n_i 迅速增大^[11]。

$$E_g = 1.17 - \frac{4.73 \times 10^{-4} T^2}{T + 636} \quad (1)$$

$$n_i = 4.90 \times 10^{15} \left(\frac{m_n m_p}{m_0^2} \right)^{3/4} T^{3/2} e^{-E_g/2kT} \quad (2)$$

式中 k 为 Boltzmann 常数; T 为热力学温度; m_n 、 m_p 分别为电子、空穴的有效质量。当本征载流子浓度随温度变化时, 器件的相关费米势和耗尽层宽度也会改变。

低场电子迁移率依赖于掺杂浓度和工作温度。考虑表面散射衰减因子 $g_s = 0.5$, 表面迁移率 μ_{surf} 随温度的变化可表示为晶格迁移率 μ_l 和杂质迁移率 μ_i 的函数^[10]。

$$\begin{aligned} \mu_{\text{surf}} &= g_s \mu_{\text{surf}} = g_s \frac{\mu_l \mu_i}{\mu_l + \mu_i} \\ \mu_l &= \mu_{l0} \left(\frac{T}{300} \right)^{-2.2} \end{aligned} \quad (3)$$

$$\mu_i = \frac{A T^{3/2}}{N_B} \left[\ln \left(1 + \frac{B T^2}{N_B} \right) - \frac{B T^2}{N_B + B T^2} \right]^{-1}$$

式中 μ_{surf} 为硅体内电子有效迁移率; 300K 时硅中电子的晶格散射迁移率 $\mu_{l0} \approx 1350 \text{ cm}^2/(\text{V} \cdot \text{s})$, $A = 3.5 \times 10^{17}/(\text{cm} \cdot \text{V} \cdot \text{s} \cdot \text{K}^{3/2})$, $B = 1.52 \times 10^{15}/(\text{cm}^3 \cdot \text{K}^2)$ 为常数; N_B 为体掺杂浓度。随着工作温度升高, 起主要作用的晶格散射迁移率减小。

对于底部的双极器件, 产生/复合寿命非常重要。在双极器件中, 中性区电子寿命 τ_n 、耗尽区电子产生寿命 τ_g 和复合寿命 τ_r 影响器件的泄漏电流, 其表达式分别如下。

$$\begin{aligned} \tau_n &= \tau_{n0} \left(\frac{T}{300} \right)^{2.2} \\ \tau_r &= 2 \tau_{n0} \left(\frac{T}{300} \right)^{2.5} \end{aligned} \quad (4)$$

$$\tau_g = 2 \times 10^{-15} T^{2.55} \cosh \left(\frac{20}{T} \right)$$

式中 $\tau_{n0} = 0.9 \text{ ns}$, 为 300K 时 SIMOX SOI NMOSFET 中性体区的电子寿命^[12]。当工作温度升高时, 寿命增大, 结果基区扩散长度 L_{nB} 增大。

$$L_{nB} = \sqrt{\frac{kT}{q} \mu_{\text{surf}} \tau_n} \quad (5)$$

对于 PD SOI NMOSFET, 当偏置于饱和区时, 由于存在高电场而在漏端引起的碰撞电离比较显著。考虑温度对碰撞电离的影响, 正背沟道雪崩倍增因子分别为^[1, 10, 12]

$$\begin{aligned} M_f &= 1 + \frac{\alpha_f}{\beta_f} (V_{DS} - V_{DSat}) \exp \left[\frac{-\beta_f l_f}{V_{DS} - V_{DSat}} \right] \\ M_b &= 1 + \frac{\alpha_b}{\beta_b} (V_{DS} - V_{BE} + \Phi_i) \exp \left[\frac{-\beta_b l_b}{V_{DS} - V_{BE} + \Phi_i} \right] \end{aligned} \quad (6)$$

式中 饱和漏源电压 V_{DSat} 、漏端正/背沟道特征长度 l_f 、 l_b 和耗尽层宽度 x_{df} 、 x_{db} 分别为

$$\begin{aligned} V_{DSat} &= \frac{E_c L (V_{Gf} - V_{Tf}(T))}{E_c L + Y_b E_c L / 2 \sqrt{0.5 + 2\Phi_i + V_{Gf} - V_{Tf}(T)}}, \\ l_f &= \sqrt{\frac{t_{oxf} x_{df}}{\epsilon_{ox}/\epsilon_{Si}}}, \quad x_{df} = \sqrt{\frac{4\epsilon_{Si}\Phi_i}{qN_B}}, \quad l_b = \sqrt{\frac{t_{oxb} x_{db}}{\epsilon_{ox}/\epsilon_{Si}}}, \\ x_{db} &= \sqrt{\frac{2\epsilon_{Si}(V_{DS} - V_{BE} + \Phi_i)}{qN_B}}, \quad V_{Tf}(T) \text{ 详见式 (10); } V_{Gf} \text{ 为正栅偏压; } E_c = 3.6 \times 10^4 \text{ V/cm} \text{ 为临界电场; } \epsilon_{Si} \text{、} \epsilon_{ox} \text{ 分别为 Si、SiO}_2 \text{ 的介电常数; } L \text{ 为沟道长} \end{aligned}$$

$度; t_{oxf} \text{、} t_{oxb}$ 为正/背栅氧化层厚度; V_{BE} 为体-射电压; Φ 为费米势; Φ_i 为内建电势, $Y_b = \sqrt{2q\epsilon_{Si}N_B/C_{ox}}$ 为体效应系数, 选取 $\alpha_f = 1 \times 10^6$, $\alpha_b = 7.5 \times 10^5$, $\beta_f = 2.8 \times 10^6 + 1.8 \times 10^3 T$, $\beta_b = 3.41 \times 10^6 + 1.3 \times 10^3 T$ ^[12]。当工作温度升高时, 沟道迁移电子所受热散射增强。由于与晶格碰撞而产生电子-空穴对的能力降低, 因而倍增因子随温度升高而降低。

2.2 导电机理

考虑 PD SOI NMOSFET 导电机理时, 必须兼顾顶部的 NMOSFET 和底部的寄生 NPN BJT, 尤其在 $V_{DS} > V_{DSat}$ 的偏置条件下, 硅膜底部是中性区, 由于浮体效应可能使 BJT 偏置在正向有源区, 因而其影响不能忽略。对于体-集结反偏的寄生 NPN BJT, 在集电结区存在反向电流 I_R 。在无碰撞电离发生时, 它由空间电荷区产生电流 I_g 和体中性区电子扩散电流 I_{de} 组成。

$$\begin{aligned} I_R &= I_g + I_{de} \\ I_g &= \frac{qn_i x_{db}}{2\tau_g} A_g \\ I_{de} &= q \sqrt{\frac{D_n}{\tau_n}} \times \frac{n_i^2}{N_B} A_{de} \end{aligned} \quad (7)$$

式中 D_n 为中性区电子扩散系数; $A_g = W(t_{Si} - x_{df})/2$ 为有效集电结面积; $A_{de} = W(t_{Si} - x_{df})$ 为中性体区结面积。随着工作温度升高, 由于本征载流子浓度的影响, 在 I_R 中, 扩散电流的影响变得愈来愈重要。而流过正偏体-射结的正向电流 I_E , 则由空间电荷区的复合电流 I_r 和发射极电子扩散电流 I_{ES} 组成。

$$\begin{aligned} I_E &= I_r + I_{ES} \\ I_r &= I_{r0} \exp\left(\frac{qV_{BE}}{2kT}\right) = \frac{qn_i W_{be}}{2\tau_r} A_{de} \exp\left(\frac{qV_{BE}}{2kT}\right) \\ I_{ES} &= I_{ES0} \exp\left(\frac{qV_{BE}}{kT}\right) = q \frac{D_n n_i^2}{W_B N_B} A_{ES} \exp\left(\frac{qV_{BE}}{kT}\right) \end{aligned} \quad (8)$$

式中 $W_{be} = \sqrt{2\epsilon_{Si}(\phi_b - V_{BE})/qN_B}$ 为发射结耗尽层宽度; $A_{ES} = A_{de}$ 为发射结面积; $W_B = L - x_{db} - W_{be}$ 为有效基区宽度; I_{r0} 为饱和反向产生电流; I_{ES0} 为反向饱和扩散电流。 V_{BE} 较小时, 以第一项为主, V_{BE} 较大时则以第二项为主。而扩散电流的作用则随温度升高逐渐增强。

对于顶部的 NMOSFET, 阈值电压将受到浮体效应的影响。空穴在体射结附近积累使 V_{BE} 升高会引起阈值电压降低。文献[1]中报道了考虑该效应的阈值电压和正沟道电流模型。

2.3 体-射电压

在非饱和区, $V_{DS} \leq V_{DSsat}$, 漏端正沟道无夹断区, 不发生碰撞电离, 所以没有空穴注入到中性体区。然而, 在漏端下部反偏的体集结空间电荷区, 有较弱的碰撞电离, 因而有少量空穴注入到体区, 使体-射电压 V_{BE} 稍有提高。但是, 体-射电压提高很小, 对阈值电压的影响微弱得可以忽略, 更不足以使寄生BJT 开启。此时, 可近似认为浮体区是两个背靠背的二极管。体-射结正向电流为 I_E , 体集结反向电流为 $M_b I_R$ 。空穴积累是一个动态过程, 开始时, $V_{BE} = 0$, $I_E < M_b I_R$, 空穴开始积累, V_{BE} 开始升高。当 V_{BE} 升高到 $I_E = M_b I_R$ 时, 从体集结注入的空穴量和从体射结泄放的空穴量相等, 空穴积累达到动态平衡, 体-射电压达到稳定值。

$$V_{BE0} = \frac{2kT}{q} \ln \left(\frac{\sqrt{I_{r0}^2 + 4I_{ES0}M_b I_R} - I_{r0}}{2I_{ES0}} \right) \quad (9)$$

在饱和区, $V_{DS} > V_{DSsat}$, 漏极附近正沟道夹断区的碰撞电离变得十分显著, 同时, 漏端下部反偏的体集结空间电荷区的碰撞电离也有所增强, 结果将大

量空穴注入到浮置体区。由于最初体-射电压较低, 因而体-射电流较小, 不能将注入体区的空穴完全泄放掉, 所以在体-射结势垒的阻挡下, 大量空穴积累在体-射结附近, 使体-射电压升高。体-射电压的升高一方面引起顶部 NMOSFET 阈值电压降低, 沟道电流增大; 另一方面有可能使底部 NPN BJT 开启, 触发三极管行为。

在一定温度下, 底部 NPN BJT 是否开启与 V_{DS} 的高低密切相关。当 V_{DS} 较低时, 由(6)式可知, M_f 、 M_b 均较小, 碰撞电离注入体区的空穴积累较慢, 当 V_{BE} 升高到比 ϕ_b 低得多的某一值时就已达到了动态平衡。这种情况下, 较低的 V_{BE} 不足以使 NPN BJT 开启, 底部仍然表现为二极管行为。此时有

$$\begin{aligned} I_E &= (M_f - 1) I_{ch} + M_b I_R \\ V_{BE1} &= \frac{2kT}{q} \times \ln \left(\frac{\sqrt{I_{r0}^2 + 4I_{ES0}[(M_f - 1) I_{ch} + M_b I_R] - I_{r0}}}{2I_{ES0}} \right) \\ I_{ch} &= \frac{\mu_{eff} C_{oxf} W}{2L} (V_{cf} - V_{Tr}(T))^2 (1 + \lambda V_{DS}) \\ V_{Tr}(T) &= V_{Tr0}(T) + Y_b (\sqrt{2\phi} - V_{BE} - \sqrt{2\phi}) \\ &\quad \text{for } V_{BE} < 2\phi \\ V_{Tr}(T) &= V_{Tr0}(T) - Y_a (V_{BE} - 2\phi) - Y_b \sqrt{2\phi} \\ &\quad \text{for } V_{BE} > 2\phi \end{aligned} \quad (10)$$

式中 I_{ch} 为沟道电流; C_{oxf} 为单位面积正栅氧化层电容; λ 为沟道调制因子; Y_a 为拟合参数; W 为沟道宽度; V_{Tr} 为正栅阈值电压; V_{Tr0} 为无衬偏效应时的阈值电压。

当 V_{DS} 升高时, 由(6)式可知, M_f 、 M_b 均迅速增大, 碰撞电离注入的空穴迅速积累, 使体-射电位 V_{BE} 产生跳变, 从而可能开启底部的 NPN BJT。由于体浮空, 碰撞电离和空间电荷区产生电流起基极电流作用, 若忽略体-射结空间电荷区复合电流, 则有

$$\begin{aligned} I_B &= I_{Bf} + I_{Bb} \\ I_{Bf} &= (M_f - 1) \left[I_{ch} + (1 - k_b) \alpha_f I_{ES0} \exp\left(\frac{qV_{BE}}{kT}\right) \right] \\ I_{Bb} &= M_b I_g + (M_b - 1) \left[I_{de} + k_b \alpha_f I_{ES0} \exp\left(\frac{qV_{BE}}{kT}\right) \right] \\ I_E &= \frac{\alpha_f}{1 - \alpha_f} I_B, \quad \alpha_f = \frac{1}{\cosh(W_B/L_{Nb})} \\ V_{BE2} &= \frac{kT}{q} \ln \left(\frac{(M_f - 1) I_{ch} + M_b I_R}{[1/\alpha_f - 1 - M_f(1 - k_b) \alpha_f - M_b k_b \alpha_f] I_{ES0}} \right) \end{aligned} \quad (11)$$

式中 α_F 为寄生 BJT 的共基极短路电流放大系数; k_b 为射极注入电子电流在寄生 BJT 中的分流因子。基于上述分析, PD SOI NMOSFET 的漏电流由顶部 NMOSFET 的沟道电流和底部 NPN BJT 的发射极电流组成。

$$I_D = I_{ch} + I_E \quad (12)$$

上述所有公式即为翘曲效应的封闭式温度解析模型。

3 结果与讨论

我们采用埋氧层厚度小于 350 nm 的 SIMOX SOI 材料制作器件, 器件表面不加任何钝化层, 并采用带金属热沉且传热比较好的 DIP 陶瓷管壳敞顶封装。实验采用熊猫 HG101-1A 型电热恒温箱(可调温度范围为 0—300℃), JT-1 型晶体管图示仪, 1 kΩ 电阻 1 只及高温导线若干。PD SOI NMOSFET 翘曲效应在 300、423 和 523 K 的模拟与实验结果分别如图 2

(a)、(b)、(c) 所示。其中, 工艺参数和拟合参数分别如表 1 所示。由于在我们的研究范围内没有发现体射电压高于两倍体费米势的情况, 没能确定 γ_0 的值。由图 2 可见, 该模型的模拟结果与实验结果吻合得较好。当栅压不变时, 随着工作温度的升高, PD SOI NMOSFET 翘曲效应发生时的漏源电压升高, 而电流翘曲幅度则降低, 因此 PD SOI NMOSFET 翘曲效应随温度升高而减弱。除阈值电压随温度升高而降低和扩散电流随温度升高而增大引起漏源电流增大以外, 图 2 还表明, 在较低温度下, 由于体-射结内建电势较高, 扩散电流随漏源电压升高相对增加较慢, 空穴积累比较严重, 体电位明显抬高, 因而翘曲效应比较显著。当温度升高时, 内建电势降低, 基区扩散长度增大, 有可能在较高漏源电压下触发三极管行为, 因而扩散电流随漏源电压升高相对增加变快, 体电势抬高不明显, 所以翘曲效应也比较弱。体电势随漏源电压变化的模拟曲线如图 3 所示。

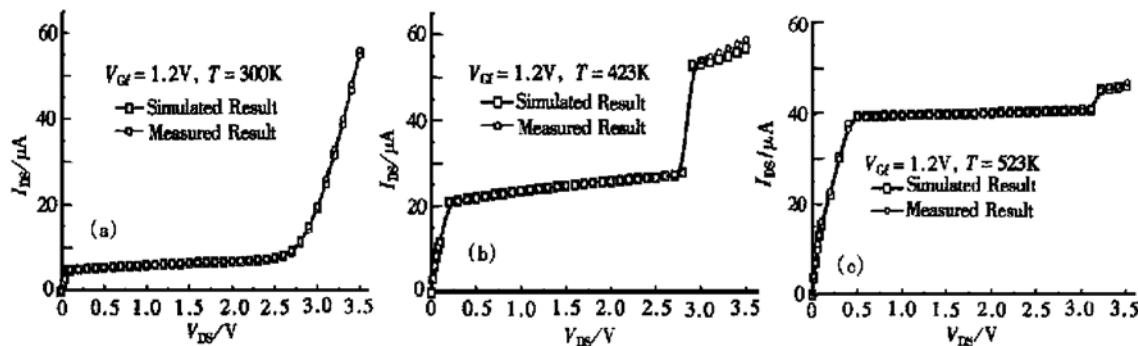


图 2 PD SOI NMOSFET 翘曲效应模拟与实验结果($W/L = 50\mu\text{m}/1.5\mu\text{m}$)

FIG. 2 Simulated and Measured Results of PD SOI NMOSFET ($W/L = 50\mu\text{m}/1.5\mu\text{m}$)

表 1 工艺参数和拟合参数

Table 1 Technological and Fitting Parameters

参数	W/cm	N_B/cm^{-3}	t_{oxf}/nm	t_{oxh}/nm	t_{si}/nm	k_b	λ	$V_{Tf0}(300\text{K})/\text{V}$
数值	9.9×10^{-7}	3×10^{16}	35	350	226	0.9	0.014	1.12

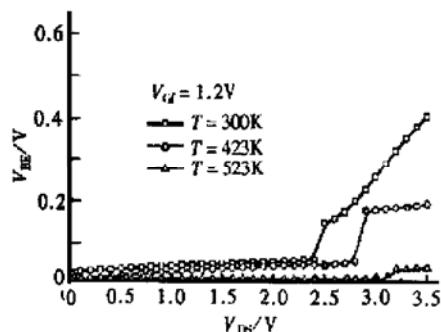


图 3 体电势随漏源电压变化的模拟曲线

FIG. 3 Simulated Curves V_{BE} vs V_{DS}

4 结论

本文提出了一个封闭式 PD SOI NMOSFET 翘曲效应温度解析模型, 对该模型进行了计算机模拟, 并与实验结果进行了比较。研究表明, 在较高温度下, 体电位抬高较小, 由于体电位升高而引起的阈值电压下降较小, 因而不易发生电流翘曲效应。该模型深入揭示了 PD SOI NMOSFET 翘曲效应机理, 模拟结果与实验结果吻合较好, 而且模型比较简单。根据该模型可知, 采取适当减薄栅氧化层和硅膜厚度,

降低体区掺杂浓度和漏端电场以及合理选择工作电压等措施可以有效减弱 PD SOI NMOSFET 翘曲效应。

参考文献

- [1] S. S. Chen and J. B. Kuo, An Analytical Cad Kink Effect Model of Partially-Depleted SOI NMOS Devices Operating in Strong Inversion, Solid-State Electronics, 1997, **41**(3): 447—458.
- [2] X. M. Xi and Y. Y. Wang, A Physical Model of Floating Body Effects in Fully-Depleted SOI nMOSFET, Chinese Journal of Semiconductors, 1996, **17**(5): 339[岑雪梅, 王阳元, 全耗尽 SOI nMOSFET 的浮体效应物理模型, 半导体学报, 1996, **17**(5): 339].
- [3] Z. P. Chen, L. Q. Wei, M. Z. Xu *et al.*, A Current Model of General Thin Film Dual-Gate MOSFET on SOI Substrates, Chinese Journal of Semiconductors, 1996, **17**(10): 729[陈占平, 魏丽琼, 许铭真, 等, 通用薄膜双栅 SOI MOSFET 电流模型, 半导体学报, 1996, **17**(10): 729].
- [4] K. Kato, T. Wada and K. Taniguchi, Analysis of Kink Characteristics in SOI MOSFET's Using Two-Carrier Modeling, IEEE Trans. Electron Devices, 1985, **32**(2): 458—462.
- [5] D. Suh and J. G. Fossum, A Physical Charge-Based Model for Non-Fully Depleted SOI MOSFET's and its Use in Assessing Floating Body Effects in SOI CMOS Circuits, IEEE Trans. Electron Devices, 1995, **42**(4): 728—737.
- [6] H. K. Yu, J. S. Lyu, S. W. Kang *et al.*, A Physical Model of Floating Body Thin Film SOI nMOSFET with Parasitic Bipolar Transistor, IEEE Trans. Electron Devices, 1994, **41**: 726—732.
- [7] B. Francis, A. Terao, B. Gentinneet *et al.*, SOI Technology for High-Temperature Applications, IEDM Tech. Dig., 1992, 353—356.
- [8] G. Groeseneken, J. P. Colinge, H. E. Maes *et al.*, Temperature Dependence of Threshold Voltage in Thin Film SOI MOSFET's, IEEE Electron Device Lett., 1990, **11**(8): 329—331.
- [9] D. S. Jeon and D. E. Burk, A Temperature-Dependent SOI MOSFET Model for High-Temperature Application (27—300°C), IEEE Trans. Electron Devices, 1991, **38**(9): 2101—2111.
- [10] S. C. Lin and J. B. Kuo, Temperature-Dependent Kink Effect Model for Partially-Depleted SOI NMOS Devices, IEEE Trans. Electron Devices, 1999, **ED-46**(1): 254—258.
- [11] H. D. Barber, Effective Mass and Intrinsic Carrier Concentration in Silicon, Solid-State Electronics, 1967, **10**(6): 1039—1051.
- [12] W. N. Grant, Electron and Hole Ionization Rates in Epitaxial Silicon at High Electric Fields, Solid-State Electronics, 1973, **16**: 1189—1338.

An Analytical Temperature-Dependent Kink Effect Model of PD SOI NMOSFET*

ZHANG Hai-peng, WEI Tong-li, FENG Yao-lan, YAO Wei and SONG An-fei

(Microelectronics Center, Southeast University, Nanjing 210096, China)

Abstract: An analytical temperature-dependent kink effect model of PD (Partially-Depleted) SOI NMOSFET are described, whose physical structure consists of a top NMOSFET and a bottom parasitical BJT. Based on the dynamic-balance between the currents flowing through the body-emitter and drain-body junctions at a given temperature, it is found when the dynamic-balance conditions are satisfied, the hole-accumulation generated by impact ionization gets saturated. Through the analytical iteration, the voltage drop of body-emitter junction and all current components through the body-emitter and drain-body junctions are obtained. Thus, the analytical temperature-dependent model of the kink is derived and experimentally verified. The simulated results agree with our experimental results very well.

Key words: PD SOI NMOSFET; kink effect; analytical temperature-dependent model; dynamic equilibrium

PACC: 7220H; 7220J; 7360H EEACC: 2560R

Article ID: 0253-4177(2001)10-1320-05

* Project Supported by National Natural Science Foundation of China Under Grant No. 69736020.

Received 10 November 2000, revised manuscript received 22 March 2001

© 2001 The Chinese Institute of Electronics