

倒扣芯片连接底充胶分层和焊点失效*

徐步陆 张 群 彩 霞 黄卫东 谢晓明 程兆年

(中国科学院上海冶金研究所 中德电子封装联合实验室, 上海 200050)

摘要: 在热循环疲劳加载条件下, 使用 C-SAM 高频超声显微镜测得了 B 型和 D 型两种倒扣芯片连接在焊点有无断裂时芯片/底充胶界面的分层和扩展, 得到分层裂缝扩展速率. 同时在有限元模拟中使用断裂力学方法计算得到不同情况下的裂缝顶端附近的能量释放率. 最后由实验裂缝扩展速率和有限元模拟给出的能量释放率得到可作为倒扣芯片连接可靠性设计依据的 Paris 半经验方程.

关键词: 倒扣芯片技术; 底充胶; 有限元模拟; 能量释放率; 界面分层与裂缝扩展

EEACC: 2550F; 2570

中图分类号: TN405.97

文献标识码: A

文章编号: 0253-4177(2001)10-1335-08

1 引言

倒扣芯片技术(flip chip technology, FC)是与引线键合(wire bonding)、带自动键合(tape automated bonding)相似的一种互连技术. 倒扣芯片技术^[1-3]通过在集成电路芯片的输入/输出(I/O)端用平面工艺制成焊料凸点焊球将裸芯片面朝下直接贴在基板(如 FR4 印刷电路板)上, 利用再流焊工艺使芯片焊球和基板焊盘间形成焊点, 实现芯片与基板的电、热和机械连接. 因为省略了芯片和基板间引线及通常称之为“器件封装”的这一中间环节, 所以起电连接作用的焊点路径短, 使倒扣焊技术与其它连接技术相比, 具有封装密度高、信号处理速度快、寄生电容/电感小等优点.

早期倒扣焊技术中使用陶瓷基板, 由于芯片的热膨胀系数(CTE) 2.5—3ppm/°C 和陶瓷基板的热膨胀系数 5—6ppm/°C 接近, 两者间的热膨胀失配不很严重, 所以直接使用倒扣焊连接是可行的. 但为了降低成本, 需要研究采用廉价的有机 FR4 基板下的倒扣焊技术. 而 FR4 热膨胀系数为 16—

24ppm/°C, 与芯片热膨胀系数相差较大, 这样芯片在服役(芯片工作发热, 芯片不工作冷却)过程中芯片和基板间的热膨胀失配就显得十分严重, 导致焊点内产生很大的周期性塑性应力应变, 裂缝萌生并扩展, 使焊点很快疲劳失效. 为了减小芯片和基板之间热膨胀失配, 缓解封装体系在芯片服役时产生的热应力应变, 提高焊点的热疲劳寿命, 底充胶(underfill)已广泛应用于倒扣焊技术中^[4]. 1987 年, Nakano^[5]报道在聚合物环氧树脂中掺入大量的 SiO₂ 微颗粒, 制成底充胶填充在芯片和基板之间, 把焊点寿命提高了 10 到 100 倍. 1994 年 Tsukada^[6]等也报道了在芯片与有机基板之间用环氧树脂填充, 结果其使用性能与昂贵的陶瓷基板相仿. 国内也有学者已经对倒扣芯片互连技术进行了有关研究^[7,8].

多层结构和多个界面是电子器件本身以及器件互连和封装中普遍存在的现象. 界面分层失效成为产品性能和可靠性方面关心的重要问题. 1998 年 Gurunmurthy^[9]等使用光学传感器实验测量了热循环加载下沿胶和金属片界面的热疲劳分层传播速率. Kook^[10]等通过四点弯曲实验, 测定了机械循环

* 国家自然科学基金重点资助项目(批准号: 19834070), 上海市科技发展基金资助项目(编号: 99ZD14055).

徐步陆 男, 1974 年出生, 博士研究生, 目前从事电子材料和器件的可靠性研究.

张 群 女, 1967 年出生, 博士研究生, 目前从事新型电子封装及其可靠性研究.

程兆年 男, 研究员, 博士生导师, 主要研究领域包括高密度电子封装、新型电子材料等.

2000-11-26 收到, 2001-02-14 定稿

下聚合物/镀镍铜片界面的分层传播速率. 在进行实验研究的同时, 他们使用断裂力学方法, 计算了实验构型在分层传播时的能量释放率, 建立了分层传播速率与能量释放率之间的实验关系. 同年 Liu^[11,12] 等通过三点弯曲实验, 测定了倒扣芯片焊点连接中胶和芯片界面的断裂韧度. 1999 年 Wong^[13] 等用四点弯曲实验, 分别测量了不同偶合剂增强的底充胶与不同基底材料组成双层试样的界面断裂韧度. 2000 年 Lau^[14] 通过有限元模拟, 进一步研究了倒扣焊中的分层裂缝传播方式.

界面分层传播速率直接与互连可靠性有关. 在倒扣芯片互连优化设计中, 通常对各种构型, 采用断裂力学方法进行有限元模拟, 计算各种构型在热循环条件下的分层裂缝尖端附近的应力场和能量释放率, 然后由能量释放率按经验公式计算裂缝传播速率, 从而计算预报互连分层失效寿命, 确定优化设计方案.

本文首先采用了 B 型、D 型两种试验芯片, 在温度循环条件下, 进行了芯片与胶界面分层萌生和扩展的实验研究, 测量了分层传播速率; 同时应用断裂力学方法进行了有限元模拟, 分别使用 J 积分方法、直接方法、裂缝顶端开口位移方法计算得到不同

构型、不同裂缝长度下的能量释放率, 并作比较. 最后通过拟合 Paris 方程建立了温度循环下界面分层扩展速率和能量释放率之间的关系, 为预报裂缝传播速率和进行可靠性设计提供了依据.

2 实验研究

2.1 实验方法

实验芯片为美国 FlipChip Technology 公司生产倒扣焊试验芯片, 有 B 型(5.6mm×6.4mm, 焊球数 96, 焊球间距 203 μ m) 和 D 型(6.3mm×6.3mm, 焊球数 48, 焊球间距 457 μ m) 两种, 芯片的焊球采用 60Sn40Pb 共晶焊料, 熔点 183 $^{\circ}$ C, 焊点均分布在芯片四周. 图 1 是 D 型倒扣焊芯片的示意图. 实验基板采用德国 Siemens 公司生产的试验用 FR4 树脂印刷电路板, 基板上对应有实验芯片的焊接图形, 基板的线路设计使所有焊点串联. 在 Cu 焊盘表面镀 Au/Ni, 以保证焊盘的良好浸润性. 芯片与电路基板的焊接采用再流焊工艺, 使用 LR721H2BGA 免清洗助焊剂. 在热循环过程中, 采用电阻法检测焊点失效.

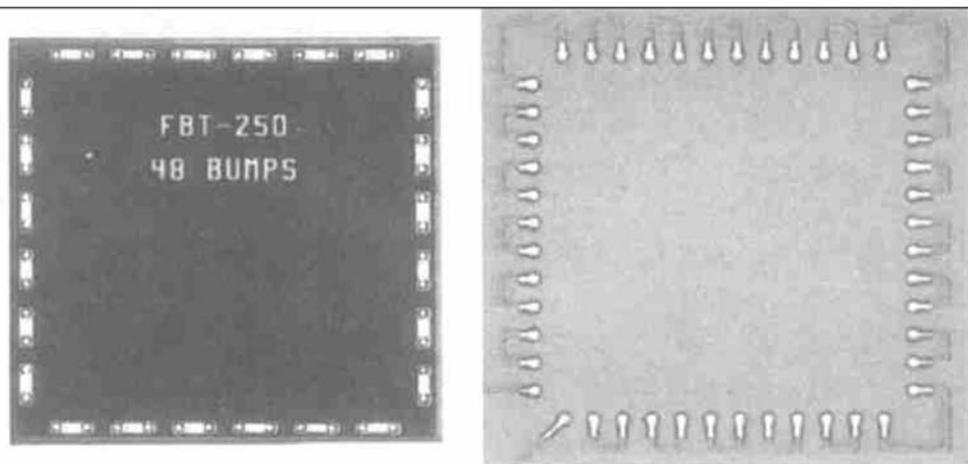


图 1 D 型实验芯片(a)和印刷电路板(b)

FIG. 1 D Type Test Chip (a) and FR4 Printed Circuit Board (b)

实验采用美国 Namics 公司生产的 U 8437-3 底充胶, 其玻璃化转变温度 $T_g = 135^{\circ}$ C. 充填底充胶材料时, 将基板加热至 60 $^{\circ}$ C, 沿芯片一侧边缘注入底充胶. 由于底充胶良好的流动性和浸润性, 约 20s 后, 底充胶充满芯片与基板间隙($\sim 100\mu$ m), 随后在

150 $^{\circ}$ C 下固化 20min, 取出放入氮气箱中待用.

焊点可靠性研究通过热循环加速疲劳实验进行. 热循环实验在德国 Weiss 公司制造的 TS130 高低温循环箱中进行, 采用 MIL-STD-883C 标准, 其温度循环区间为 -55 $^{\circ}$ C—125 $^{\circ}$ C, 高低温停留各

25min, 升/降温为各 5min. 在热循环过程中每隔约 150cycle, 使用高频(230Hz) 超声显微镜(C-SAM) 观察记录底充胶分层程度.

2.2 结果分析

由我们前期实验工作^[15]已经证实, 在热循环实验中高频超声显微镜不仅对倒扣焊芯片/底充胶分层敏感, 而且利用其焊点衬度变化可以估计焊点损伤程度. 图 2 是在相同扫描参数时典型试样热循环

前后的超声图像. 对比图 2(a) 和(b) 可见, 热循环前后部分焊点衬度发生了变化, 对衬度变化明显与不明显的焊点 D1 和 D2(示于图 2(a)) 进行扫描电镜(SEM) 分析, 结果如图 3 所示. 对比图 2 和 3, 衬度无明显变化的焊点(D1) 没有发现有焊点裂缝存在(图 3(a)), 而衬度有明显变化的焊点(D2) 已经有焊点裂缝萌生扩展(图 3(b)). 可见, 相同扫描参数下超声图像焊点衬度的变化与焊点热循环裂缝萌生扩展相关.

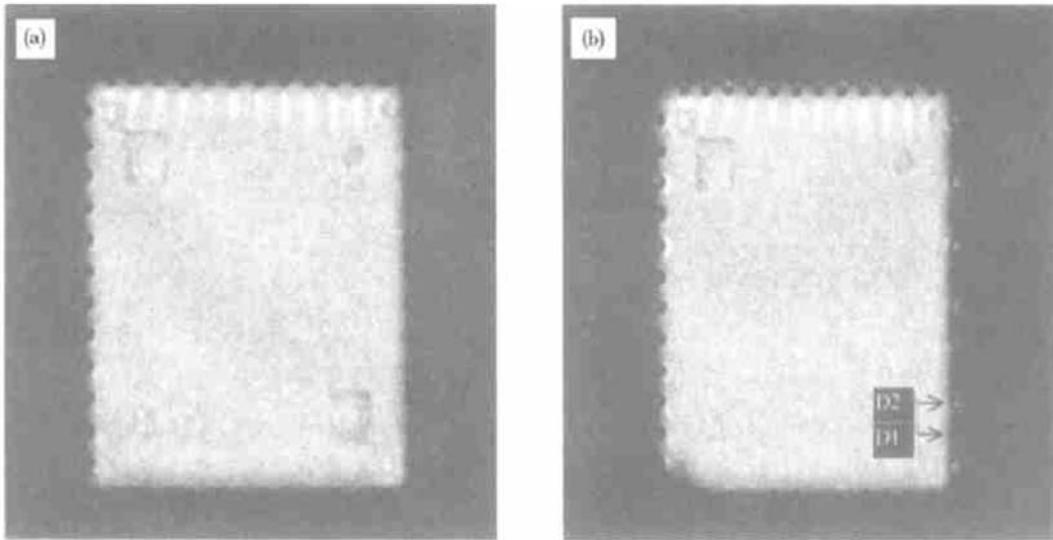


图 2 典型试样热循环前(a)后(b)的超声图像

FIG. 2 C-SAM Images of a Typical Sample Before (a) and After (b) Thermal Cycle

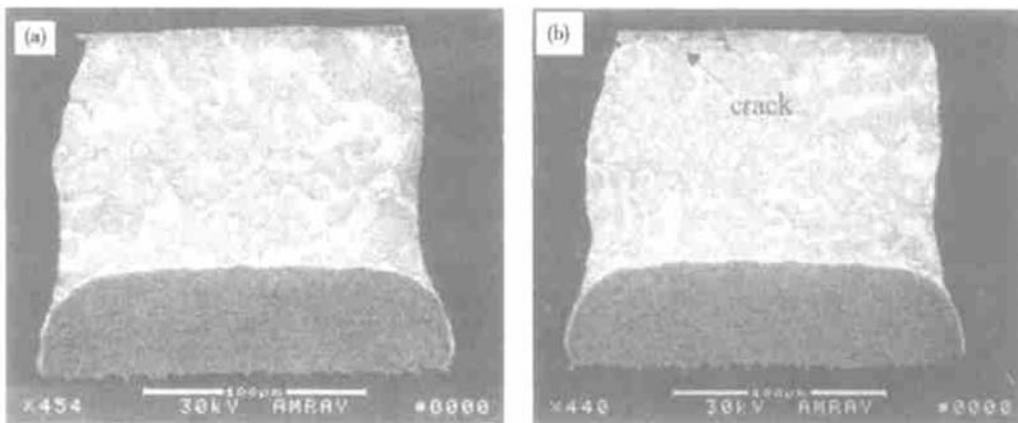


图 3 D1(a), D2(b)焊点的 SEM 分析

FIG. 3 SEM Images of Solder D1(a), D2(b)

可以认为, 在图 2 中衬度明显变化的焊点存在焊点裂缝, 而衬度无明显变化的焊点仍是良好焊点. 我们在热循环过程中每隔约 150cycle, 使用高频

(230Hz) 超声显微镜观察记录底充胶的分层面积, 并读取分层裂缝长度. 图 4 给出一个试样在不同热循环周次下芯片/底充胶界面分层裂缝的传播. 图 5 给出

不同热循环周次下的分层裂缝长度平均值 a , 拟合得到的分层裂缝长度 a 与热循环周次 n 的直线关系也

一起在图 5 中给出. 直线斜率 da/dn 列于表 1, 从表 1 中可知焊点断开时比焊点良好时分层裂缝扩展快.

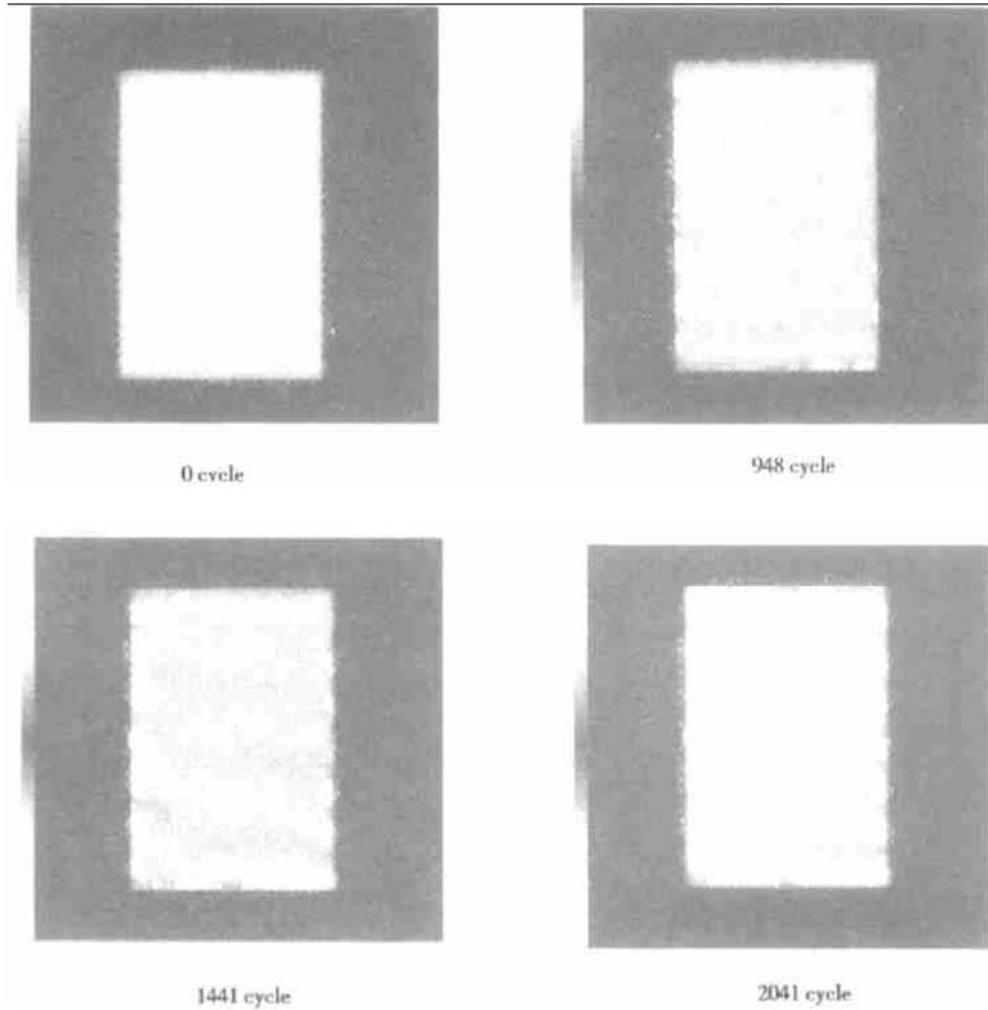


图 4 典型试样在不同热循环周次下芯片/底充胶界面分层裂缝的传播

FIG. 4 Delamination C-SAM Images of the Typical Sample Before and After Thermal Cycle

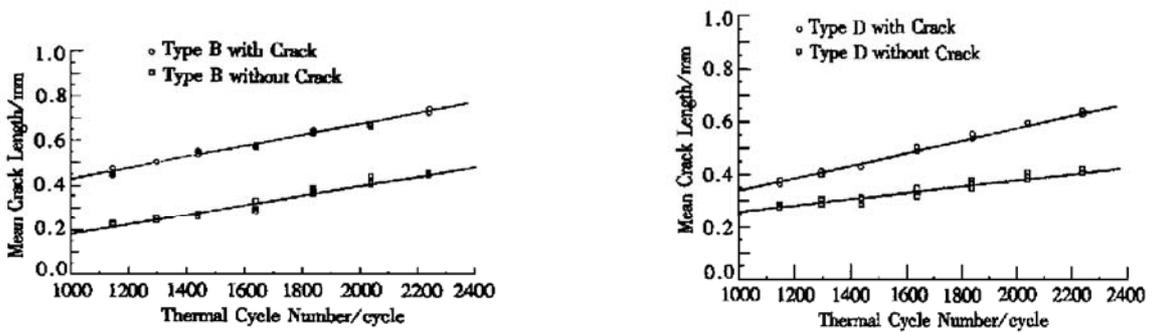


图 5 B 型和 D 型芯片/底充胶分层裂缝扩展长度与热循环周期关系图

FIG. 5 Dependence of Crack Propagating Length on Number of Thermal Cycles for Type B and D

表 1 不同焊点情况下的分层裂缝扩展速率 da/dn
Table 1 Propagation Rate da/dn of Delamination
Crack in Different Solder Situations

Type	$da/dn/(mm/cycle)$
B, Solder Without Crack	0.000215
D, Solder Without Crack	0.000114
B, Solder with Crack	0.000248
D, Solder with Crack	0.000257

3 断裂力学方法

界面断裂力学是描述双层材料界面分层裂缝扩展和预测界面可靠性的有效方法. 有限元模拟的目的是为了计算分层裂缝顶端附近的能量释放率 G 并得到在热循环过程中 G 的变化幅度 ΔG . 按 Paris 方程:

$$\frac{da}{dn} = A(\Delta G)^m \quad (1)$$

将实测 da/dn 与模拟 ΔG 相联系, 对于预报分层裂缝的扩展和通过有限元模拟进行倒扣焊连接优化设计很有实际意义.

3.1 J 积分方法^[16]

单一材料裂缝顶端附近的 J 积分, 其积分值与路径无关, 表示为:

$$J = \int_{\Gamma} (W n_x - T_i \frac{\partial u_i}{\partial x}) ds \quad (2)$$

式中 $i = x, y, \Gamma$ 是积分路径; $W = \int \sigma d\epsilon$ 是应变能密度; n_x 是路径 Γ 的法向单位矢在 x 方向的分量; T_i 是在积分路径 ds 上的作用力; u_i 是位移. 在线弹性条件下, J 积分就是能量释放率. 然而, 对于双层材料分层裂缝, J 积分不再是严格与路径无关. 但由于 J 积分计算简单, 计算中又观察到不同路径下 J 积分变化不大. 故作为比较, 我们选取离裂缝顶端 $0.1a$ (a 为裂缝长度) 处环线为积分路径作了计算.

3.2 直接方法^[14]

按定义, 能量释放率 G 是裂缝扩展单位长度应变能的变化. 在裂缝长度为 a 和 $a + \Delta a$ (Δa 为微小增量) 两种情况下进行有限元模拟并计算每种情况下的总应变能, 可以直接计算得到能量释放率:

$$G = - \frac{U_{a+\Delta a} - U_a}{B\Delta a} \quad (3)$$

式中 B 是试样厚度, 对于二维模拟, B 可取单位厚度 1; U 是总应变能. 直接方法的优点是物理意义清晰, 缺点是计算量增加一倍, 且由于 Δa 很小, 在计算 $(U_{a+\Delta a} - U_a)$ 时不可避免地出现大数减大数现象, 计算精度低.

3.3 裂缝顶端开口位移方法^[12]

裂缝顶端开口位移 (Crack Tip Opening Displacement, CTOD) 方法通过裂缝顶端附近位移场在裂缝张开和剪切方向的位移变化, 获得复数应力强度因子 (实部 K_I 对应张开模式 I, 虚部 K_{II} 对应剪切模式 II), 进而得出能量释放率和相角. 裂缝顶端位移场可以由实验方法 (例如莫尔干涉实验) 或数值计算方法 (例如有限元方法) 获得. 本文通过有限元分析求解得到裂缝顶端位移场, 并按新近 Liu^[12] 给出的算式计算能量释放率 (G) 和相角 (φ).

$$G = \frac{1}{4} \left[\frac{D_{11}}{\cosh^2 \pi \epsilon} K_I^2 + \left(D_{11} - \frac{W_{21}^2}{D_{11}} \right) K_{II}^2 \right] \quad (4)$$

$$\varphi = \tan^{-1} \frac{K_{II}}{K_I} \quad (5)$$

其中:

$$D_{11} = \frac{1 - \nu_1}{G_1} + \frac{1 - \nu_2}{G_2} \quad (6)$$

$$K_I = \frac{\Delta u_1 \text{Im}(\zeta) + \Delta u_2 \text{Re}(\zeta)}{\text{Im}^2(\zeta) + \text{Re}^2(\zeta)} \times \frac{1}{D_{11}} \sqrt{\frac{\pi}{2r}} \quad (7)$$

$$K_{II} = \frac{\Delta u_1 \text{Re}(\zeta) + \Delta u_2 \text{Im}(\zeta)}{\text{Im}^2(\zeta) + \text{Re}^2(\zeta)} \times \frac{1}{D_{11}} \sqrt{\frac{\pi}{2r}} \quad (8)$$

$$W_{21} = \frac{1 - 2\nu_1}{2G_1} - \frac{1 - 2\nu_2}{2G_2} \quad (9)$$

$$\epsilon = \frac{1}{2\pi} \ln \frac{G_1 + G_2(3 - 4\nu_1)}{G_2 + G_1(3 - 4\nu_2)} \quad (10)$$

$$\zeta = \frac{1}{(1 + 4\epsilon^2) \cosh \pi \epsilon} (1 - 2i\epsilon) \times \left[\cos \left[\text{dn} \left[\frac{r}{2a} \right] \right] + i \sin \left[\text{dn} \left[\frac{r}{2a} \right] \right] \right] \quad (11)$$

式中 $\Delta u_1, \Delta u_2$ 分别表示裂缝顶端位移场在张开以及剪切方向的位移变化; G_1 和 ν_1 是材料 1 的剪切模量与泊松比; G_2 和 ν_2 是材料 2 的剪切模量与泊松比; Re 和 Im 分别代表复数 ζ 的实部部分和虚部部分; a 是裂缝长度; r 是位移节点离裂缝顶端的距离. 相角反映断裂模式是张开模式 ($\varphi < 45^\circ$ 时) 还是剪切模式 ($\varphi > 45^\circ$ 时) 为主, 见 (5) 式.

4 有限元模拟研究

4.1 有限元模型和材料参数

采用有限元方法对倒扣焊在热循环条件下的应力应变进行模拟. 模拟使用 ANSYS 有限元分析软件, 模拟方法参见我们以前的工作^[17,18]. 有限元模型使用平面应变条件, 由于结构的对称性, 二维模型取整体结构的 1/2. 图 6 是倒扣焊组装二维截面示意图. 有限元网格划分如图 7 所示. 为了计算裂缝顶端位移场, 芯片和底充胶界面进行局部细化. 在有限元模型中, 底充胶和芯片之间预置不同长度的分层裂缝, 裂缝界面使用接触元素 CONTEC48. SnPb 焊料使用我们以前工作中采用的 Anand 粘塑性模型^[9]. 表 2 列出了倒扣焊组装中有关材料力学性能 (杨氏模量 E 、热膨胀系数 α 和泊松比 ν), 其中焊料 60Sn40Pb 的杨氏模量与温度有线性关系. 底充胶 U 8437-3 的杨氏模量与温度的关系, 见文献^[7]. 有限元模拟的热循环加载条件为 125—55°C, 并取高温端 $T = 125^\circ\text{C}$ 为零应力状态.

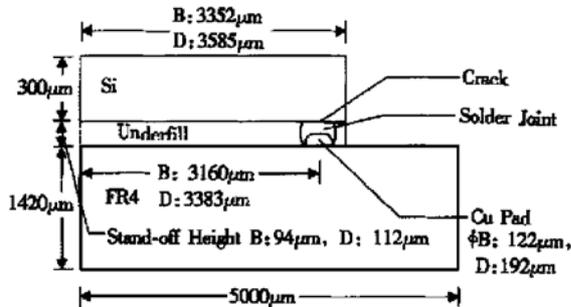


图 6 含预置裂缝的倒扣焊组装的二维截面示意图
FIG. 6 Schematic 2D Structure Containing Crack Between Chip and Underfill in a Flip Chip Package

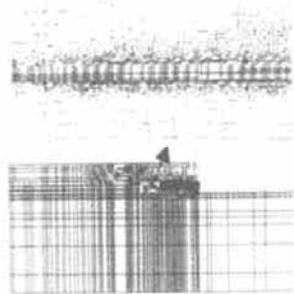


图 7 倒扣焊组装的有限元网格
FIG. 7 Finite Element Meshes of a Flip Chip Package

表 2 倒扣焊组装中有关材料的力学性能

Materials	E/GPa	$\alpha/(\text{ppm} \cdot ^\circ\text{C}^{-1})$	ν
Silica	131	2.7	0.3
FR4	16	16	0.28
Copper	120	17	0.35
60Sn40Pb	30.685-0.993T	25	0.35
Underfill	9(LT)-0.3(HT)	26(LT)-110(HT)*	0.3

* LT: Low Temperature; HT: High Temperature

4.2 模拟结果

取预置长度为实验测得裂缝长度平均值, 对 B 型和 D 型倒扣焊组装进行有限元模拟后, 使用 (2) 式对裂缝顶端进行路径积分得到 J 积分值, 利用 (3) 式得到直接方法算出的能量释放率, 通过 (4) — (11) 式可以得到由裂缝顶端开口位移方法计算给出的能量释放率和相角. 相应的能量释放率值和 J 积分值结果列于表 3. 从表 3 可知, 裂缝顶端开口位移方法和直接方法计算所得能量释放率相近, 两种方法误差小于 7%, 说明这两种方法均可用于得到准确的能量释放率. 同时 J 积分的计算结果也和两种

表 3 断裂力学方法计算所得的能量释放率 G 和 J 积分 (J/m^2)

Table 3 G and J Calculated by Fracture Mechanical Method

Type	裂缝顶端开口位移方法	直接方法	J 积分方法
B, Solder Without Crack	18.9	19.6	17.8
D, Solder Without Crack	7.8	8.4	7.8
B, Solder with Crack	26.5	25.9	28.5
D, Solder with Crack	27.9	26.5	26.2

能量释放率计算结果相近, 这从另一方面验证了上述方法的可靠性. 从表 3 亦知, 焊点断裂时体系的能量释放率大于焊点良好时的体系能量释放率. 这是因为焊点断裂时, 由于没有焊点耦合, 裂缝扩展速度快于焊点良好时的裂缝扩展速度. 这与热循环实验结果一致. 在焊点断裂时, B 型和 D 型的能量释放率接近, 裂缝扩展速度也相似. 但在焊点良好时, B 型和 D 型却有很大不同, 焊点良好时 D 型的能量释放率比 B 型小得多, D 型的裂缝扩展速度也比 B 型的慢得多. 这可能主要是因为 D 型倒扣焊组装的焊点高度 ($112\mu\text{m}$) 比 B 型 ($94\mu\text{m}$) 为高, 因此底充胶层为厚, 较好地起到了机械耦合作用. 表 4 给出了用裂缝顶端开口位移方法计算得到的相角. B 型和 D 型模型在焊点断开时的相角均稍大于焊点良好模型的相角, 表明焊点断裂时剪切模式占的比重略大. 但总

的差别不大. 这说明它们的断裂行为相仿, 断裂以剪切模式为主.

表 4 裂缝顶端开口位移方法计算所得的相角

Type	角度/(°)
B, Solder Without Crack	52.7
D, Solder Without Crack	54.8
B, Solder with Crack	57.6
D, Solder with Crack	57.5

4.3 讨论

图 8 给出了实验测得的裂缝扩展速率 da/dn 和裂缝顶端开口位移方法计算得到的能量释放率 ΔG . 可以看到 B 型和 D 型两种不同尺寸芯片在焊点断裂和未断裂两种情形共四个点都很好地落在一条直线上, 表明它们之间有良好的线性关系. 拟合得到 Paris 方程中常数 $A = 3.10 \times 10^{-5}$, $m = 0.64$. 亦即倒扣焊芯片与底充胶之间裂缝扩展的 Paris 方程可表达为:

$$\frac{da}{dn} = 3.10 \times 10^{-5} (\Delta G)^{0.64} \quad (12)$$

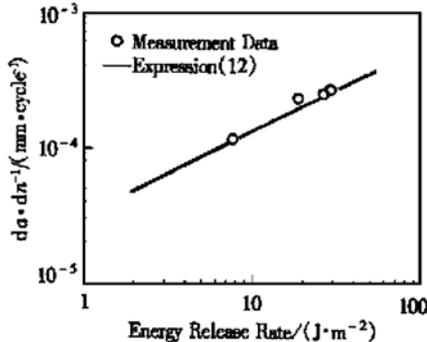


图 8 倒扣焊互连中的裂缝扩展速率和能量释放率

FIG. 8 Crack Propagation Rate and G of the Flip Chip Package

Lau^[14] 在新近指出, 倒扣焊组装结构中存在有两种类型的分层裂缝传播方式. 第一种类型裂缝传播时, 能量释放率 G 随裂缝长度 a 单调上升, 这表示一种不稳定的裂缝, 并且将最后导致崩溃型失效. 第二种类型裂缝传播时, $G-a$ 曲线呈凸状, 这表示恒定加载下裂缝在传播一段距离后将中止不再生长, 除非加载增加. 我们也计算了不同裂缝长度下的 ΔG , 表明 $G-a$ 曲线呈凸状 (图 9), 对应于 Lau 的第二种裂缝传播方式, 因此 C-SAM 实验观察给出的 da/dn 较低, 拟合得到的 Paris 方程 m 值也较低.

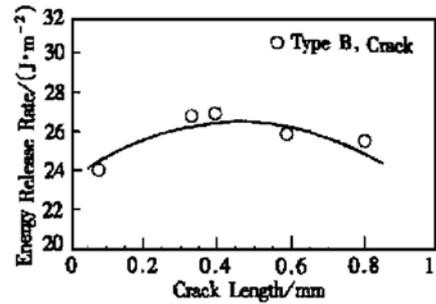


图 9 能量释放率和裂缝长度曲线

FIG. 9 Curve of G and Crack Propagation Length

据我们所知, 本文在热循环加载条件下对实际倒扣芯片互连给出实验 da/dn 和模拟 G 关系的 Paris 方程, 属首次报导, 本文 Paris 方程中较低的 m 值很可能是合理的. 由于本文的实验方法更接近倒扣焊互连服役的实际情况, 所以本文的结果可能更有实际意义. 在今后工作中我们还将增加实验次数、组数, 以提高 Paris 方程的准确度和可信度, 提高其应用价值, 同时对本文理论工作进一步加以实验验证.

5 结论

本文对 B 型和 D 型两种实验倒扣焊芯片在热循环疲劳加载下, 用 C-SAM 高频超声显微镜测定了焊点有无断裂时芯片与底充胶之间界面分层裂缝的扩展速率. 并在有限元模拟中采用断裂力学方法计算了焊点断裂与否时的能量释放率 G . 由实测裂缝扩展速率和有限元模拟给出的能量释放率, 拟合得到可作为倒扣焊互连可靠性设计依据的 Paris 半经验方程, 方程中的参数为 $A = 3.10 \times 10^{-5}$, $m = 0.64$. 由于本文的实验方法更接近倒扣焊互连服役的实际情况, 所以本文的结果可能更有实际意义.

参考文献

[1] J. H. Lau and S-W. R. Lee, Chip Scale Package, McGraw-Hill New York, 1999.
 [2] E. Suhir, ASME J. Electronic Packaging, 1998, 120: 1.
 [3] J. H. Lau, IEEE Trans. Component, Packaging, and Manufacturing Technology, 1996, 19(4): 728.
 [4] V. Gektin, A. Bar-Cohen and J. Ames, IEEE Trans. Component, Packaging, and Manufacturing Technology, 1997, 20:

- 317.
- [5] F. Nakano *et al.*, Proceedings 1987 ISHM Conference, 1987, 536.
- [6] Tsukada, Solder Bumped Flip Chip Attach on SLC Board and Multi-Chip Module, in Chip on Board Technologies for Multi-chip Modules, J. H. Lan, ed., Van Nostrand Reinhold, New York, 1994, 410.
- [7] CHEN Liu, ZHANG Qun, WANG Guo-Zhong, XIE Xia-Ming and CHENG Zhao-nian, Chinese Journal of Semiconductors, 2001, **22**: 107 [陈柳, 张群, 王国忠, 谢晓明, 程兆年, 半导体学报, 2001, **22**: 107].
- [8] LU Jicun, ZONG Xiangfu, WU Jianhua and Lim Thiambeng, 1999, Chinese Journal of Semiconductors, **20**: 906 [卢基存, 宗祥福, 吴建华, 林添明, 半导体学报, 1999, **20**: 906].
- [9] C. K. Gurumurthy, J. Jiao, L. G. Norris, C. Y. Hui and E. J. Kramer, ASME J. Electronic Packaging, 1998, **120**: 372.
- [10] S-Y. Kook, J. M. Snodgrass, A. Kirtikar and R. H. Dauskardt, ASME J. Electronic Packaging, 1998: **120**: 328.
- [11] Jianjun Wang, Minfu Lu, Daqing Zou and Sheng Liu, IEEE Trans. Component, Packaging, and Manufacturing Technology-Part B, 1998, **21**(1): 79.
- [12] Jianjun Wang, Daqing Zou, Minfu Lu, Wen Ren and Sheng Liu, Engineering Fracture Mechanics, 1999, **64**: 781.
- [13] Qizhou Yao, Jianmin Qu, Jiali Wu and C. P. Wong, IEEE Trans. Component, Packaging, and Manufacturing Technology-Part B, 1999, **22**(4): 264.
- [14] John H. Lau, S. -W. Ricky Lee and Chis Chang, IEEE Trans. Component, Packaging, and Manufacturing Technology-Part B, 2000, **23**(2): 323.
- [15] Q. Zhang, X. M. Xie, L. Chen, G. Z. Wang, Z. N. Cheng and W. Kempe, Soldering & Surface Mount Technology, 2000, **12**(3): 24.
- [16] J. R. Rice and G. C. Sih, J. Appl. Mech., 1965, **32**: 418.
- [17] J. Wilde, Z. N. Cheng and G. Z. Wang, 1999 International Symposium on Advanced Packaging Materials, Braselton, Georgia, March 14-17, 1999, 144.
- [18] L. Chen, Q. Zhang, G. Z. Wang, X. M. Xie and Z. N. Cheng, IEEE Trans. Advanced Packaging, 2001, **24**(1): 17.
- [19] Z. N. Cheng, G. Z. Wang, L. Chen, J. Wilde and K. Becker, Soldering & Surface Mount Technology, J. SMART, 2000, **12**(2): 31.

Underfill Delamination and Solder Joint Failure of Flip Chip on Board*

XU Bu-lu, ZHANG Qun, CAI Xia, HUANG Wei-dong, XIE Xiao-ming and CHENG Zhao-nian

(DaimlerChrysler SIM Laboratory, Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai 200050, China)

Abstract: The delamination propagation behavior at the interface between the chip and the underfill is investigated and the crack propagation rates are measured via C-SAM inspection for two types (B & D) of flip chip packages under thermal cycle loading. Meanwhile, in the related simulations of the element, the strain energy releasing rates near the crack tip under different conditions can be calculated by employing the fracture mechanical method. Then, the Paris half-empirical equation, used as design criteria of flip chip package reliability, is determined with the crack propagation rates and the energy release rates obtained.

Key words: flip chip technology; underfill; finite element; energy release rate; delamination and crack propagation

EEACC: 2550F; 2570

Article ID: 0253-4177(2001)10-1335-08

* Project Supported by National Natural Science Foundation of China (Grant No. 19834070) and Science and Technology Development Foundation of Shanghai (No. 99ZD140550).

XU Bu-lu male, was born in 1974. Now he is a PhD candidate and engaged in the reliability research on electronic materials and devices.

ZHANG Qun female, was born in 1967. Now she is a PhD candidate and engaged in the research on advanced electronic package and reliability.

CHENG Zhao-nian male, professor. He is engaged in the study on high density packaging technology and smart materials.

Received 26 November 2000, revised manuscript received 14 February 2001

©2001 The Chinese Institute of Electronics