

# 低电压 Charge-Recovery 逻辑电路的设计\*

李晓民 仇玉林 陈潮枢

(中国科学院微电子中心, 北京 100029)

**摘要:** 提出了一种新的适用于低电压工作的 semi-adiabatic 逻辑电路——Dual-Swing Charge-Recovery Logic (DSCRL). 该电路由 CMOS-latch-type 电路及负载驱动电路构成, 对负载的驱动为 full-adiabatic 过程. DSCRL 的电源为六相双峰值脉冲电源, 低摆幅脉冲用于驱动负载, 高摆幅脉冲用于驱动 CMOS-latch-type 电路. 降低负载上摆幅时驱动负载的 NMOS 管的栅压可以保持不变, 有效地解决了传统的 adiabatic 电路在低电压工作时 charge-recovery 效率降低的问题. 文中比较了 DSCRL 电路与部分文献中的 semi-adiabatic 电路的功耗, DSCRL 在低电压工作方面有较为明显的优势.

**关键词:** 逻辑电路; 电荷恢复逻辑

EEACC: 1265B; 2507D; 8360

中图分类号: TN 492 文献标识码: A 文章编号: 0253-4177(2001)10-1352-05

## 1 前言

对于各种便携式设备及电池供电设备, 电路的功耗是最为关键的问题, 在降低电路功耗的各种手段中, 电荷恢复技术作为重要途径之一得到了广泛的研究并提出了多种电路解决方案. 电荷恢复技术按其本身的技术特点分为两大类, 全绝热电路与半绝热电路. 全绝热电路的典型例子是 SCRL 与 RERL 电路<sup>[1,2]</sup>. 其特点是只能实现可逆逻辑, 同时需要较多的脉冲电源来驱动电路, 电路复杂且工作频率较低, 但可以达到很高的电荷恢复效率. 半绝热电路的形式较多, 如 ECRL 电路<sup>[3]</sup>、PAL 电路<sup>[4]</sup>、Clock-Powered CMOS<sup>[5,6]</sup> 电路、Bootstrapped-CRL<sup>[7,8]</sup> 电路等, 其特点是电路简单, 没有可逆逻辑的限制, 可以在较高的频率下工作, 但功耗较全绝热电路高. 现有的半绝热电路都不同程度的存在一些缺陷, 如 ECRL、PAL 电路存在与负载大小直接相关的非绝热功耗, 利用自举的 Bootstrapped 逻辑电路虽然对负载的操作为全绝热过程, 但由于对自举结点充电时存在阈值损失, 不适于在低电源电压下

工作, 同时自举结点直接对地放电, 总体功耗较高. Clock-Powered-CMOS 着眼于电路工作电压的降低及大电容结点的全绝热驱动, 但自举结点的功耗与组合逻辑电路的功耗依旧无法避免. 同时, 这些电路还有一个共同的弱点, 当电源电压降低时驱动负载的 MOS 管栅电压也随之降低, 使输出回路的时间常数延长, 严重影响到电荷恢复过程的效率.

本文提出了一种新的适于在低电压下工作的半绝热电路, Dual-Swing Charge-Recovery Logic (DSCRL). DSCRL 电路由 CMOS-latch-type 电路及负载驱动电路构成, 对负载的驱动为全绝热过程, 不存在与负载大小直接相关的非绝热功耗. 同时, DSCRL 采用了双峰值脉冲电源, 由低摆幅脉冲驱动负载, 高摆幅脉冲驱动 CMOS-latch-type 电路, 降低电路输出摆幅时对负载进行充放电操作的 NMOS 管的栅压依旧可以保持在较高的电平上, 使驱动负载的电荷恢复过程的效率不受影响, 同时驱动负载的 NMOS 管的栅电容的充放电为半绝热过程, 不存在类似 BCRL 及 Clock-powered-CMOS 电路中结点直接对地放电引起的功耗.

\* 国家自然科学基金资助项目(编号: 69976035).

2000-12-06 收到, 2001-04-25 定稿

©2001 中国电子学会

## 2 DSCRL 电路的工作原理

DSCRL 为双端逻辑电路, 电路复杂程度与 E-CRL、PAL 电路相当。图 1 为 DSCRL 反向-缓冲单元电路与 DSCRL 六相时钟。P1, P2, N1, N2 构成 CMOS-latch 形式的电路, 由 N3, N4 驱动负载。当 N1, N2 由互补逻辑电路取代时可以完成相应的逻辑运算。

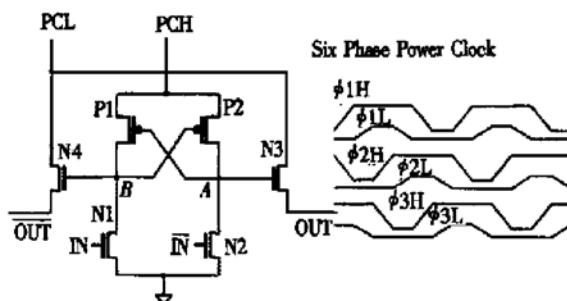


图 1 DSCRL 反相-缓冲单元电路与 DSCRL 六相时钟

FIG. 1 DSCRL Antiphase-Buffer Cell Circuit and Six Phase Clock

$\text{IN}$ ,  $\overline{\text{IN}}$  为 DSCRL 反相-缓冲单元的互补输入,  $\text{OUT}$ ,  $\overline{\text{OUT}}$  为单元的互补输出。PCH 结点接高摆幅的脉冲电源, PCL 结点接同一组的低摆幅的脉冲电源。图 2 为 DSCRL 工作时的输入输出结点及电路中 A 结点的波形。如图 2 所示, 电路的输入在 PCH 由低电平逐渐升高的过程中保持不变, N1 保持导通 N2 工作在截止状态。当 PCH 结点电位达到 PMOS 管的开启电压  $|V_{tp}|$  时, 栅漏交互联接的 PMOS 管将结点 A 拉高到与 PCH 相同的电平, 并且使结点 A 的电平跟随 PCH 变化。当 PCH 电位由高到低变化时, A 也将跟随 PCH 由高电平到低电平变化。N1 在 PCH 结点电位上升时保持导通, 结点 B 为低电平, 在而后的过程中, 结点 A 电平跟随 PCH 变化, 结点 B 保持在低电平, P2 将一直保持在截止状态。

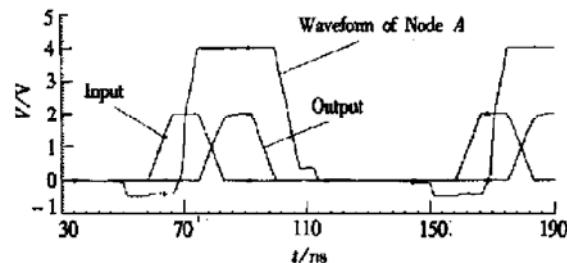


图 2 结点 A 与输入、输出波形

FIG. 2 Node A and Its Input, Output Waveform

由图 2 可以看出, 在低摆幅的脉冲电源对负载充放电的整个过程中, 高摆幅脉冲电源保持在高电平, 结点 A 电平同样保持在高电平, N4 截止, N3 在整个充放电中保持开启, 其作用相当于一个电阻, 对负载的操作为全绝热过程。(要求 PCH 的摆幅至少比 PCL 的摆幅高一个  $V_{tn}$ , 使电路的输出可以达到全摆幅)。假设电路的负载为 C, NMOS 输出驱动管的等效电阻为 R, 且图 1 所示的脉冲电源的上升时间为 t, 且  $t \gg RC$ , 充电电流则近似为一稳恒值, 为  $CV/t$ , 由此可以估算出充放电过程的功耗为  $2(RC/t)CV^2$ , 远小于稳恒电压源对负载充放电的功耗  $CV^2$ 。图 3 为 DSCRL buffer 电路在输入为 010101 序列时的输出。

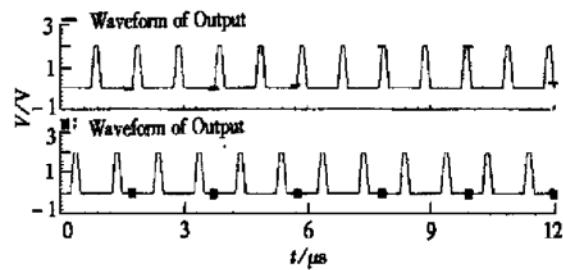


图 3 DSCRL 单元的输出

FIG. 3 Output Waveform of BSCRL

从图 1 所示的脉冲电源波形可以看出, 由上一组脉冲电源驱动的电路的输出刚好可以作为下一组脉冲电源驱动的电路的输入, 将对应的电路级联便可以构成流水线电路, 实现复杂的逻辑功能。在 DSCRL 电路中, 对 PCL 的摆幅限制与 ECRL 电路对逻辑摆幅的要求完全相同, 只须保证 CMOS-latch 电路能够正常工作, 即 PCL 的摆幅可以随器件开启电压同步降低, 有较好的低电压工作的潜力。在保证大电容结点有较低摆幅的同时, DSCRL 电路用于驱动负载的 NMOS 管的栅电压可以保持在较高的水平, 保证电荷恢复效率不致降低。

## 3 DSCRL 电路的功耗分析及电路模拟结果

DSCRL 电路的功耗由以下三部分构成:

(1) 由 P1, P2, N1, N2 构成的 CMOS-latch 形式的电路对结点 A, B 充放电的功耗, 这部分功耗与 ECRL 电路功耗完全相同, 与脉冲电源频率无关的 non-adiabatic 功耗可以由下式表示:

$$P_{\text{non-adiabatic}} = C_A |V_{\text{ip}}|^2$$

Adiabatic 部分功耗可以表示为:

$$P_{\text{adiabatic}} = 2(C_A R/t) C_A V_H^2$$

其中  $C_A$  为结点 A 的电容;  $R$  为 PMOS 管的等效电阻;  $V_H$  为高电平脉冲的逻辑摆幅. 另一部分功耗是 CMOS-latch-type 电路工作时的短路电流功耗, 与脉冲电源频率相关, 但关系比较复杂, 难于得到解析表示, 在整体功耗中所占比例也很小.

由于 DSCRL 电路通过 NMOS 管驱动负载, 对比 ECRL 电路, non-adiabatic 部分的功耗与负载大小没有直接关系. 由于用来驱动负载的 NMOS 管的栅电容可以远小于负载电容, 在负载较大时, DSCRL 电路的 non-adiabatic 功耗远小于 ECRL 电路.

### (2) 通过 NMOS 管对负载充放电的功耗

对负载的充放电为 full-adiabatic 过程, 设 NMOS 管导通时的等效电阻为  $R$ , 这部分功耗可以表示为:

$$P_{\text{Load}} = 2(R_N C_{\text{OUT}}/t) C_{\text{OUT}} V_L^2$$

其中  $C_{\text{OUT}}$  为输出结点的电容;  $R_N$  为 PMOS 管的等效电阻;  $V_L$  为低电平脉冲的逻辑摆幅.

(3) 互补 logic-block 造成的功耗, 在由 CMOS-latch-type 电路进行逻辑运算时, logic-block 中的节点的充电为 semi-adiabatic 过程, 与电路中的 A, B 结点的过程相同, 区别仅在于结点的充电受输入电压既 PCL 峰值电压的限制, 最高电位为( $PCL - V_{in}$ ). Logic-block 中结点的放电是无法控制的, 电荷只能通过 logic-block 中的 NMOS 管泄放到地, 由此造成的功耗占据了 DSCRL 电路整体功耗的相当大的部分.

图 4 为 DSCRL buffer 电路驱动 50fF 电容负载时电路中各部分能量消耗与工作频率的模拟结果. 模拟所用的参数为  $0.6\mu\text{m}$  CMOS 工艺的器件参数. 由图 4 可以看出, 第一级电路的能量消耗在电路工作频率较低时远大于第二级电路的能量消耗. 在第一级电路中, 非绝热功耗占主要地位, 因此能耗近似与工作频率无关. 第二级电路的能量消耗与电路的工作频率有很大的关系, 当电路的工作频率趋近于零时, 第二级负载驱动的能量消耗也趋近于零.

图 5 为 DSCRL 的能量消耗与 ECRL 及 CMOS 电路的比较结果. CMOS 与 ECRL 电路的工作电压为  $2.0\text{V}$ , DSCRL 电路 PCH 摆幅为  $4.0\text{V}$ , PCL 摆幅为  $2.0\text{V}$ , 电路负载为  $0.1\text{pF}$ . 由图 5 可以看出,

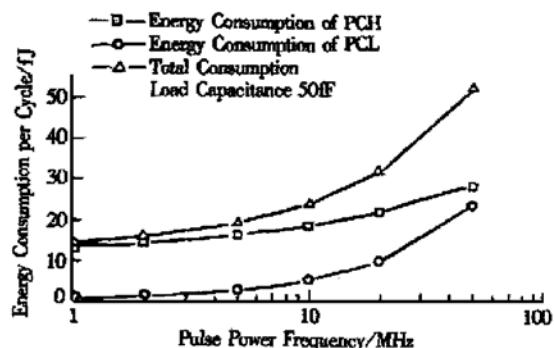


图 4 DSCRL buffer 电路的能量消耗

FIG. 4 Energy Consumption of BSCRL Buffer Circuit

DSCRL 的能量消耗明显较低, 尤其是在电路的工作频率较高的条件下, DSCRL 电路的性能更好. 而且由于 DSCRL 电路中有两种不同的电压, 输出驱动管的栅电压在输出电压较低的情况下可以保持在一个相对高的电平, 电路比较适合低电压范围工作.

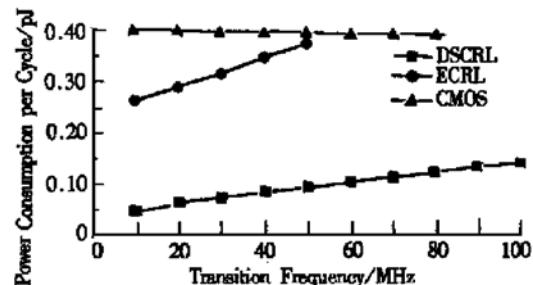


图 5 DSCRL, ECRL, CMOS 能耗比较

FIG. 5 Comparison of Power Dissipation Among DSCRL, ECRL and CMOS Circuits

## 4 DSCRL 电路构成的八位加法器

图 6 为由 DSCRL 电路单元构成的八位加法器电路, 结构位 binary carry look-ahead 形式. 每一列电路单元由一组 PCH 与 PCL 脉冲电源驱动, 电路以流水线方式工作, 图 6 中的第一及第四列电力单元由第一组脉冲电源驱动, 第二与第五列电路由第二组脉冲电源驱动, 第三列电路单元由第三组脉冲电源驱动. 电路的输入信号与 PCL3 同相, 输出信号与 PCL2 同相, 电路的时延(latency)为  $1\frac{2}{3}$  个时钟周期.

在图 6 所示的电路中, 总共使用了四种 DSCRL 电路单元, 即反相-跟随单元, 与-与非单元, 同或-异

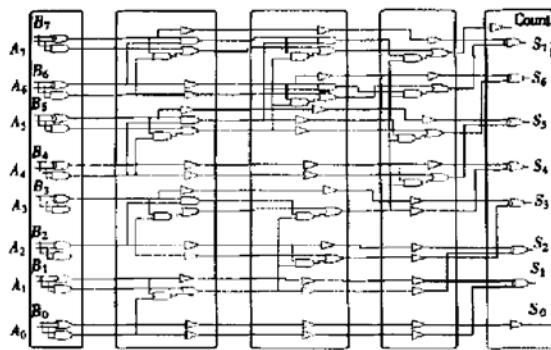


图 6 由 DSCRL 构成的八位加法器

FIG. 6 8bit Adder Composed by DSCRL

或单元及进位计算单元. 各单元的 DSCRL 电路构成如图 7 所示. 在图 6 中, 为方便起见, 每条信号线实际上代表一对互补信号, 电路的输入也需要是有有效的互补输入.

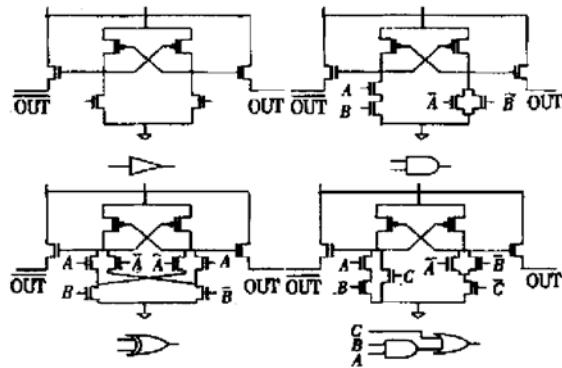


图 7 加法器中的四种 DSCRL 逻辑单元

FIG. 7 Four DSCRL Logic Cell in Adder

图 6 中加法器电路的另一问题是电路的初态, 在加载脉冲时钟时, 必须保证电路中各单元的输入为有效的互补输入, 否则电路的输出会出现都为高电平或低电平的情况. 这种情况不仅会造成电路的逻辑混乱, 而且会导致电路中存在电源到地的直流通路, 造成很大的功耗. 以反向-跟随单元为例, 如果输入都为高电平, 当脉冲电源达到高电平时, 四个 MOS 管都处于导通状态. 当输入都为低电平时, 输出都为高, 会在下一级电路造成这种情况. 解决的方法是在电路中加入初态设定电路, 如图 8 所示.

图 8 中的初态设定电路以反向-跟随电路为例, 其他单元也可以用同样形式的电路进行初态设定. 在电路初始状态下, 所有结点的电位为零, 因此在图中的 Pre-set 端加上与电路输入同相位的脉冲信号, 就可以保证电路处于正常工作状态. 初态设定与

电路的时序设计有关, 在图 6 的加法器中, 如果电路的输入在电源加载时有效, 则仅第四列电路单元需要设定初态, 其他电路不需要, 在更为复杂的电路中可以依此类推.

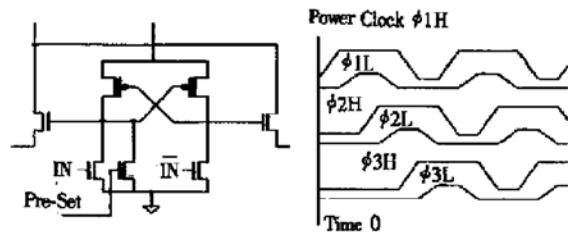


图 8 电路的初态设定与时钟加载

FIG. 8 Initial State Set and Clock Loading

图 9 为加法器能量消耗与脉冲电源频率关系的模拟结果, 模拟所用的参数为  $0.6\mu\text{m}$  CMOS 工艺器件参数, 在模拟时, 所有单元电路中 NMOS 管与 PMOS 管宽长比为 2 : 1. DSCRL 脉冲电源摆幅分别为 4.0V 与 2.0V.

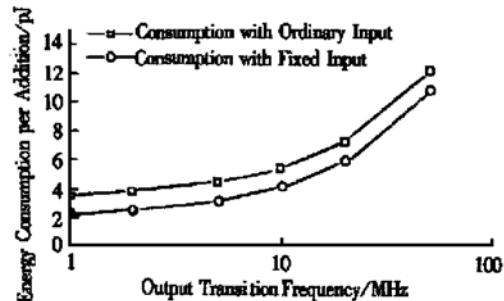


图 9 加法器电路功耗与脉冲时钟频率的关系

FIG. 9 Energy Consumption Versus Output Transition Frequency

在模拟加法器电路时, 每个电路单元除去正常的电路负载之外, 都外加了一个  $50\text{fF}$  的电容负载来模拟电路的引线电容. 按模拟所用的电路工艺参数估算,  $50\text{fF}$  大约相当于  $1\text{mm}$  引线的电容, 可以完全涵盖由电路引线电容所引起的功耗.

图 9 中的两条曲线分别为加法器正常输入时平均功耗与固定输入时的平均功耗. DSCRL 电路的能量消耗在输入不变时较低.

## 5 结论

综上所述, 我们提出了一种新的适用于低电压工作的 semi-adiabatic 电路(DSCRL), 电路对负载

的驱动为 full-adiabatic 方式, 不存在与负载大小直接相关的 non-adiabatic 功耗。DSCRL 采用双峰值脉冲电源, 由低摆幅脉冲驱动负载, 高摆幅脉冲驱动 CMOS-latch-type 电路, 降低电路输出摆幅时对负载进行充放电操作的 NMOS 管的栅压依旧可以保持在较高的电平上, 使驱动负载的 Charge-Recovery 过程的效率不受影响。

## 参考文献

- [ 1 ] S. Younis and T. Knight, Asymptotically Zero Energy Split-level Charge Recovery Logic, Proc. of the 16th Conference on Advanced Research in VLSI, Chapel Hill, NC, March 27—29, 1995, 404—414.
- [ 2 ] Joonho Lim, Dong-Gyu Kim and Soo-ik Chae, A 16-bit Carry-Lookahead Adder Using Reversible Energy Recovery Logic for Ultra-Low-Energy Systems, IEEE J. Solid-State Circuit, 1997, **32**(6) : 898—903.
- [ 3 ] Yong Moon and Deog-Kyo, An Efficient Charge Recovery Logic Circuit, IEEE J. Solid-State Circuit, 1996, **31**(4) : 514—522.
- [ 4 ] Vojin G. Oklobdzija, Dragan Maksimovic and Fengcheng Lin, Pass-Transistor Adiabatic Logic Using Single Power-Clock Supply, IEEE Trans. Circuit and System, 1997, **44** (10) : 842—846.
- [ 5 ] William C. Athas and Nestoras Tzartzanis, A Low-Power Microprocessor Based on Resonant Energy, IEEE J. Solid-State Circuit, 1997, **32**(11) : 1693—1700.
- [ 6 ] Nestoras Tzartzanis and William C. Athas, Clock-Powered CMOS: A Hybrid Adiabatic Logic Style for Energy Efficient Computing, Proc. of 20th Anniversary Conference on Advanced Research in VLSI, March 21—24, 1999, 137—157.
- [ 7 ] LI Xiao-min, QIU Yu-lin and CHEN Chao-shu, A Type of Bootstrapped Charge-Recovery Logic Circuit, Chinese Journal of Semiconductors, 2000, **21**(9) : 887 [ 李晓民, 仇玉林, 陈潮枢, 一种利用自举效应的 Charge-recovery 逻辑电路, 半导体学报, 2000, **21**(9) : 887 ].
- [ 8 ] Seung-Moon Yoo and Sung-Mo (Steve) Kang, A Bootstrapped NMOS Charge Recovery Logic, 1998 IEEE Symp. Low Power Electronics, 1998, 30—32.
- [ 9 ] David J. Frank, Comparison of High Speed Voltage-Scaled Conventional and Adiabatic Circuits, International Symposium on Low Power Electronics and Design, 1996, 377—380.

## Design of Low Voltage Charge-Recovery Logic Circuit<sup>\*</sup>

LI Xiao-min, QIU Yu-lin and CHEN Chao-shu

(Microelectronics R&D Center, The Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** A new Dual-Swing Charge-Recovery Logic (DSCRL) that is suitable for the low voltage operation is presented. DSCRL is composed of a CMOS-latch-type circuit and output-driven transistors. The operation on output loads is a full-adiabatic process. Six-phase dual-swing power clock is used to drive DSCRL, with the low swing power clock for the loads while the high for the CMOS-latch-type circuit. When our cutting down the output swing, the gate voltage of output driven transistors keep relatively high to guarantee an efficient charge-recovery operation.

**Key words:** logic circuit; charge-recovery logic

EEACC: 1265B; 2507D; 8360

Article ID: 0253-4177(2001)10-1352-05

\* Project Supported by National Natural Science Foundation of China Under Grant No. 69976035.

Received 6 December 2000, revised manuscript received 25 April 2001

© 2001 The Chinese Institute of Electronics