

高电流密度 GAT 型功率开关晶体管的结构设计优化*

王 哲 吴 郁 亢宝位 程 序

(北京工业大学电子信息与控制工程学院, 北京 100022)

摘要: 对 GAT (Gate Associated Transistor) 型高速高压功率开关管提出了一些新的结构改进设想, 包括两种新的平面版图设计以及改变栅区掺杂浓度, 以解决其最大集电极电流远小于常规双极功率管这个关键问题, 并对此进行了计算机仿真及试验研究。仿真及试验结果都证明最大集电极电流得到大幅度提高。

关键词: 栅辅助晶体管; 最大集电极电流; 版图; 扩散表面浓度

EEACC: 2560; 2560L; 2560R

中图分类号: TN 323⁺. 6

文献标识码: A

文章编号: 0253-4177(2001)11-1444-06

1 引言

以节能节材等为目的的高频化已成为当今电力电子技术的重要发展方向, 电力电子器件也已相应地发展到今天的以 VDMOSFET、IGBT 等为主流的高频电力电子器件时代。它们的开关速度快, 因而高频下的开关功率损耗低; 但其制造成本远比常规双极管高; 另外, VDMOSFET 的通态电阻 R_{on} 较大, 因而它在高压器件领域无优势。因此, 需探索其它类型的高频电力电子器件以弥补这些不足。常规双极晶体管因制造成本很低且通态压降低, 在低频范围应用广泛, 但为满足耐压的要求而制作的宽基区结构以及少子的存储效应使其开关速度慢, 难以高频应用。1980 年, Kondo 等人提出一种特殊结构的双极管 GAT (Gate Associated Transistor)^[1]。它是在常规双极管中加入 p 型栅区, 利用其对 p 型基区的电屏蔽作用来抑制集电结耗尽层向基区扩展, 从而使窄基区的双极晶体管也能具有高击穿电压: 基区窄则开关速度快, 因而实现了高压双极管的高速化。

国内曾经对 GAT 的耐压特性进行过数值分析^[2], 也利用 GAT 结构进行过新型器件的研制^[3, 4], 最近亦有人对 GAT 的基区穿透电压及其高频高压兼容性进行了解析分析^[5], 但一直未见对 GAT 最大集电极电流的研究报道。事实上, 根据参考文献[1] 中提供的数据计算, 在 $BV_{CEO} = 500V$ 时, GAT 的最大集电极电流只有 $0.43A/mm^2$ 左右, 而常规双极晶体管的最大集电极电流则大于 $1.5A/mm^2$ 。这种情况下, 要达到与 BJT 同样的电流, GAT 的芯片面积就要比普通 BJT 大 2 倍以上, 这就使 GAT 功率管的制造成本增加, 失去了双极晶体管赖以立足的低成本优势。本文基于低成本和普通平面工艺提出了若干新的 GAT 型功率开关晶体管的结构设计, 以提高有限芯片面积可达到的最大集电极电流。我们对此进行了仿真及试验研究, 结果表明, 新的设计对提高最大集电极电流具有很好的效果。

2 GAT 的基本结构及本文提出的几种新的结构设计

图 1 所示为 Kondo 等人提出的 GAT 的剖面结

* 北京市自然科学基金资助项目(No. 4972005)。

王 哲 女, 1967 年出生, 讲师, 在职博士研究生, 现从事功率半导体器件及微波器件的教学与研究工作。

吴 郁 男, 1970 年出生, 副研究员, 在职博士研究生, 现从事功率半导体器件的教学与研究工作。

亢宝位 男, 1939 年出生, 教授, 博士生导师, 现从事功率半导体器件与微波器件的教学与研究工作。

2000-12-08 收到, 2001-03-27 定稿

©2001 中国电子学会

构。与普通 BJT 相比, 它具有很窄的基区, 因此开关速度快, 工作频率高。当集电结反压达到一定数值时, 栅区与集电区间的 p-n 结耗尽层会扩展到把相邻 p 型栅区之间的 n⁻ 区充分夹断; 此后, 当电压继续增加时, 基区与集电区间的 p-n⁻ 结耗尽层将主要向集电区扩展, 基本不再向基区扩展, 因而基区不易发生穿通, 从而确保窄基区也能耐高压。

但是另一方面, 在 GAT 中栅区通常是大结深、高掺杂, 大面积的基区扩散又对栅区掺杂有或多或少的累加作用; 而基于低成本的三重扩散工艺的功率 GAT 结构设计中, 不可避免地会出现栅区与发射区的交叠(参见图 1、2)。栅区的高掺杂浓度和较大的结深, 会使发射区中与栅区交叠的部分发射效率大大降低。因此, 在相同发射区面积和相同的集电极电流下, GAT 中局部的集电极电流密度比常规 BJT 的要大; 如果栅区与发射区的交叠面积在发射区总面积中所占的比例较大, 就会导致最大集电极电流的严重降低。因此, 最大集电极电流将受栅区结构的影响。栅区结构包括平面版图结构和栅区的纵

向掺杂分布, 所以, 本文从两方面入手, 试图采用新的结构设计来提高 GAT 的最大集电极电流: 其一是增加发射区的面积和周长, 同时减小发射区与栅区的交叠区在发射区总面积中所占的比例; 其二是降低栅区的掺杂浓度。

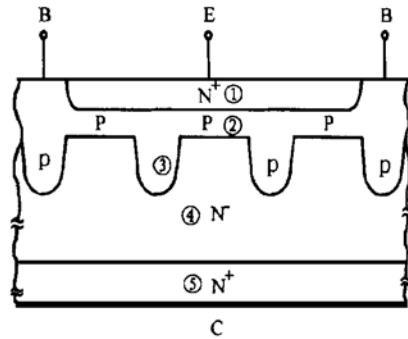


图 1 GAT 剖面结构示意图 ①发射区; ②基区; ③栅区; ④集电区; ⑤衬底

FIG. 1 Schematic Cross-Section of the GAT
① Emitter; ② Base; ③ Gate; ④ Collector; ⑤ Substrate

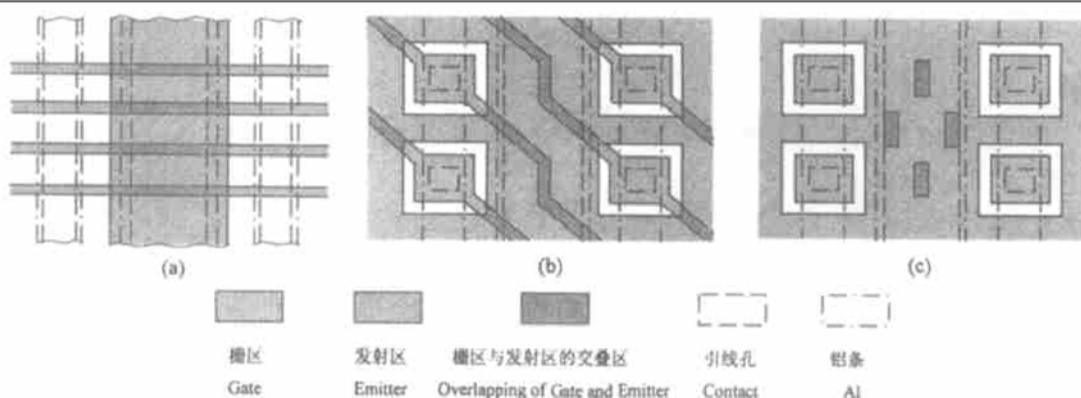


图 2 三种平面版图设计示意图 (a) Kondo 等人的正交条形结构; (b) 条栅网发结构; (c) 岛栅网发结构

FIG. 2 Schematic Layouts of Three Structures (a) Orthogonal Strips Structure Proposed by Kondo et al.; (b) Strip-Gate Grid-Emitter Structure; (c) Island-Gate Grid-Emitter Structure

图 2 分别为 Kondo 等人设计的平面图形及本文提出的两种新的平面版图设计。图中整个面积都是基区, 区别在于栅区和发射区。其中图 2(a) 是 Kondo 给出的平面图形^[1], 发射区和栅区为相互正交的条状区, 基极引出区为与发射区平行的条状区, 这里称其为“正交条形结构”; 图 2(b) 为本文提出的新设计之一, 网格状发射区与栅区条相互成一定角度斜交, 基极引出区为一列列的矩形岛区, 列走向与发射区电极平行, 这里称其为“条栅网发结构”; 图 2(c) 是本文提出的新设计之二, 其中发射区为网格

状, 栅区为一系列矩形岛, 基极引出区也是一列列的矩形岛, 这里称其为“岛栅网发结构”。这三个版图设计的共同点为: 发射区条宽 105μm, 发射区引出区条宽 85μm, 发射区边界离各引出孔的边界为 20μm, 栅-栅间距小于 55μm。

3 仿真结果

我们利用美国 Avant! 公司的三维半导体器件仿真软件 Davinci 对上述几种结构的 GAT 的有关

电学性能进行了仿真。重要的晶体管的结构参数如下： N^- 集电区掺杂浓度 $N_c = 1 \times 10^{14} \text{ cm}^{-3}$ ，厚度 $W_{N^-} = 50 \mu\text{m}$ ；发射区、基区、栅区均设定为以扩散形成，结深分别为 $x_{je} = 3 \mu\text{m}$, $x_{jb} = 6 \mu\text{m}$, $x_{ig} = 16 \mu\text{m}$ ，发射区、基区、栅区的扩散表面浓度（分别用 N_{se} 、 N_{sb} 、 N_{sg} 表示）根据情况选定。为便于比较，需要对最大集电极电流有一个定义。为方便和明晰起见，本文的仿真结果及试验结果都对直流电流放大系数归一化，并规定在 $V_{CE} = 5\text{V}$ 下，直流电流放大系数 h_{FE} 下降到小电流下电流放大系数 h_{FE0} 的 $1/4$ 时的集电极电流为最大集电极电流。

3.1 不同平面版图设计的影响

在研究版图设计对最大集电极电流的影响而进行的仿真中，取 $N_{sb} = N_{sg} = 1 \times 10^{18} \text{ cm}^{-3}$ ，仿真结果见图 3，其中电流已换算为电流密度 J_c 。由图看出，随着电流的增加，Kondo 的正交条形结构的 h_{FE} 下降最快，条栅网发结构其次，而岛栅网发结构的 h_{FE} 下降最慢。按前述最大集电极电流的定义，正交条形结构的最大集电极电流最小，条栅网发结构的其次，而岛栅网发结构的最大。

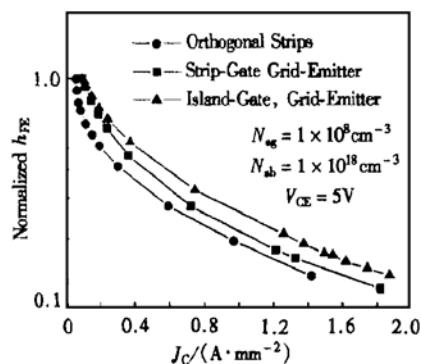


图 3 三种版图设计的 h_{FE} - J_c 关系仿真结果

FIG. 3 Simulated Current Gains of Three Kinds of Layout Designs Plotted Versus Collector Current

3.2 栅区浓度的影响

仿真发现栅区扩散表面浓度对最大集电极电流有很大影响，栅区扩散表面浓度高会减小最大集电极电流。我们采用条栅网发结构来仿真栅区扩散表面浓度对最大集电极电流的影响，仿真中基区表面掺杂浓度固定为常用的 $N_{sb} = 1 \times 10^{18} \text{ cm}^{-3}$ ，而栅区表面掺杂浓度则分别取为 $N_{sg} = 1 \times 10^{19}$ 、 1×10^{18} 、 1

$\times 10^{17} \text{ cm}^{-3}$ ，即 $N_{sg}/N_{sb} = 10, 1, 0.1$ 。 h_{FE} - J_c 曲线仿真结果示于图 4。结果表明，降低栅扩散表面区浓度时， h_{FE} 随 J_c 增加而下降的速度明显减小，因而最大集电极电流明显增大；但当栅区扩散表面浓度降到基区表面浓度以下时， h_{FE} 下降速度的变化就不再明显。

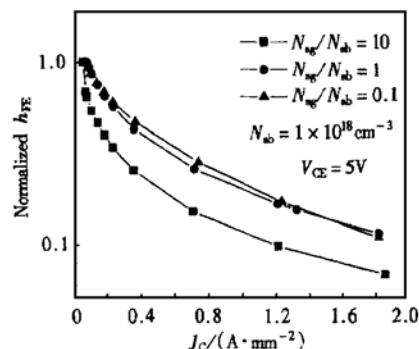


图 4 条栅网发结构在不同栅区扩散表面浓度下的 h_{FE} - J_c 关系仿真结果

FIG. 4 Simulated Current Gains of Layout Design of Strip-Gate Grid-Emitter Structure Versus Collector Current

4 试验结果与分析

样管的制造采用三重扩散工艺（加上栅区扩散后实际有四次扩散），原始片的电阻率为 $40\Omega \cdot \text{cm}$ ，高阻层厚 $60 \mu\text{m}$ ，背面 N^+ 区扩散深度为 $160 \mu\text{m}$ ，栅区扩散结深为 $16 \mu\text{m}$ ，基区扩散结深为 $6 \mu\text{m}$ ，发射区扩散结深为 $3 \mu\text{m}$ 。由于仿真结果发现栅区扩散表面浓度对最大集电极电流有影响，因此试验分两次进行，对应两种不同的栅区扩散表面浓度。

第一次试验采用两种版图结构，即 Kondo 的正交条形结构和本文的条栅网发结构，芯片面积均为 0.4 mm^2 ，栅区扩散表面浓度为 $2 \times 10^{18} \text{ cm}^{-3}$ 。试验结果由图 5 给出，其中电流已换算为电流密度。根据本文前述最大集电极电流的定义，由图 5 可知正交条形结构和本文提出的条栅网发结构的最大集电极电流密度分别为 0.75 A/mm^2 和 1.2 A/mm^2 ，可见条栅网发结构的最大集电极电流比正交条形结构的最大集电极电流高出 60% 。

第二次试验采用本文提出的条栅网发结构和岛栅网发结构，芯片面积均为 0.9 mm^2 ，栅区扩散表面

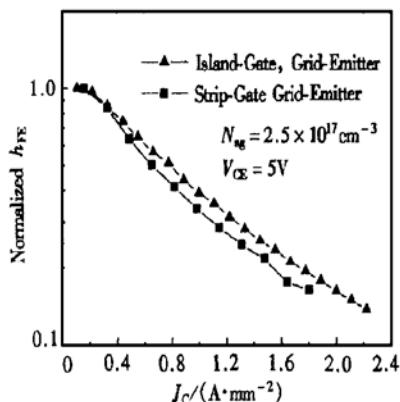
图 5 第一次试验两种版图设计的 h_{FE} - J_c 关系

FIG. 5 Current Gains of Two Kinds of Layout Designs Versus Collector Current in the First Experiment

浓度为 $2.5 \times 10^{17} \text{ cm}^{-3}$, 比第一次试验的栅区表面浓度降低 8 倍, 结果见图 6。由最大集电极电流的定义可知条栅网发结构和岛栅网发结构的最大集电极电流密度分别为 1.3 A/mm^2 和 1.5 A/mm^2 。岛栅网发结构的最大集电极电流比条栅网发结构又高出 15%。

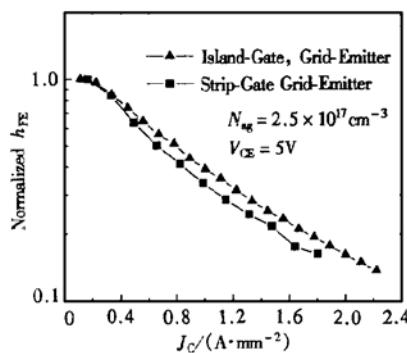
图 6 第二次试验条栅网发结构和岛栅网发结构的 h_{FE} - J_c 关系

FIG. 6 Current Gains of Two Kinds of Layout Designs with Strip-Gate Grid-Emitter and Island-Gate Grid-Emitter, Respectively, Versus Collector Current in the Second Experiment

另外, 比较两次试验结果可以看出, 同样版图设计的条栅网发结构由于两次试验中栅区浓度的不同, 最大集电极电流也不同。第二次试验比第一次试验的栅区表面浓度低 8 倍, 最大集电极电流从 1.2 A/mm^2 提高到 1.3 A/mm^2 , 即提高了 8.3%。

降低 N_{sg} 可以提高最大集电极电流的原因可解

释如下: 发射区中与栅区交叠的部分由于下面的 p 型区域杂质浓度高、结深大, 其发射效率将降低, 也就是说流过这部分发射结面积的发射极电流中很多是基区注入发射区的空穴流, 而发射区向基区注入并最终流到集电区去的电子流相对较少。所以, 这部分面积上的发射极电流主要部分成为基极电流的一部分而对集电极电流贡献不大, 这就使得 GAT 在相同发射区面积和相同集电极电流下局部的集电极电流密度比常规 BJT 的要大, 从而造成最大集电极电流减小。降低栅区表面浓度 N_{sg} 可以提高发射区与栅区交叠部分的发射效率, 使最大集电极电流得到提高。另一方面, 仿真结果由图 4 证明, 当栅区扩散表面浓度降到基区表面浓度以下时, 由于大面积的基区掺杂对栅区掺杂的累加作用, 此时成为决定栅区掺杂浓度的主要因素, 发射区中与栅区交叠的部分的发射效率减少量将趋于稳定, 此时再减小栅区扩散表面浓度, 其最大集电极电流的进一步改善将不再明显。

由于栅区最终的掺杂浓度高于基区, 而且具有较大结深, 发射区中与栅区交叠的部分发射效率会降低, 因此最大集电极电流密度与栅区平面结构设计也密切相关。在起到电屏蔽作用的基本要求满足的条件下, 栅区与发射区交叠区的面积应尽量小。图 2 所示的几种版图设计的区别在于: 首先栅区结构不同, 其次发射区结构不同, 它们的发射区面积、周长、发射区中与栅区的交叠区所占的比例, 以及基区、集电区中的局部电流密度都不同, 所以最大集电极电流是不同的。在图 2(b) 的条栅网发结构中, 一方面网状设计增加了发射区的周长和面积; 另一方面, 斜栅区条的采用, 则尽可能地避免这些增加的发射区面积与栅区发生交叠, 从而使发射区与栅区的交叠区在发射区总面积中所占的比例下降。而图 2(c) 的岛栅网发结构则进一步减小栅区面积, 从而使交叠区所占的比例进一步下降。本文提出的版图结构对栅区结构及发射区的周长及面积都有所改进, 因此最大集电极电流得到明显改善。

经过上述结构改进, GAT 最大集电极电流得到显著提高, 而对于其它参数的测试结果也表明, GAT 结构上的改变对功率开关管的其他重要参数如 BV_{CEO} 、开关特性中的存储时间和下降时间等并未有不良影响。表 1 给出了几种功率晶体管参数的测试结果。

表 1 五种功率晶体管的参数

Table 1 Parameters of 5 Kinds of Power Transistors

	击穿电压 BV_{CEO}/V	最大集电极电流密度 $J_c/(A \cdot mm^{-2})$	存储时间 $t_s/\mu s$	下降时间 $t_f/\mu s$
普通双极晶体管(Motorola 13005)	500	1.55	1.7	0.4
正交条形结构 GAT(Kondo 等) ^[1]	500	0.43	1.3	0.24
正交条形结构 GAT(本文试验)	500	0.75	0.5	0.1
条栅网发结构 GAT(本文试验)	500	1.3	0.6	0.1
岛栅网发结构 GAT(本文试验)	500	1.5	0.6	0.1

5 结论

本文基于普通三重扩散工艺和低成本考虑提出两种新的功率 GAT 平面版图设计即条栅网发结构及岛栅网发结构,并结合降低栅区扩散表面浓度,以图达到提高 GAT 最大集电极电流的目的。我们对此进行了计算机仿真及试验研究。试验结果证明,栅区扩散表面浓度为 $2 \times 10^{18} cm^{-3}$ 时,本文提出的条栅网发结构与 Kondo 的正交条形结构相比,可将最大集电极电流提高到后者的 1.6 倍;将栅区扩散浓度由 $2 \times 10^{18} cm^{-3}$ 降低到 $2.5 \times 10^{17} cm^{-3}$,可将最大集电极电流提高到高掺杂时的 1.08 倍;在栅区扩散表面浓度为 $2.5 \times 10^{17} cm^{-3}$ 时,岛栅网发结构最大集电极电流又比条栅网发结构提高 15%。经过改进,岛栅网发结构的最大集电极电流可达 $1.5 A/mm^2$,几乎与普通双极晶体管的极值接近,且对功率晶体管的其它重要特性无明显不良影响。通过这些改进,基本解决了过去 GAT 因最大集电极电流密度比常规 BJT 小而不得不增加芯片面积致使制造成本增加的关键问题。

参考文献

- [1] Hisao Kondo and Yoshinori Yukimoto, A New Bipolar Transistor-GAT, IEEE Trans. Electron Devices, 1980, ED-27: 373—379.
- [2] CHENG Xu, KANG Bao-wei, WU Yu and TANG Hong-tao, The Numerical Analysis of Breakdown Voltage of GAT, Journal of Beijing Polytechnic University, 1996, 22(4): 13—19 (in Chinese) [程序, 亢宝位, 吴郁, 唐洪涛, GAT 管击穿电压的数值分析, 北京工业大学学报, 1996, 22(4): 13—19].
- [3] KANG Bao-wei and WU Yu, A Combined Power Transistor Structure for Improved Switching Performances, Proc. of ISPSD'95, 1995, 283—287.
- [4] CHENG Xu, KANG Bao-wei, Johnny K. O. Sin et al., Monolithically Integrated Power Device Consisting of a GAT and a MPS Diode with Increased Switching Speed, Proc. of ISPSD'99, 1999, 347—350.
- [5] ZHUANG Baohuang, HUANG Meichun, ZHU Zizhong, LI Kaihang et al., High-Frequency and High-Voltage Characteristics on Gate Associated Transistors, Chinese Journal of Semiconductors, 2000, 21(4): 388—393 (in Chinese) [庄宝煌, 黄美纯, 朱梓忠, 李开航, 等, GAT 双极晶体管的高频高压兼容特性, 半导体学报, 2000, 21: 388—393].

Structure Design Optimization of GAT Type Power Switching Transistors^{*}

WANG Zhe, WU Yu, KANG Bao-wei and CHENG Xu

(College of Electronic Science & Technology, Beijing Polytechnic University, Beijing 100022, China)

Abstract: Two kinds of layout designs and the method of lowering the impurity concentration of the gate region are proposed to improve the current rating of GATs. The experimental results show that the current rating will be improved by a factor of 1.6 by using the presently proposed layout with strip-gate and grid-emitter and improved by a factor of 1.08 when the diffused surface concentration of the gate region is reduced from $2 \times 10^{18} \text{ cm}^{-3}$ to $2.5 \times 10^{17} \text{ cm}^{-3}$. The current rating can reach 1.5 A/mm^2 by using layout with island-gate and grid-emitter, as is comparable with that of the conventional bipolar power transistors.

Key words: gate associated transistor; current rating; layout; diffused surface concentration

EEACC: 2560; 2560L; 2560R

Article ID: 0253-4177(2001)11-1444-06

* Project Supported by Natural Science Foundation of Beijing Under Grant No. 4972005.

WANG Zhe was born in 1967. She is now a lecture and a doctoral student. Her research interests are in power semiconductor devices and microwave transistors.

WU Yu was born in 1970. He is now an associate professor and a doctoral student. His research interests are in power semiconductor devices.

KANG Bao-wei was born in 1939. He is a professor and tutor of doctoral students. His research interests are in power semiconductor devices and microwave transistors.