

低功耗 64×64 CMOS 快照模式焦平面 读出电路新结构

陈中建¹ 李晓勇¹ 吉利久¹ 韩建忠² 喻松林²

(1 北京大学微电子所, 北京 100871)

(2 华北光电技术研究所, 北京 100015)

摘要: 介绍了一个工作于快照模式的 CMOS 焦平面读出电路的低功耗新结构—OESCA (Odd-Even Snapshot Charge Amplifier) 结构. 该结构像素电路非常简单, 仅用三个 NMOS 管; 采用两个低功耗设计的电荷放大器做列读出电路, 分别用于奇偶行的读出, 不但可有效消除列线寄生电容的影响, 而且列读出电路的功耗可降低 15%, 因此 OESCA 新结构特别适于要求低功耗设计的大规模、小像素阵列焦平面读出电路. 采用 OESCA 结构和 $1.2\mu\text{m}$ 双硅双铝标准 CMOS 工艺设计了一个 64×64 规模焦平面读出电路实验芯片, 其像素尺寸为 $50\mu\text{m} \times 50\mu\text{m}$, 读出电路的电荷处理能力达 10.37pC . 详细介绍了该读出电路的体系结构、像素电路、探测器模型和工作时序, 并给出了精确的 SPICE 仿真结果和试验芯片的测试结果.

关键词: 焦平面; 读出电路; OESCA 结构; 低功耗设计; 快照

EEACC: 1220

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2001)11-1450-08

1 引言

焦平面是电子成像系统的关键部件, 焦平面读出电路用于焦平面中各像素信号的处理和读出. 目前对高分辨率、低功耗便携式成像系统的需求越来越大, 这要求: 一方面应加大阵列规模并缩小像素尺寸, 提高分辨率; 另一方面读出电路应低功耗设计, 这在大规模焦平面中尤为重要.

减小像素面积会降低读出电路的电荷处理能力, 而读出电路的许多性能与其电荷处理能力密切相关, 因此, 像素电路必须非常简单, 使像素中的 MOS 存储电容足够大来保证读出电路的电荷处理能力和信噪比. 为此, 提出了许多读出结构, 如 SF (Switched Follower) 结构^[1,2]、CBP (Column Bus Partition) 结构^[3]、DCA (Direct-injection^[4] Charge Amplifier)^[5] 结构等. 这些结构的像素电路至少有 4

个晶体管: 积分管、注入管、复位管和地址选择管. 这就限制了用做 MOS 电容的积分管的面积, 从而降低读出电路的电荷处理能力, 直接影响性能. 而且在 SF 结构和 CBP 结构中都存在列线寄生电容的影响; 随阵列规模的增加, 这种影响会更加严重.

文献[3]提出的 SCA (Snapshot Charge Amplifier) 结构的像素电路仅用三个 NMOS 管, 能保证像素中的 MOS 电容足够大; 采用电荷放大器做列读出电路, 可有效消除列线寄生电容的影响, 因此比较适合小像素、大规模的焦平面读出.

对焦平面规模比较大的便携式成像系统, 低功耗是读出电路设计的重要目标. 为此, 在 SCA 结构的基础上, 本文提出了一种低功耗新结构—OESCA (Odd-Even Snapshot Charge Amplifier) 结构. 该结构像素电路仅用三个 NMOS 管, 采用两个低功耗设计的电荷放大器做列读出电路, 分别用于奇偶行的读出, 可以降低列电荷放大器的速度要求, 从而实现

列电荷放大器的低功耗设计. 该结构像素电路简单, 不但可有效消除列线寄生电容的影响, 而且列读出电路的功耗可比文献[5]中 DCA 结构降低 15%, 因此 OESCA 结构特别适于要求低功耗设计的大规模、小像素阵列焦平面读出电路.

本文第二部分将介绍该读出电路的结构和设计考虑, 包括体系结构、像素电路、探测器模型、工作时序. 第三部分给出了精确的 SPICE 仿真结果、试验芯片的测试结果以及芯片版图. 最后给出结论.

2 读出电路结构

2.1 体系结构

图 1 是 OESCA 结构读出电路的框图. 该电路用于从一 64×64 探测器阵列中读出每一像素的信号. 包括如下模块: (1) 64×64 像素单元阵列, (2) 行选信号的产生模块, (3) 列选信号的产生模块, (4) Hc 信号的产生模块, (5) 列奇偶读出级, (6) 输出驱动级.

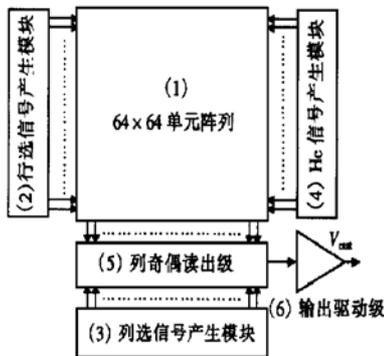


图 1 OESCA 结构读出电路框图

FIG. 1 Block Diagram of OESCA Readout Structure

图 2 是 OESCA 结构读出电路的电路图. 同一列的像素的输出端接到一条列线上. 在每条列线的末端经过奇偶控制开关分别接到两个电荷放大器的输入端. 每一电荷放大器的输出端经过奇偶控制开关和选通器, 连接到输出运放. 在此结构中, 若电荷放大器中列运放的放大倍数足够大, 则每条列线的电压是 V_{ref} , 并保持不变, 列线寄生电容不分享从各像素中转移出的电荷, 因此 OESCA 结构可以消除列线寄生电容的影响.

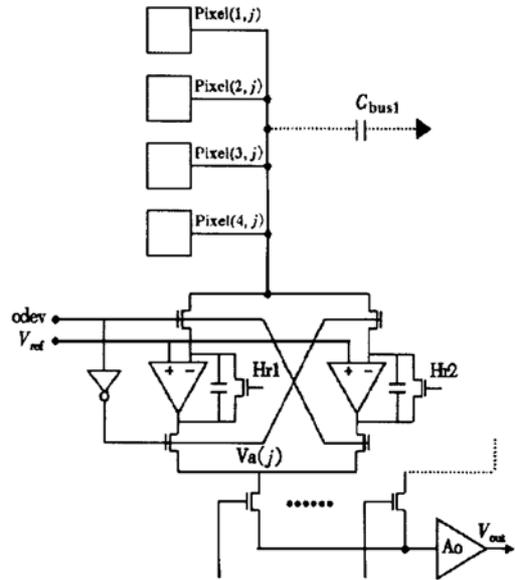


图 2 OESCA 结构读出电路的电路图

FIG. 2 Schematic Diagram of OESCA Readout Circuit

2.2 像素电路

图 3 是像素电路. 图中用作探测器的光电二极管通过注入管 M_p 连接到存储节点, 这样, 当给 M_p 管的栅极 H_p 信号合理偏置时, 光电流可直接注入到用作存储单元的 M_c 管栅极下面的电子势阱中, 实现积分功能. 时钟信号 H_p 用于积分控制, 光电二

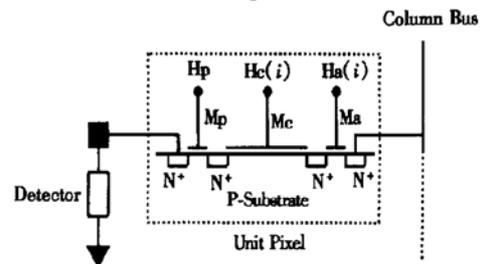


图 3 OESCA 结构的像素电路

FIG. 3 Pixel Circuit of OESCA Readout Structure

极管的偏置电压可以通过调节 H_p 为“高”时的电压水平来调节, 从而保证探测器在正常偏置范围内工作. 所有像素的 M_p 管的栅都接到积分控制信号 H_p , 这样在 H_p 信号控制下, 所有像素同时开始和结束积分, 从而构成快照工作模式. M_a 为行选管, 用做地址选择, 第 i 行像素的 M_a 管的栅都接到行选信号 $H_a(i)$. M_c 为积分电荷存储器件. 从结构上看, 它既可以看作一个 NMOS 管, 又可看作扩散区耦合的 CCD (Charge Coupled Device) 器件. 由于在

积分过程中, 该器件工作于深耗尽状态, 作电荷存储器, 因此在这里应属 CCD 器件. 下面详述其工作原理和像素电路的工作过程.

MOS 电容结构中, 当栅上突然加一脉冲正电压时(设 P-衬底), 将产生深耗尽阱, 并立即就有热产生的少数载流子开始填充该阱. 一个 MOS 电容热弛豫时间与半导体材料特性(如禁带宽度、掺杂浓度等)和界面完整性等有关. 当 MOS 电容的热弛豫时间远大于成像系统的帧周期时, 就可以把 MOS 电容器作为存储电荷的单元使用, 电荷的产生可以是电学注入或光电过程. 若两个 MOS 电容靠的很近导致势阱合并, 或用扩散区把两个 MOS 电容连接起来, 则可动少数载流子就可以在这两个电容间流动, 并再分配.

图 4 是 MOS 电容结构剖面图和能带图. 据此推导表面势 ψ_s 与栅压 V_G 的关系.

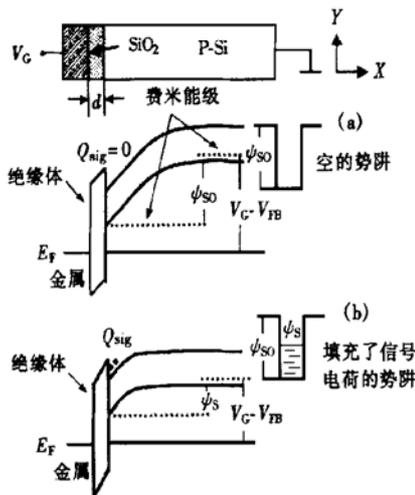


图 4 MOS 电容结构剖面图和能带图^[6] (a) 深耗尽状态下能带弯曲和形成的空势阱; (b) 在 Si-SiO₂ 界面处的能带弯曲和部分填充的势阱

FIG. 4 Cross-Section View and Energy-Band Diagram of MOS Capacitance (a) Band Bending at Deep Depletion and Empty Potential Well; (b) Band Bending at Si-SiO₂ Interface and Partially Filled Potential-Well Representation

有效栅压 $V_G - V_{FB}$:

$$V_G - V_{FB} = V_i + \psi_s$$

其中 V_{FB} 为平带电压; V_i 为降落在 SiO₂ 上的电压. 因为

$$V_i = - \frac{Q_s}{C_{ox}}$$

$$Q_s = Q_B + Q_{sig}$$

$$Q_B = - qN_a X_d = - (2q\epsilon_{Si}\epsilon_0 N_a \psi_s)^{1/2}$$

所以

$$V_G - V_{FB} = \frac{Q_{sig}}{C_{ox}} + \frac{\sqrt{2q\epsilon_{Si}\epsilon_0 N_a \psi_s}}{C_{ox}} + \psi_s$$

$$\text{解得: } \psi_s = V - B \left(\sqrt{1 + \frac{2V}{B}} - 1 \right) \quad (1)$$

其中

$$V = V_G - V_{FB} - \frac{Q_{sig}}{C_{ox}}$$

$$B = \frac{q\epsilon_{Si}\epsilon_0 N_a}{C_{ox}^2}$$

当忽略热产生的载流子时:

$$Q_{sig} = I_{photo} T_{int}$$

其中 I_{photo} 为光电流; T_{int} 为积分时间.

推导过程中, Q_B 为单位面积的耗尽层电荷, Q_{sig} 为单位面积所存储的信号电荷, N_a 为半导体的掺杂浓度, C_{ox} 为单位面积的栅氧电容.

由公式(1)知, 当栅压给定时, 随着存储电荷的增加, 表面势 ψ_s 基本呈线性减少. 在 ψ_s 和 Q_{sig} 之间的这种线性关系可用简单的流体力学系统解释电荷存储机制, 所以建立势阱模型来形象描述 CCD 器件的工作原理.

图 5(a) — (d) 表示像素电路的器件剖面图和工作过程, 图中虚线为电子势能曲线. H_p 信号和 H_a 信号同时为低时(0V), H_c 信号由 0V 跳变到 5V, 在 M_c 栅极下面形成空的电子势阱, 在 A、B 两点和 C、D 两点之间存在电子势垒, 如图 5(a) 所示.

当 H_p 信号由 0V 跳变到 0.63V 后, A、B 两点之间的电子势垒消失, 电子开始经注入管 M_p 注入势阱中, 表面势随着电子的注入而逐渐下降, 这就是积分过程, 如图 5(b) 所示.

H_p 信号由 0.63V 跳回 0V 时, A、B 两点之间产生的电子势垒阻止电子注入阱中, 积分结束, 阱中积累了大量电子. 这时, H_a 信号由 0V 跳到 1.4V, C、D 两点之间的电子势垒下降但仍存在, 电子无法逾越该势垒, 如图 5(c) 所示.

当 H_c 信号逐渐由 5V 下降到 0V 时, ψ_s 下降, 势阱也逐渐变浅; 当势阱无法盛放积分所得电子时, 电子开始越过 C、D 两点之间的势垒溢出到 D 点, 经列线传输到列电荷放大器, 由列电荷放大器实现电荷到电压的转换, 如图 5(d) 所示.

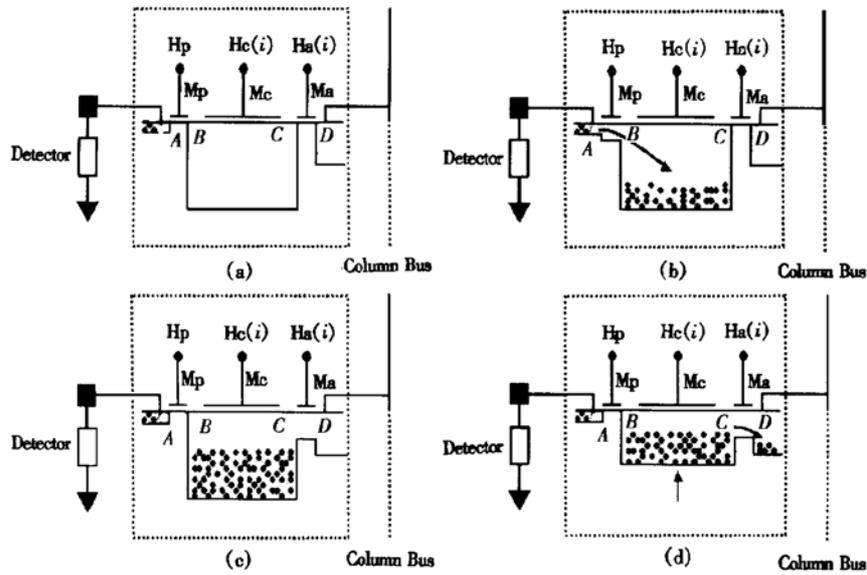


图 5 像素电路的工作原理

FIG. 5 Operation Principle of Pixel Circuit

根据像素电路的工作原理分析, 会得出结论: 在 H_c 信号以一固定斜率缓慢下降过程中, 列线电流出现的早晚以及持续的时间与势阱中的电荷数量有关. 电荷数量多的会先溢出势阱, 在列线上早出现电流; 反之则晚出现电流. 如图 6 示, 其中 $I_{bus}(j)$ 和 $I_{bus}(j')$ 分别是第 j 列和第 j' 列的列线电流. 后面的 SPICE 仿真的结果证实了这一点.

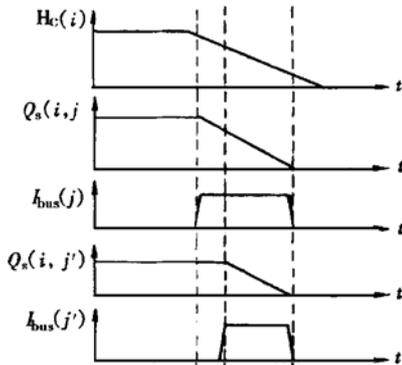


图 6 列线电流与势阱中电荷量的关系

FIG. 6 Relationship Between Current on Column Bus and Charge Quantity in Potential Well

2.3 探测器模型

像素电路中的探测器是工作于反向区的光电二极管, 不同光照下光电二极管的 $I-V$ 特性如图 7 所示. 图中暗特性指在完全没有光照的情况下, 光电二

极管的 $I-V$ 特性.

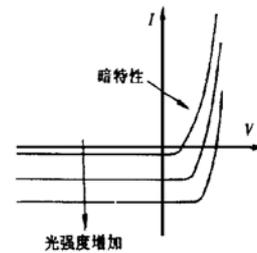


图 7 不同光照下光电二极管 $I-V$ 特性

FIG. 7 $I-V$ Characteristics of Photodiode with Different Illumination

根据在不同光照下测得的光电二极管的 $I-V$ 特性数据, 建立了探测器的模型, 如图 8 示. 图中, D 为理想的结型二极管, 恒流源 I_B 是无光照时光电二极管的暗电流, 电流源 I_{photo} 用于仿真光电流, 电阻 R_d 为工作点处的动态电阻, 电阻 R_s 为串联电阻, 电容 C_d 为工作点处的动态电容.

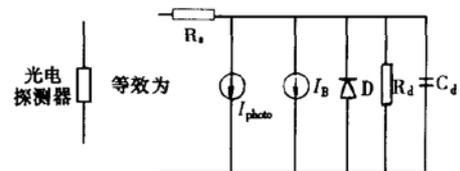


图 8 光电二极管探测器的等效模型

FIG. 8 Equivalent Circuit of Photodiode Detector

2.4 工作时序

图 9 是该读出电路的工作时序图. 每一帧的时间分为两个阶段: 积分阶段和读出阶段.

2.4.1 积分阶段

所有像素中的 M_p 管的栅极连接在一起共同由

时钟信号 H_p 控制, 同时开始和结束积分, 从而构成快照工作模式. 积分期间, 流经光电二极管的光电流被积分到像素内的势阱中, 积分时间是 H_p 为“高”的时间. 积分期间, 积分节点的表面势 ψ_s 随积分时间 T_{int} 的变化由公式 (1) 给出. 当光电流在积分期间恒定时, ψ_s 与 T_{int} 呈线性下降关系.

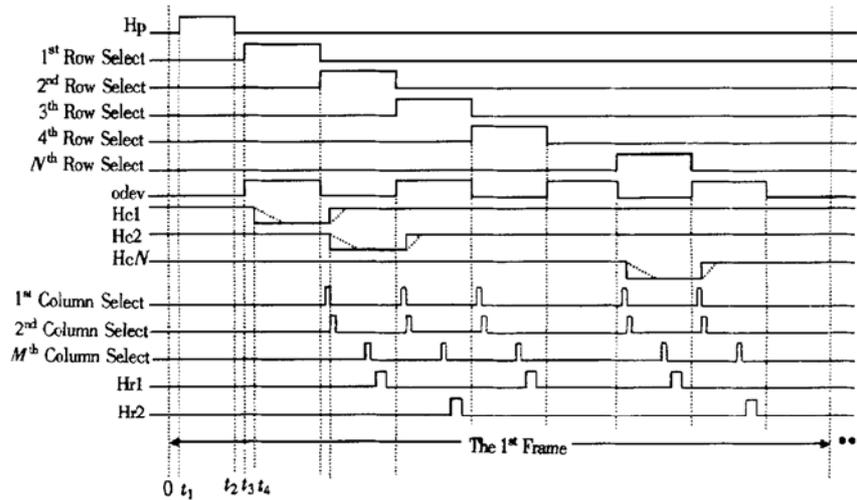


图 9 读出电路的工作时序图

FIG. 9 Operational Timing Diagram of Readout Circuit

2.4.2 读出阶段

积分结束后, 各像素内势阱中存储的电荷量与该像素探测器的光电流大小有关. 当第一行的行选信号 H_{a1} 由 0V 跳到 1.4V, 奇偶控制信号 $odev$ 为“高”后, H_{c1} 信号逐渐由 5V 下降到 0V, 在此过程中, 势阱中的积分电荷, 经列线传输到图 2 中左边的奇电荷放大器, 由该电荷放大器实现电荷到电压的转换. 这一过程称为列输出信号的建立.

当列选信号 $Column\ Select(j)$ 有效时, 第 j 列的奇电荷放大器的输出被选送到最后的输出运放. 当每一奇电荷放大器的输出信号都依次读出后, 由复位信号 H_{r1} 把各个奇电荷放大器复位到初始状态. 这一过程称为列输出信号的读出.

与第一行列输出信号的读出过程同时进行的是第二行列输出信号的建立过程. 当第二行列输出信号读出时, 同时进行的是第三行列输出信号的建立. 当第 i 行的行选信号 $H_{a(i)}$ 由 1.4V 跳到 0V 后, 信号 $H_{c(i)}$ 由 0V 跳到 5V, 这样该行中的每个像素中的势阱就又建立起来. 等到整帧的每一行都读出后,

所有像素中的势阱都已经建立起来, 即对每个像素都实现了复位, 就可开始下一帧的积分了.

由前面体系结构的分析知: 当电荷放大器中列运放的放大倍数足够大时, 每条列线的电压始终为 V_{ref} , 从而列线寄生电容 C_{bus} 不分享从像素中转移出的电荷, 这就消除了列线寄生电容的影响.

而且, 相邻奇偶行的列输出信号的建立和读出同时进行, 这种并行操作降低了对列电荷放大器的速度要求, 可以实现列读出电路的低功耗设计. 文献 [5] 中 DCA 结构的列读出电路只用一个电荷放大器, 没有采用这种并行设计, 其平均功耗为 $88\mu W$. 而 OESCA 结构中, 列读出电路 (含两个列电荷放大器和四个选通开关) 的平均功耗共为 $75\mu W$, 因此列读出电路的功耗减少了 15%. 在积分期间, 列读出电路处于空闲状态, 如果此期间使列读出电路与电源断开, 可使列读出电路的功耗减少 21%.

应该指出, 上述低功耗设计是通过增加列读出电路的面积换来的. 在文献 [5] 的 DCA 结构中, 列读出电路只用到一个电荷放大器, 而在 OESCA 结构中, 用到了两个电荷放大器.

3 仿真和测试结果

采用 $1.2\mu\text{m}$ 双硅双铝标准 CMOS 工艺线提供的器件参数, 对一个 2×4 规模的 OESCA 结构读出电路进行了精确的 SPICE 仿真. 在积分期间 ($T_{\text{int}} = 610\mu\text{s}$), 积分节点的电压 ψ_s (即表面势) 在不同光电流 I_{photo} 下随时间的变化如图 10 所示. 由图看出, 光电流不同时, 电压 ψ_s 随时间下降的斜率也不同, 都有良好线性度; 但电压 ψ_s 只能被复位到 3.3V (电源电压为 5V 时), 这无疑降低了电荷处理能力. 在文献[5]的 DCA 结构中, 虽然其像素填充比 (存储器件面积与整个像素面积的百分比) 为 61% , 比 OESCA 结构 (为 80%) 小, 但由于积分节点可以被复位到 5V , 因此其电荷处理能力 (11.2pC) 比 OESCA 结构 (10.37pC) 高.

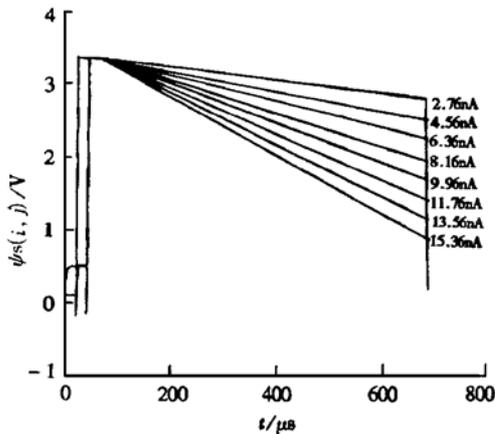


图 10 不同光电流下, 积分节点的电压 $\psi_s(i, j)$ 随时间的变化

FIG. 10 Integration Voltage Waveforms $\psi_s(i, j)$ at Integration Node at Different Photocurrents

积分结束后, 在读出期间列电荷放大器输出端的电压 $V_a(j)$ 随光电流 I_{photo} 的不同而变化, 如图 11 中上图所示. 由图看出, 随光电流的线性增加或减少, $V_a(j)$ 也线性增加或减少.

图 11 中下图示出输出缓冲运算放大器的输出信号 V_{out} 随时间的变化. 当列选信号有效时, 列电荷放大器输出信号传递到输出缓冲运放的输出端. 输出运放的性能是: 在 5V 电源电压下, 输出摆幅为 3.0V ; 在负载电容为 10pF 时, 工作频率可达 5MHz .

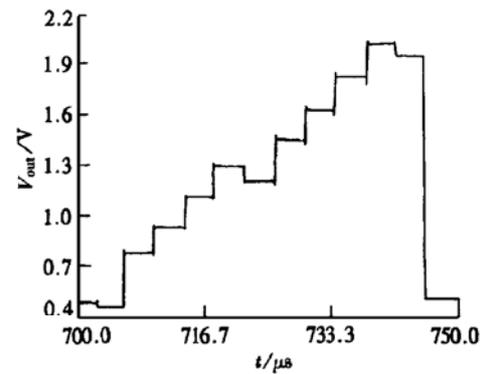
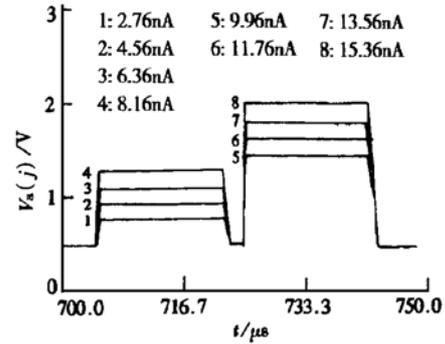


图 11 不同光电流下, 列电荷放大器的输出电压 $V_a(j)$ 和输出运算放大器的输出信号 V_{out} 随时间的变化

FIG. 11 Output Voltage Waveforms $V_a(j)$ of Column Charge Amplifier with Different Photocurrents and Output Voltage Waveforms V_{out} of Output Amplifier

前面像素电路的工作原理分析曾得出如下结论: 在 H_c 信号以一固定斜率缓慢下降过程中, 列线电流出现的早晚以及持续的时间与势阱中电荷的数量有关. 电荷数量多的会先溢出势阱, 在列线上早出现电流; 反之则晚出现电流. 图 12 是仿真结果, 证实了前面的结论.

采用标准 $1.2\mu\text{m}$ 双硅双铝 N 阱 CMOS 工艺, 设计了一个 64×64 阵列规模 OESCA 读出结构的实验芯片并对该芯片进行了测试. 测试时激励信号和直流偏置电压由一电路板产生. 经测试, 该读出电路工作正常. 输出缓冲运放摆幅为 3.0V , 与仿真结果一致. 最大输出频率为 2MHz , 比仿真值 (5MHz) 小; 经分析是由于仿真时的负载比实际测试时的负载小导致. 芯片正常工作时平均功耗为 15mW (含探测器功耗).

表 1 总结了该芯片的特征参数. 图 13 给出了该芯片的版图, 芯片尺寸 (含压点) 为 $4.0\text{mm} \times 5.2\text{mm}$.

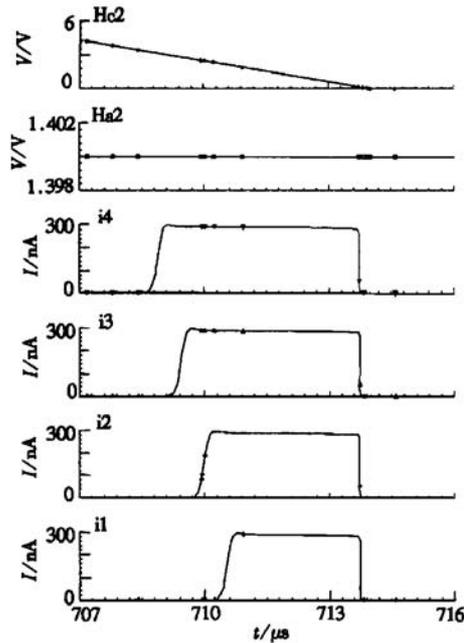


图 12 Hc 信号缓慢下降过程中列线电流特征

FIG. 12 Characteristics of Current on Column Bus During Falling Edge of Hc

表 1 OESCA 读出结构试验芯片的特征参数

Table 1 Features of OESCA Readout Structure Experimental Chip

探测器的界面电路	直接注入
电源电压	5V
阵列规模	64×64
填充比	80%
像素尺寸	50μm×50μm
输出摆幅	3.0V
电荷处理能力	10.37pC
最大读出速度	2MHz
帧频	50Hz
芯片尺寸	4.0mm×5.2mm
工艺	1.2μm DPDM
功耗	15mW

4 结论

本文介绍并分析了一个低功耗焦平面读出电路的新结构——OESCA 结构. 该结构像素电路非常简单, 仅用三个 NMOS 管, 填充比高达 80%, 电荷处理能力为 10.37pC; 采用两个低功耗设计的电荷放大器做列读出电路, 分别用于奇偶行的读出, 不但可以有效消除列线寄生电容的影响, 而且列读出电路的功耗也可降低 15%, 因此 OESCA 新结构特别适于要求低功耗设计的大规模、小像素阵列焦平面

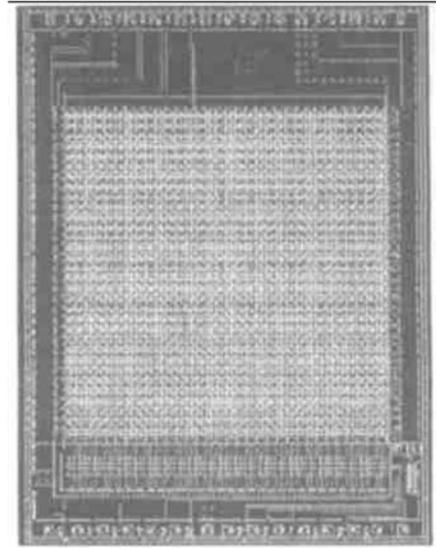


图 13 OESCA 结构 64×64 实验芯片版图

FIG. 13 Layout of 64×64 OESCA Readout Structure Experimental Chip

读出电路. 由仿真和测试结果知, 随光电流的线性增加或减少, 输出电压也线性增加或减少, 有良好线性度, 读出电路有良好性能.

致谢 作者感谢上海贝岭股份有限公司张征、中国华晶电子集团公司彭力等先生在工艺方面给予的有益讨论和支持.

参考文献

- [1] R. H. Nixon, S. E. Kemeny, B. Pain, C. O. Staller and E. R. Fossum, IEEE Journal of Solid-State Circuits, 1996, **31**(12): 2046—2050.
- [2] Shyh-Yih Ma and Liang-Gee Chen, A Single Chip CMOS ASP Camera with Direct Frame Difference Output, IEEE 1998 Custom Integration Circuit Conference, 1999, 287—290.
- [3] E. Mottin, P. Pantigny and R. Boch, An Improved Architecture of IRFPA Readout Circuits, Proc. SPIE 2894 Supplement, 1996, 37—46.
- [4] K. Chow, J. P. Rode, D. H. Seib and J. D. Blackwell, IEEE Trans. Electron Devices, 1982, **ED-29**(1): 3—13.
- [5] Zhongjian Chen, Xiaoyong Li and Lijiu Ji, A 128×128 CMOS Snapshot Readout Circuit for Focal Plane Array, Proceedings of the Conference on Chip Design Automation, 16th IFIP World Computer Congress 2000, 2000, 7—11.
- [6] S. M. Sze, Physics of Semiconductor Device, John Wiley & Sons, 1981, 408.

A Novel Low Power 64×64 CMOS Snapshot Readout Structure for Focal Plane Array

CHEN Zhong-jian¹, LI Xiao-yong¹, JI Li-jiu¹, HAN Jian-zhong² and YU Song-lin²

(¹ Institute of Microelectronics, Peking University, Beijing 100871, China)

(² NCRIEO, Beijing 100015, China)

Abstract: A novel low power CMOS snapshot readout structure called OESCA (Odd-Even Snapshot Charge Amplifier) for focal-plane array (FPA) is presented. The pixel circuit includes only three NMOS transistors. Using two low power charge amplifiers as column readout circuit (one is for the odd-row readout and the other is for the even-row), this structure can not only eliminate the influence of column bus parasitic capacitance, but also save 15% power dissipation of the column circuit. Thus, it is very suitable for large-format small-pixel lower-power readout circuit. An experimental 64×64 OESCA chip has been designed with $1.2 \mu\text{m}$ DPDM n-well CMOS technology. The charge handling capacity is 10.37pC with the pixel size of $50 \mu\text{m} \times 50 \mu\text{m}$. The descriptions of the readout circuit structure, pixel circuit, detector model, operation principle and chip layout is given in detail. Both excellent simulation results and experimental results of the fabricated OESCA readout chip are presented.

Key words: focal plane array; readout circuit; OESCA structure; low power design; snapshot

EEACC: 1220

Article ID: 0253-4177(2001)11-1450-08