

# CMOS 集成电路用 $\Phi 150$ — $200\text{mm}$ 外延硅材料\*

王启元<sup>1</sup> 林兰英<sup>1</sup> 何自强<sup>2</sup> 龚义元<sup>2</sup> 蔡田海<sup>1</sup> 郁元桓<sup>1</sup> 何龙珠<sup>2</sup> 高秀峰<sup>2</sup> 王建华<sup>1</sup> 邓惠芳<sup>1</sup>

(1 中国科学院半导体研究所 材料科学中心, 北京 100083)

(2 中国科学院微电子中心, 北京 100029)

**摘要:** 报道了  $\Phi 150\text{mm}$  CMOS 硅外延材料的研究开发及集成电路应用成果, 对  $\Phi 200\text{mm}$  P/P<sup>-</sup> 硅外延材料进行了初步探索研究.  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延片实现了批量生产, 并成功应用于集成电路生产线, 芯片成品率大于 80%. 硅外延片的参数指标能满足集成电路制造要求.

**关键词:** 硅; 外延生长; CMOS

**EEACC:** 2520C; 0520

**中图分类号:** TN 304. 1<sup>+</sup> 2

**文献标识码:** A

**文章编号:** 0253-4177(2001)12-1538-05

## 1 引言

硅外延材料是半导体集成电路产业的关键基础材料. 八十年代, 硅外延片主要应用于半导体分立器件制造. 随着集成度不断提高, 国际主流技术集成电路已经发展到  $0.35\mu\text{m}$  或更小的水平, 对硅表面的晶体质量提出了更高的要求. 而硅外延片近表层良好晶体完整性和高效的吸杂特性是确保半导体集成电路产品持久, 提高最终芯片成品率的关键. 近年来, 硅外延片主要应用于微处理器、逻辑电路芯片和 DRAM 等各类存储器制造<sup>[1]</sup>. 在先进 CMOS 工艺集成电路制造中, 广泛采用 P/P<sup>+</sup>、N/N<sup>+</sup> 结构的硅外延片<sup>[2]</sup>, 即在重掺 P 型或 N 型硅抛光衬底片上生长轻掺杂的 P 型或 N 型硅外延薄层. 这种结构的硅外延片能够改善芯片的隔离特性, 有效地抑制或消除 CMOS 集成电路的闭锁效应及软击穿, 从而提高最终集成电路成品率和电路可靠性<sup>[3,4]</sup>.

九十年代中期, CMOS 硅外延技术及硅外延材料在我国集成电路芯片制造业的应用刚刚起步. 为了配合国家亚微米、深亚微米 CMOS 技术的研究与开发, 加速 CMOS 硅外延技术的国产化, 我们主要

开展了  $\Phi 150\text{mm}$  CMOS 硅外延片的工艺技术攻关,  $\Phi 150\text{mm}$  硅外延片实现了小批量生产, 并率先成功应用于国内主要集成电路生产线, 取得了很好的集成电路应用成果. 另外对  $\Phi 200\text{mm}$  P/P<sup>-</sup> 硅外延材料生长进行了初步探索研究.

## 2 外延生长实验

$\Phi 150$ — $200\text{mm}$  硅外延材料生长是在 PE2061 硅外延炉上进行的. PE2061 是 1998 年从意大利引进我国的第一台  $\Phi 100$ — $200\text{mm}$  兼容性强的硅外延设备, 两个外延生长室交替工作, 有利于缩短生长工艺周期. 采用  $4000\text{Hz}$  中频加热方式, 立式的桶状石墨基座, 单炉硅外延片的装片量分别为:  $\Phi 100\text{mm}$ : 30 片;  $\Phi 125\text{mm}$ : 24 片;  $\Phi 150\text{mm}$ : 14 片;  $\Phi 200\text{mm}$ : 5 片. 特别是该外延炉具有厚膜硅外延生长能力, 外延层厚度范围为  $2$ — $150\mu\text{m}$ . 典型的本征电阻率可达到  $700\Omega \cdot \text{cm}$  以上.

实验中主要进行了  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片研制开发, 并初步外延生长了  $\Phi 200\text{mm}$  P/P<sup>-</sup> 硅外延材料. 外延生长是在常压氢气氛下进行的, 用  $\text{SiHCl}_3$ 、硼烷分别作为硅源和掺杂源, 主氢流量为

\* “九五”国家重点科技攻关计划资助项目.

王启元 男, 副研究员, 目前主要从事大直径外延硅材料、SOS 及新型 SOI 材料生长及材料物理研究.

2001-02-26 收到, 2001-04-10 定稿

300L/min. 外延生长温度为  $1120^\circ\text{C}$ . 外延前进行标准的氯化氢气相腐蚀工艺, 气相腐蚀的温度为  $1130^\circ\text{C}$ .  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片采用进口的 P 型重掺硅抛光衬底片, 电阻率为  $0.01\Omega \cdot \text{cm}$ , 外延层厚度  $12\mu\text{m}$ , 电阻率  $6-35\Omega \cdot \text{cm}$ .  $\Phi 200\text{mm}$  P/P<sup>-</sup> 硅外延材料采用进口的 P 型轻掺杂的硅衬底片. 对  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延材料进行了外延层厚度、电阻率、平整度、表面微粗糙度及表面颗粒等基本参数的系统测量, 并提供给国内的主要集成电路生产线, 进行了集成电路芯片开发应用. 对  $\Phi 200\text{mm}$  P/P<sup>-</sup> 新型结构的硅外延材料的电阻率参数进行了初步分析.

### 3 材料研究、测试分析结果

以亚微米、深亚微米 CMOS 工艺集成电路的应用为目标, 主要开展了 CMOS 硅外延技术与外延吸杂技术攻关, 研制、开发了  $\Phi 150\text{mm}$  P/P<sup>+</sup>、N/N<sup>+</sup> CMOS 外延硅材料. 重点解决了硅外延生长、外延吸杂关键技术, 研究了外延生长工艺中本征吸杂与

外吸杂作用的机制、吸杂效率、吸杂稳定性及对硅外延片质量影响. 提出了重掺硅氧含量定量分析方法、气相腐蚀、调制掺杂、重掺硅衬底片平整度改进的新工艺技术途径, 建立了完整的亚微米、深亚微米 CMOS 电路用 P/P<sup>+</sup>、N/N<sup>+</sup> 硅外延片生长技术规范, 实现了  $\Phi 150\text{mm}$  P/P<sup>+</sup>、N/N<sup>+</sup> CMOS 硅外延片小批量生产. 外延片成品率达到 98% 以上.

#### 3.1 $\Phi 150\text{mm}$ P/P<sup>+</sup> CMOS 硅外延片厚度、电阻率

采用扩展电阻探针方法测量了硅外延片的电阻率及其深度分布(见表 1 和图 1), 每个外延片进行了对称的 5 点测量(中心点及半径中心一半处). 用红外方法测量了硅外延厚度, 列于表 1 中. 根据下列两个公式分别计算了外延层厚度、电阻率均匀性.

$$\Delta\rho/\rho = (\rho_{\max} - \rho_{\min}) / (\rho_{\max} + \rho_{\min})$$

$$\Delta t/t = (t_{\max} - t_{\min}) / (t_{\max} + t_{\min})$$

其中  $\rho_{\max}$ 、 $\rho_{\min}$  为电阻率最大、最小值;  $t_{\max}$ 、 $t_{\min}$  为厚度最大、最小值.

表 1  $\Phi 150\text{mm}$  100) P/P<sup>+</sup> 硅外延片 5 点的厚度、电阻率及过渡区宽度

Table 1 5-Point Thickness, Resistivity and Transition Width of 150mm P/P<sup>+</sup> Epitaxial Silicon Wafer

	1	2	3	4	5	平均值	均匀性/%
外延厚度/ $\mu\text{m}$	11.77	11.77	11.96	11.87	11.95	11.86	$\leq \pm 0.8$
外延电阻率/ $\Omega \cdot \text{cm}$	25.69	26.37	26.08	27.97	27.03	26.63	$\leq \pm 4.2$
过渡区宽度/ $\mu\text{m}$	< 1	< 1	< 1	< 1	< 1	< 1	

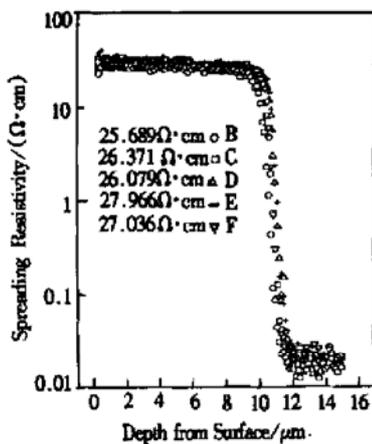


图 1  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延片电阻率深度分布

FIG. 1 Resistivity Depth Profile of 150mm P/P<sup>+</sup> Epitaxial Silicon Wafer

从硅外延片 5 点电阻率的深度分布可以看出, 硅外延层的电阻率呈现很好的重复性, 表明外延层的径向电阻率具有良好的均匀性, 外延层、硅衬底的界面处电阻率变化十分陡峭, 过渡区宽度很小. 通过测试结果分析,  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片厚度、电阻率均匀性及过渡区宽度的材料参数指标分别达到:  $\Delta t/t < \pm 3.5\%$ ;  $\Delta\rho/\rho \leq \pm 5\%$ ; 过渡区宽度  $< 1\mu\text{m}$ .

#### 3.2 $\Phi 150\text{mm}$ P/P<sup>+</sup> CMOS 硅外延片表面颗粒

对批量开发生产的  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片表面颗粒进行了测量, 送检的硅外延片数量为 12 片. 经标准化学清洗工艺, 在 10 级净化厂房, 采用进口表面颗粒测试仪分析测试了硅外延片的表面颗粒分布, 颗粒尺寸大小依次分为四个档次: p4:  $0.16-0.24\mu\text{m}$ , p3:  $0.24-0.50\mu\text{m}$ , p2:  $0.5-$

1.0 $\mu\text{m}$ , p1: > 1.0 $\mu\text{m}$ . 图 2 为硅外延片的表面颗粒统计分布, 可以清楚地看出,  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片的表面颗粒总数(颗粒尺寸大于 0.16 $\mu\text{m}$ )绝大部分在 10–25 个/片, 平均表面颗粒数为 17 个/片.

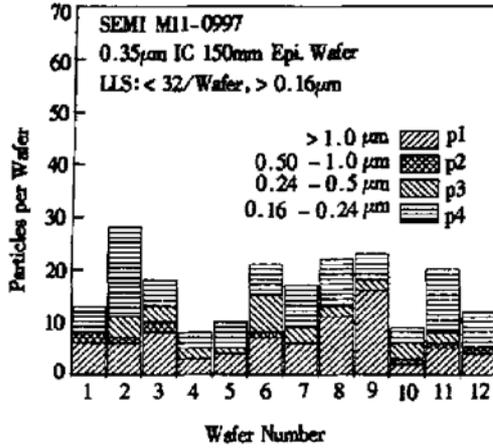


图 2  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延片表面颗粒分布

FIG. 2 Particles Profile of 150mm P/P<sup>+</sup> Epitaxial Silicon Wafer

### 3.3 $\Phi 150\text{mm}$ P/P<sup>+</sup> CMOS 硅外延片表面微粗糙度

采用 DI 公司生产的 Nanoscope IIIA 型号的扫描探针显微镜表征了外延工艺前后  $\Phi 150\text{mm}$  P<sup>+</sup> 硅衬底片及 P/P<sup>+</sup> CMOS 硅外延片表面微粗糙度(以 Rms 或 Rq 表示), 扫描面积为标准 10 $\mu\text{m} \times 10\mu\text{m}$ . Rms(或 Rq) 定义为:

$$Rms = [ \sum (Z_i - Z_{ave})^2 / N ]^{1/2}$$

$$i = 1, 2, \dots, N, N = 256 \times 256$$

式中  $Z_i$  为任意测试点表面起伏变化值;  $Z_{ave}$  为所有测试点表面变化算术平均值.

表 2 列出了外延工艺前后硅片表面微粗糙度变化. 表面微粗糙度分析发现, 外延生长过程中, 外延前的气相腐蚀工艺对硅衬底片微粗糙度变化进而对硅外延片的表面微粗糙度有很大的影响. 通过优化气相腐蚀工艺如腐蚀的温度和时间工艺参数, 无论是采用国产或进口的硅衬底片, 外延生长或制备的硅外延片微粗糙度参数能够得到保证, 不至于硅外延片微粗糙度变化太坏. 采用优化的外延工艺研制的硅外延片具有良好的微粗糙度特性, 表面微粗糙度小于 0.15nm. 但表面形貌显示国产的硅抛光衬底片表面残存比较多的表面颗粒物, 可能与国产抛光衬底片清洗封装工艺有关.

表 2 外延工艺前后硅片微粗糙度数据

Table 2 Microroughness Data of Silicon Wafer Pre- and Post-Epitaxy Process

硅片样品	表面微粗糙度 Rms/nm				
	1	2	3	4	平均值
$\Phi 150\text{mm}$ P <sup>+</sup> (Wacker 衬底片)	0.116	0.117	0.112	0.115	0.115
$\Phi 150\text{mm}$ P/P <sup>+</sup> 外延片	0.149	0.147	0.146	0.143	0.146

### 3.4 $\Phi 150\text{mm}$ P/P<sup>+</sup> CMOS 硅外延片平整度

对研制开发的  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片进行了平整度结合参数的测量, 图 3、4 为典型的  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片的(抽样 12 片)局部平整度(STIR)和平整度(TIR)参数统计分布检测结果. 图 3、4 显示, 抽测硅外延片样品的 STIR 数据集中分布范围为: 0.6–0.9 $\mu\text{m}$ . 而 TIR 数据分布

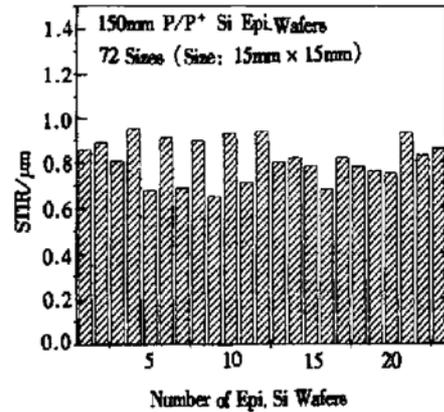


图 3  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延片 STIR 分布

FIG. 3 STIR Profile of 150mm P/P<sup>+</sup> Epitaxial Silicon Wafer

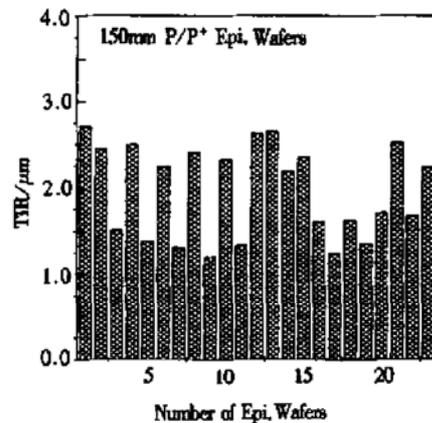


图 4  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延片 TIR 分布

FIG. 4 TIR Profile of 150mm P/P<sup>+</sup> Epitaxial Silicon Wafer

范围为:  $1.25\text{--}2.78\mu\text{m}$ . 该平整度和局部平整度参数均满足亚微米 CMOS 集成电路硅外延片材料参数要求.

经过九五攻关研究, 研制、开发了高质量的 CMOS 硅外延片,  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片已经实现了小批量生产, 具备 3000—6000 片/月的生产能力. 硅外延片厚度、电阻率、表面颗粒、表面微粗糙度和平整度等参数系统测试分析结果表明: 研制、开发的硅外延片的指标达到了 MEMC 等材料的国际先进水平, 符合  $0.35\mu\text{m}$  DRAM 集成电路用硅外延片的 SEMI 国际规范(即 SEMI M11-0997).

### 3.5 $\Phi 200\text{mm}$ P/P<sup>-</sup> 硅外延材料探索

在完成  $\Phi 150\text{mm}$  P/P<sup>+</sup> CMOS 硅外延片研制、开发的同时, 在 PE2061 硅外延炉上进行了  $\Phi 200\text{mm}$  P/P<sup>-</sup> 硅外延片初步探索研究, 在 P<sup>-</sup> 硅衬底上进行了不同厚度的薄层外延生长, 外延层厚度分别为 2.5 和  $10\mu\text{m}$ . 这种 P/P<sup>-</sup> 新型结构薄层硅外延片, 不是采用通常的 P<sup>+</sup> 重掺背封衬底片, 而是在 P<sup>-</sup> 衬底上生长导电类型、电阻率与硅衬底相同的薄外延层(厚度小于  $2\mu\text{m}$ ), 覆盖硅衬底表面的 COP's 缺陷, 改善亚微米集成电路栅氧化层的完整性. 采用轻掺杂的硅衬底片, 不需要背封, 减少了自扩散和背扩散效应. 由于生长的硅外延层厚度很薄, 生长时间大大缩短, 这样使得硅外延片更具有价格竞争优势. 采用该种硅外延片, 原来的硅抛光片的集成电路工艺无需作任何改变. 初步测量了外延层电阻率参数(见表 3), 结果表明: 采用桶装外延炉外延生长的硅外延片具有良好的电阻率均匀性. 其它测量参数如 STIR、厚度均匀性、表面微粗糙度及表面晶体质量等有待进一步的测试分析.

表 3  $\Phi 200\text{mm}$  P/P<sup>-</sup> 硅外延片 5 点电阻率(Hg C-V 测量)

Table 3 5-Point Resistivity Data of 200mm Epitaxial Silicon Wafer by C-V

样品编号	1	2	3	4	5	平均值	均匀性/%
RUN0( $t: 10\mu\text{m}$ )	24	23.8	23.9	24.7	25.9	24.5	$\pm 4.0$
RUN1( $t: 5\mu\text{m}$ )	24.1	24.9	24.0	25.7	26.3	24.8	$\pm 4.6$
RUN2( $t: 2\mu\text{m}$ )	26.9	27.9	28.4	29.6	28.2	28.2	$\pm 4.8$

## 4 集成电路应用

开发的  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延片率先成功应用于上海先进半导体公司的  $\Phi 150\text{mm}$  CMOS 工艺集成电路生产线, 与进口 MEMC 公司、上海先进公司的外延片同时进行了集成电路新品开发实验. 电路应用表明: 研制的硅外延片与 MEMC 进口硅外延片及上海先进公司的外延片制作的电路主要指标及芯片成品率相当, 芯片成品率大于 80%, 可以达到 95%. 外延片质量与进口硅外延片相当, 能满足集成电路制造要求.

## 5 结论

以亚微米集成电路应用为目标, 主要开展了 CMOS 集成电路用  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延材料开发研究, 研制开发了高质量的 CMOS 硅外延片, 实现了小批量生产, 达到 3000—6000 片/月生产能力. 硅外延片的主要参数指标达到: 厚度均匀性  $\leq \pm 3.5\%$ ; 电阻率均匀性  $\leq \pm 5\%$ ; 表面微粗糙度  $< 0.15\text{nm}$ ; 表面颗粒  $< 17/\text{片}$ (颗粒尺寸  $> 0.15\mu\text{m}$ ). 批量开发的  $\Phi 150\text{mm}$  P/P<sup>+</sup> 硅外延材料成功应用于国内的主要集成电路生产线, 取得了良好的集成电路应用成果. 进行的  $\Phi 200\text{mm}$  P/P<sup>-</sup> 硅外延材料探索研究为我国  $\Phi 200\text{mm}$  硅外延材料的研制开发奠定了基础.

## 参考文献

- [1] H. Shimizu, Y. Sugino *et al.*, Jpn. J. Appl. Phys., 1997, **36** (5A): 2565—2570.
- [2] Wang Qi-Yuan, Cai Tian-hai, Yu Yuan-huan and Lin Lany-ing, Chinese Journal of Semiconductors, 2000, **21**(5): 426—430[王启元, 蔡田海, 郁元桓, 林兰英, 半导体学报, 2000, **21**(5): 426—430].
- [3] MEMC Company, Semiconductor International, September, 2000, 175.
- [4] MEMC Company, Semiconductor International, October, 2000, 228.

## $\Phi 150$ — $200$ mm Epitaxial Silicon Materials Applied to CMOS Integrated Circuits<sup>\*</sup>

WANG Qi-yuan<sup>1</sup>, LIN Lan-ying<sup>1</sup>, HE Zi-qiang<sup>2</sup>, GONG Yi-yuan<sup>2</sup>, CAI Tian-hai<sup>1</sup>, YU Yuan-huan<sup>1</sup>,  
HE Long-zhu<sup>2</sup>, GAO Xiu-feng<sup>2</sup>, WANG Jian-hua<sup>1</sup> and DENG Hui-fang<sup>1</sup>

(1 *Materials Science Center, Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China*)

(2 *Microelectronic R & D Center, The Chinese Academy of Sciences, Beijing 100029, China*)

**Abstract:** The latest research and development of  $\Phi 150$ mm epitaxial silicon materials and their applications for ICs are reported. The preliminary study on  $\Phi 200$ mm P/P<sup>-</sup> epitaxial silicon wafer is carried out. Research results indicated that  $\Phi 150$ mm epitaxial silicon wafers are accomplished in volume production and successfully used for IC fabrications with a high device yields of above 80%. The material parameters of the epitaxial wafers can meet the demanding requirements of ICs fabrications.

**Key words:** silicon; epitaxial growth; CMOS

**EEACC:** 2520C; 0520

**Article ID:** 0253-4177(2001)12-1538-05

---

<sup>\*</sup> Project Supported by the National Ninth 5-Year Plans of China(No: 97-763-01-01).

WANG Qi-yuan male, associate professor. His current research interests focus on the epitaxial growth and materials physics of the large diameter epitaxial silicon wafers, SOS and novel SOI.

Received 26 February 2001, revised manuscript received 10 April 2001

©2001 The Chinese Institute of Electronics