

# 薄栅介质 TDDB 效应\*

刘红侠 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

**摘要:** 在恒压和恒流应力条件下测试了超薄栅氧化层的击穿特性, 研究了 TDDB (Time Dependent Dielectric Breakdown) 的可靠性表征方法。对相关击穿电荷量  $Q_{BD}$  进行了实验测试和分析。结果表明: 相关击穿电荷量  $Q_{BD}$  除了与氧化层质量有关外, 还与应力电压和应力电流密度以及栅氧化层面积有关。对相关系数进行了拟合, 给出了  $Q_{BD}$  的解析表达式。按照上述表达式外推的结果和实验值取得了很好的一致。提出了薄栅介质 TDDB 效应的表征新方法。

**关键词:** TDDB; 击穿机理; 击穿电荷; 可靠性表征

**EEACC:** 7310B; 2520E

中图分类号: TN 386

文献标识码: A

文章编号: 0253-4177(2001)12-1592-04

## 1 引言

集成电路以高速化和高性能化为目标, 实现进一步的微细结构。随着微细结构在工业上的实现, 降低成本和提高集成度成为可能。但另一方面, 随着 MOS 集成电路微细化的发展, 栅氧化层向薄膜方向发展, 而电源电压却不宜降低, 在较高的电场强度下, 使栅氧化层的性能成为一个突出的问题。栅氧化电性能不好将引起 MOS 器件电参数不稳定, 如: 阈电压漂移、跨导下降、漏电流增加等, 进一步可引起栅氧的击穿。栅氧击穿作为 MOS 电路的主要失效模式已成为目前国际上关注的热点<sup>[1-6]</sup>。

目前, 对薄栅氧化层 TDDB 特性的研究焦点集中在其击穿机理和栅介质击穿参数的表征上。本文对于薄栅氧化层击穿机理进行了实验分析和理论研究, 结果表明: 薄栅氧化层的击穿机理与 F-N 隧道电流有关, 薄 SiO<sub>2</sub> 中的高场诱发陷阱, 电荷状态与原生陷阱、电荷一起形成了 F-N 电流, 产生电压的时变效应, 最后导致 SiO<sub>2</sub> 的介质击穿。本文还研究了影响击穿电荷量  $Q_{BD}$  的因素, 在 TDDB 中常用

$Q_{BD}$  的大小作为薄栅介质质量的判据, 但实验表明  $Q_{BD}$  不是常数, 它与应力电压  $V_g$  以及栅氧化层面积  $S$  呈现幂函数关系。理论分析认为, 应力增加和电容面积增加使得氧化层局部陷阱密度增加, 从而加剧了栅介质的损伤, 导致  $Q_{BD}$  下降。

## 2 薄栅氧化层击穿可靠性表征研究

为研究栅介质 TDDB 的击穿机理和击穿参数的表征, 对厚度 10nm 的 SiO<sub>2</sub> 介质组成的 MOS 电容进行了大量的实验。栅氧化层 TDDB 特性的测试方法主要有恒定电流源、恒定电压源、斜坡电流源及斜坡电压源等方法。

本文的实验采用恒定电压源和恒流源方法。实验所用样品为制作在 P(100) 型的硅衬底上的多晶硅栅型 MOS 电容, 825°C 干氧栅氧化后在 900°C 氮气中退火 20min, 最终栅氧化层厚度为 10nm, 对于每一种结构电容都有三种不同面积, 其面积分别为 100μm × 150μm、200μm × 300μm 和 300μm × 500μm。利用 HP4156B 高精度半导体参数分析仪对电容施加不同的恒压应力和恒流应力, 测量栅电流

\* 国防预研基金资助项目(No. O0J8. 4. 3DZ01)。

刘红侠 女, 1968 年出生, 副教授, 博士生, 主要从事 VLSI 集成电路 MOS 器件高场退化机理、模型及薄栅介质可靠性设计研究。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要从事 VLSI 集成电路可靠性设计、深亚微米器件表征和建模、新器件与电路研究。

2001-01-11 收到, 2001-04-28 定稿

© 2001 中国电子学会

$I_g$ 、击穿时间  $T_{BD}$  和击穿电荷量  $Q_{BD}$ .

## 2.1 恒压应力下电容面积 $S$ 对 $Q_{BD}$ 的影响

对于上述三种面积( $100\mu\text{m} \times 150\mu\text{m}$ ,  $200\mu\text{m} \times 300\mu\text{m}$ ,  $300\mu\text{m} \times 500\mu\text{m}$ )的P型衬底电容施加恒压应力  $V_g = 9.4\text{V}$ , 测量击穿电荷量  $Q_{BD}$ , 如图1所示. 由图可见, 在栅电压  $V_g$  一定时, 随着电容面积  $S$  的增加, 击穿电荷量  $Q_{BD}$  出现下降的趋势, 并且击穿电荷量  $Q_{BD}$  和电容面积  $S$  呈现幂函数关系.

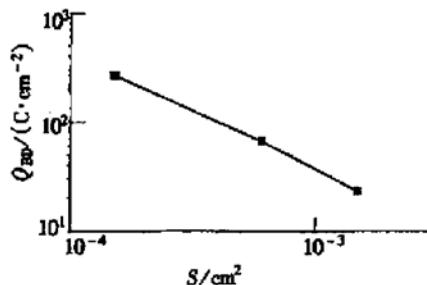


图1 恒压偏置下击穿电荷量  $Q_{BD}$  与电容面积  $S$  的关系

FIG. 1 Relation Between Charge to Breakdown  $Q_{BD}$  and Area of Capacitor  $S$  Under Constant Voltage Stress

## 2.2 恒压应力下栅电压 $V_g$ 对 $Q_{BD}$ 的影响

对于面积  $S$  为  $100\mu\text{m} \times 150\mu\text{m}$  的P型衬底电容施加不同的恒压应力, 栅电压  $V_g$  分别为 5.2、6.6、8.0、9.4、10.8、12.2V. 测量击穿电荷量  $Q_{BD}$  与栅电压  $V_g$  的变化关系, 结果如图2所示. 由图可见, 当电容面积  $S$  一定时, 随着栅电压  $V_g$  的增加, 击穿电荷量  $Q_{BD}$  出现下降的趋势, 二者之间呈现幂函数关系. 上述两实验都说明了恒压应力下击穿电荷量  $Q_{BD}$  并非是常数, 它随着电容面积  $S$  和栅电压  $V_g$  的

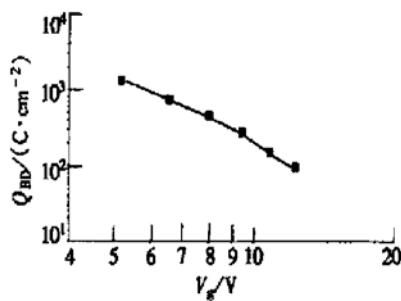


图2 恒压偏置下击穿电荷量  $Q_{BD}$  与栅电压  $V_g$  关系

FIG. 2 Relation Between Charge to Breakdown  $Q_{BD}$  and Gate Voltage  $V_g$  Under Constant Voltage Stress

变化而变化.

## 2.3 恒流应力下电容面积 $S$ 对 $Q_{BD}$ 的影响

对于三种不同面积( $100\mu\text{m} \times 150\mu\text{m}$ ,  $200\mu\text{m} \times 300\mu\text{m}$ ,  $300\mu\text{m} \times 500\mu\text{m}$ )的P型衬底电容施加恒流应力  $I_g = 900, 360, 90\mu\text{A}$ , 与之对应的电流密度均为  $J = 600\text{mA/cm}^2$ , 测量击穿电荷量  $Q_{BD}$ , 如图3所示. 可见, 在电流密度  $J_g$  一定时, 随着电容面积  $S$  的增加, 击穿电荷量  $Q_{BD}$  下降, 击穿电荷量  $Q_{BD}$  和电容面积  $S$  呈现幂函数关系. 这进一步说明了电容面积  $S$  对于本征击穿的影响.

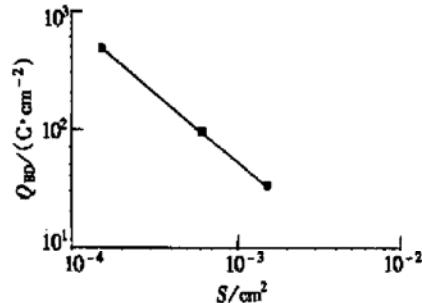


图3 恒流偏置下击穿电荷量  $Q_{BD}$  与电容面积  $S$  的关系

FIG. 3 Relation Between Charge to Breakdown  $Q_{BD}$  and Area of Capacitor  $S$  Under Constant Current Stress

## 2.4 恒流应力下电流密度 $J_g$ 对 $Q_{BD}$ 的影响

对于面积为  $100\mu\text{m} \times 150\mu\text{m}$  的P型衬底电容施加恒流应力  $I_g = 60, 90, 120, 150\mu\text{A}$ , 与之对应的电流密度  $J_g = 400, 600, 800, 1000\text{mA/cm}^2$ , 测量击穿电荷量  $Q_{BD}$ , 如图4所示. 可见, 当电容面积  $S$  一定时, 随着电流密度  $J_g$  的增加, 击穿电量  $Q_{BD}$  出现

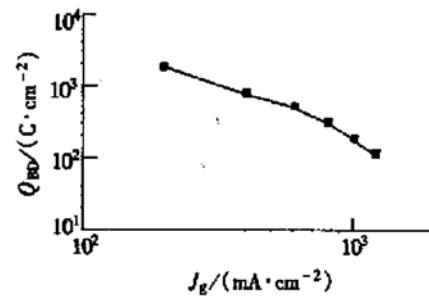


图4 恒流偏置下击穿电荷量  $Q_{BD}$  与电流密度  $J_g$  的关系

FIG. 4 Relation Between Charge to Breakdown  $Q_{BD}$  and Current Density  $J_g$  Under Constant Current Stress

下降的趋势,二者之间呈现幂函数关系。实验结果表明在恒流应力下击穿电荷量  $Q_{BD}$  不是常数,它随着电容面积  $S$  和电流密度  $J_g$  的增加而减小。

## 2.5 结果讨论

对于介质的时变击穿即 TDDB, 文献中通常用相关击穿电荷量  $Q_{BD}$  来描述<sup>[7]</sup>,

$$Q_{BD} = \int_0^{T_{BD}} J_{FN}(T) dT \quad (1)$$

在恒流应力条件下,  $Q_{BD}$  与  $T_{BD}$  之间有简单的函数关系, 即

$$Q_{BD} = J_{FN} T_{BD} \quad (2)$$

其中  $J_{FN}$  是恒流注入的 F-N 隧道电流密度。在有限的应力变化范围内,  $Q_{BD}$  随  $J_{FN}$  的相对变化量远比  $T_{BD}$  小得多, 即

$$\frac{dQ_{BD}}{Q_{BD}} \ll \frac{dT_{BD}}{T_{BD}} \quad (3)$$

相对而言,  $Q_{BD}$  可以近似看成常数。因此至今为止, 常用  $Q_{BD}$  的大小作为薄栅介质质量的判据<sup>[8-10]</sup>。然而, 本文通过对 MOS 电容所进行的大量测试表明, 当应力变化范围较大时,  $Q_{BD}$  不是常数,  $Q_{BD}$  与应力有关, 随着应力密度增加,  $Q_{BD}$  出现下降的趋势, 这是因为随着应力密度增加, 电子从高场中获得的能量增加, 从而加速了新生陷阱的产生, 新生的陷阱俘获 F-N 隧道注入的电子形成空间电荷, 并且在  $\text{SiO}_2$  内部发生电荷的积累, 从而加剧了栅介质的损伤, 使得在较短的时间和较低的击穿电荷量  $Q_{BD}$  下便发生击穿。此外,  $Q_{BD}$  还与栅氧化层面积  $S$  有关, 随着栅氧化层面积  $S$  的增加, 即对大面积的氧化层, 在应力作用下氧化层局部产生陷阱的几率增加, 从而使击穿电荷量  $Q_{BD}$  降低。因此, 用  $Q_{BD}$  的大小作为薄栅介质质量的判据只能是某种程度上的近似。由上述实验结果可推知, 恒压偏置条件下击穿电荷量  $Q_{BD}$  和电容面积  $S$  及栅电压  $V_g$  的关系可以用解析式表示成

$$Q_{BD}(S, V) = aS^{-b}V_g^{-c} \quad (4)$$

式中 系数  $a$ 、 $b$  和  $c$  的值与氧化层的性能(生长条件, 栅极材料等)及偏置条件有关。在上述应力条件下, 对其相关参数  $a$ 、 $b$  和  $c$  进行了拟合, 结果为  $a=15.066$ ,  $b=1.059$ ,  $c=2.879$ 。上述表达式对不同的  $S$  和  $V_g$  外推进行验证, 结果见图 5。图中方形代表  $S=200\mu\text{m} \times 300\mu\text{m}$ , 圆形代表  $S=300\mu\text{m} \times 500\mu\text{m}$ ,

实心代表理论值, 空心代表实验值, 在很大的栅电压范围和电容面积范围内实验结果和理论值取得了很好的一致。

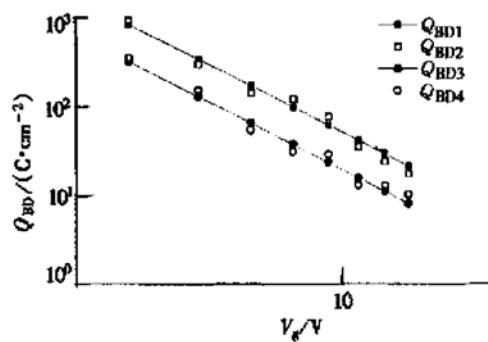


图 5 恒压偏置下击穿电荷量  $Q_{BD}$  与栅电压  $V_g$  的关系

FIG. 5 Relation Between Charge to Breakdown  $Q_{BD}$  and Gate Voltage  $V_g$  Under Constant Voltage Stress.

同理, 恒流偏置条件下击穿电荷量  $Q_{BD}$  和电容面积  $S$  及电流密度  $J_g$  的关系可以用解析式表示成

$$Q_{BD}(S, J_g) = aS^{-b}J_g^{-c} \quad (5)$$

式中 相关参数  $a$ 、 $b$  和  $c$  拟合结果分别为  $a=977.2$ ,  $b=1.20$ ,  $c=1.76$ 。上述表达式对不同的  $S$  和  $J_g$  外推进行验证, 结果见图 6。理论和实验取得了很好的一致。

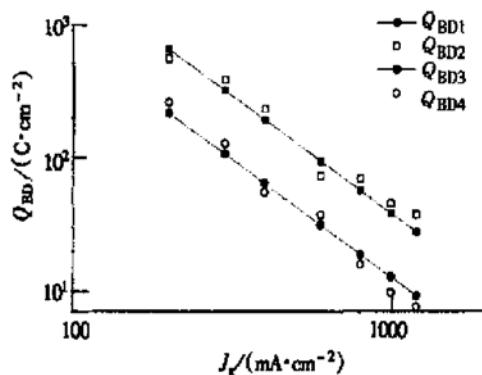


图 6 恒流偏置下击穿电荷量  $Q_{BD}$  与电流密度  $J_g$  的关系

FIG. 6 Relation Between Charge to Breakdown  $Q_{BD}$  and Current Density  $J_g$  Under constant Current Stress

上述研究结果有力地证明了击穿电荷量  $Q_{BD}$  不是常数, 它除了与氧化层质量有关外, 还与所加的栅电压、栅电流以及栅氧化层面积相关。通常用  $Q_{BD}$  的

大小作为薄栅介质质量的判据只能是某种程度上的近似。

### 3 结论

利用恒定电压应力和恒定电流应力分别对PMOS电容进行击穿特性测试,研究结果表明:击穿电荷量 $Q_{BD}$ 不是常数,对恒定电压应力,击穿电荷量 $Q_{BD}$ 是应力电压 $V_g$ 以及栅氧化层面积 $S$ 的幂函数,对恒定电流应力,击穿电荷量 $Q_{BD}$ 是恒定电流应力 $J$ 以及栅氧化层面积 $S$ 的幂函数,对于不同的应力条件推出了 $Q_{BD}$ 的解析表达式,并且对相关参数进行了拟合,理论和实验取得了很好的一致。

### 参考文献

- [ 1 ] David J. Dumin, IEEE Trans. Electron Devices, 1994, **41**: 1570.
- [ 2 ] Pushkar P. Apte, IEEE Trans. Electron Devices, 1994, **41**: 1595.
- [ 3 ] Chou-Feng Chen and Ching-Yuan Wu, IEEE Trans. Electron Devices, 1997, **4**: 1540.
- [ 4 ] Jack C. Lee, I. C. Chen and C. Hu, IEEE Trans. Electron Devices, 1988, **35**: 2268.
- [ 5 ] B. Ricco, Phys. Rev. Lett., 1983, **51**: 1795.
- [ 6 ] LIU Hongxia and HAO Yue, Charge to Breakdown of Thin Gate Oxides, Chinese Journal of Semiconductors, 2001, **22**(2): 156—160(in Chinese)[ 刘红侠, 郝跃, 薄栅氧化层相关击穿电荷, 半导体学报, 2001, **22**(2): 156—160].
- [ 7 ] C. Hu, Tech. Digest IEDM, 1985, 368.
- [ 8 ] Z. H. Liu, P. T. Lai and Y. C. Cheng, IEEE Trans. Electron Devices, 1991, **38**: 344.
- [ 9 ] P. Olivo, T. N. Nguyen and B. Ricco, IEEE Trans. Electron Devices, 1991, **38**: 527.
- [ 10] D. R. Wolter, J. J. Van and D. Schoot, Philips J. Res., 1985, **40**: 115.

## TDDB Effect for Thin Gate Dielectric\*

LIU Hong-xia and HAO Yue

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

**Abstract:** The breakdown characteristics of ultra thin gate oxide are measured under the constant voltage and constant current stresses. The reliability characterization methods of TDDB are investigated. The measured results show that charge to breakdown  $Q_{BD}$  depends on not only the quality of the gate oxides but also the stressed voltage, current density and area of gate oxide. An analytical expression of  $Q_{BD}$  is deduced after extracting the fitted relative coefficients. The extrapolating results according to the described above relation are in good agreement with the experiment value. A new characterization method of thin gate dielectric TDDB is presented.

**Key words:** TDDB; breakdown mechanism; charge to breakdown; reliability characterization

**EEACC:** 7310B; 2520E

**Article ID:** 0253-4177(2001)12-1592-04

\* Project Supported by National defence Pre-Research Foundation of China (No. O0J8.4.3DZ01).

LIU Hong-xia female, was born in 1968, associate professor, PhD candidate. Her present interests and activities cover aging theories and modeling of MOS devices in VLSI integrated circuits, and reliability design of thin gate dielectric.

HAO Yue male, was born in 1958, professor, tutor of PhD candidate. His research interests include VLSI integrated circuits reliability design, deep-submicron device characterization and modeling, novel devices and novel circuits.