

# 薄栅氧化层击穿特性的实验研究\*

刘红侠 郝跃

(西安电子科技大学微电子研究所 西安 710071)

**摘要** 在恒流应力条件下测试了薄栅氧化层的击穿特性, 研究了 TDDB 的击穿机理, 讨论了栅氧化层面积对击穿特性的影响。对相关击穿电荷  $Q_{BD}$  进行了实验测试和分析, 研究结果表明: 相关击穿电荷  $Q_{BD}$  除了与氧化层质量有关外, 还与应力电流密度以及栅氧化层面积强相关。得出了  $Q_{BD}$  的解析表达式, 并且对相关参数进行了研究。

**关键词** 击穿, 栅氧化层, 实验, 与时间有关的介质击穿(TDDB)

EEACC: 7310B, 2520E

文章编号: 0253-4177(2000)02-0146-05

## Experimental Research on Breakdown Characteristics of Thin Gate Oxide<sup>\*</sup>

LIU Hong-xia and HAO Yue

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Received 31 January 1999, revised manuscript received 25 April 1999

**Abstract** Breakdown characteristics of thin gate oxide are tested under constant current stresses, breakdown theories of TDDB are researched and effects from area of gate oxide to breakdown characteristics are discussed. The charge to breakdown  $Q_{BD}$  is tested and the results show: the charge to breakdown  $Q_{BD}$  is dependent on stressed current density and area of gate oxide. An analytical expression of  $Q_{BD}$  is educed and relative parameters are fitted.

**Key Words:** Breakdown, Gate Oxide, Experiment Determination, Time Dependent Dielectric Breakdown

EEACC: 7310B, 2520E

Article ID: 0253-4177(2000)02-0146-05

\* 国防科技电子预研资助项目(Advanced Research Project in Electronics Supported by National Defence Scientific and Technical Program of China].

刘红侠 女, 1968 年出生, 工程师, 主要从事 VLSI 集成电路 MOS 器件高场退化机理、模型及可靠性设计研究。

郝跃 男, 1958 年出生, 教授, 博士生导师, 主要从事 IC 统计模型和优化、IC 可靠性设计及 IC 可制造性工程与设计方法学、新器件与电路研究。

1999-01-31 收到, 1999-04-25 定稿

## 1 引言

随着超大规模集成电路尺寸按比例缩小,对于高可靠性薄栅氧化层的要求在日益提高。与时间有关的介质击穿(TDDB)作为VLSI中最主要的失效机理而倍受关注。目前,对薄栅氧化层TDDB特性的研究焦点集中在其击穿机理和栅介质击穿的表征上。本文第二部分对于薄栅氧化层击穿机理进行了实验分析和研究,探讨了栅氧化层面积 $S$ 对击穿时间 $T_{BD}$ 的影响,第三部分研究了影响击穿电荷 $Q_{BD}$ 的因素,认为相关击穿电荷 $Q_{BD}$ 不是常数,它与应力电流密度 $J$ 以及栅氧化层面积 $S$ 呈现幂函数关系。

## 2 薄栅氧化层的击穿机理研究

栅氧化层TDDB特性的测试方法主要有恒定电流、恒定电压、斜坡电流及斜坡电压等方法<sup>[1,2]</sup>。本文采用恒流源方法。实验所用样品为制作在P(100)的硅衬底上的多晶硅栅P型MOS电容,825°C干氧栅氧化后在900°C氮气中退火20min,最终栅氧化层厚度为10nm,对于每一种结构电容都有三种不同面积,分别为100μm×150μm、200μm×300μm和300μm×500μm。

### 2.1 实验条件

利用HP4156B半导体参数分析仪对于面积为100μm×150μm( $1.5 \times 10^{-4} \text{ cm}^2$ )的P型衬底电容施加恒流应力 $I_g$ 为12、15、24、45、90μA,与之对应的电流密度 $J_g$ 等于80、100、160、300、600mA/cm<sup>2</sup>,测量击穿时间 $T_{BD}$ 、击穿电压 $V_{BD}$ 和击穿电量 $Q_{BD}$ 。

### 2.2 实验现象及结果讨论

图1是对PMOS电容施加恒定电流密度 $J_g=100\text{mA}/\text{cm}^2$ 时的测试结果。从图中可看出,当给样品施加恒流源时,随着时间的增加, $V_g$ 缓慢上升,当达到某一临界值时,( $V_{BD}$ 大约是13.5V), $V_g$ 突然下降,样品击穿,此后 $V_g$ 保持不变。实验中间并没有观测到 $V_g$ 有饱和现象出现,说明不断有新陷阱产生。当样品施加应力后,由于电荷陷落以及注入SiO<sub>2</sub>的热载流子在SiO<sub>2</sub>中产生新的陷阱,使得SiO<sub>2</sub>层中陷阱电荷密度增加,俘获电荷,使得阴极附近的电场强度发生变化,电场强度的变化可以改变注入电流的大小。为保持恒定电流注入条件,加在MOS电容两极之间的电压即栅电压 $V_g$ 必需随着改变。样品俘获电荷使 $V_g$ 上升,实验测定栅电压增量 $\Delta V_g$ 为正号,表明电子陷入氧化层中。对于不同的电流密度 $J_g$ ,虽然随着 $J_g$ 的增加,击穿时间 $T_{BD}$ 减小,但击穿电压 $V_{BD}$ 却大致相同, $V_{BD}$ 大约在13~15V之间,对应电场场强 $E_{ox}$ 在13~15MV/cm之间,击穿电量 $Q_{BD}$ 大约为几千C/cm<sup>2</sup>,这表明当局部电场强度 $E_{ox}$ 达到某一临界值时样品击穿。由此可见,可把电场强度 $E_{ox}$ 假定为表征击穿的参量。

上述实验结果表明,薄栅氧化层的击穿可以分为两个阶段:第一阶段是击穿的形成阶段,它占据了SiO<sub>2</sub>弛豫电导的绝大部分时间,其特点是:SiO<sub>2</sub>中新生陷阱电荷的产生以及原生、新生陷阱俘获F-N隧道注入的电子,形成空间电荷,SiO<sub>2</sub>内部发生电荷的积累,积累的电荷量达到一定程度后,使SiO<sub>2</sub>的内部的局部电场增加到某一临界值,实验表明,该临界值约为13~15MV/cm,并且随着氧化层厚度增加略微呈现下降趋势。第二阶段称突变失控阶段,在热或电的正反馈作用下,在这一阶段迅速使氧化层发生不可逆转的电学击穿。氧化层的寿命由第一阶段中电荷的积累时间来决定。

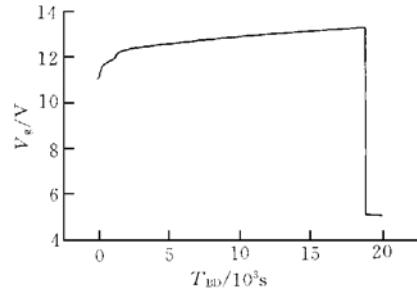


图1 恒流偏置下,栅电压 $V_g$ 与时间 $T_{BD}$ 的关系

FIG. 1 Relation Between Gate Voltage  
 $V_g$  and Time  $T_{BD}$  under  
Constant Current Stresses

### 2.3 测量栅氧化层面积 $S$ 对击穿时间 $T_{BD}$ 的影响

对于三种不同面积的栅介质电容, 其面积分别为  $300\mu\text{m} \times 500\mu\text{m}$ 、 $200\mu\text{m} \times 300\mu\text{m}$  和  $100\mu\text{m} \times 150\mu\text{m}$ 。施加恒流应力  $J = 600\text{mA/cm}^2$ , 分别测量其击穿时间  $T_{BD}$ , 并且对  $T_{BD}$  进行统计, 做出统计分布直方图如图 2(a)、(b)、(c) 所示。

从图中可以看到, 对于同样的电流密度  $J = 600\text{mA/cm}^2$ , 随着电容面积的增加, 击穿时间变短。对于面积为  $300\mu\text{m} \times 500\mu\text{m}$  的大面积电容, 加应力 55s 时, 大部分器件已经击穿, 而面积为  $200\mu\text{m} \times 300\mu\text{m}$  的中等电容, 击穿时间峰值大约为 157s, 对  $100\mu\text{m} \times 150\mu\text{m}$  最小面积电容, 击穿时间最长, 大部分器件在 618s 后才发生击穿, 且击穿时间分布的峰值也变得非常尖锐, 该峰值代表本征击穿, 而不是由于局部分布的针孔或其它氧化层缺陷引起的。由此可以推出, 随着氧化层面积的进一步减小, 可以最大限度的削弱由于氧化层缺陷引起的早期击穿, 得到对应于本征击穿的  $T_{BD}$  的统计分布。

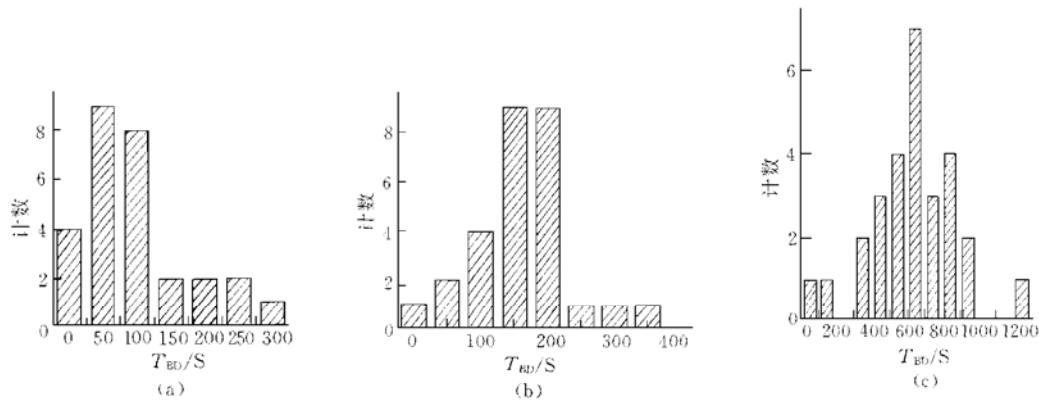


图 2 栅氧化层面积  $S$  对击穿时间  $T_{BD}$  分布的影响

FIG. 2 Effect of Area of Gate Oxide  $S$  on the Breakdown Time ( $T_{BD}$ ) Distribution

## 3 薄栅氧化层击穿电荷的实验分析

### 3.1 电容面积 $S$ 对击穿电量 $Q_{BD}$ 的影响

对于上述三种面积( $100\mu\text{m} \times 150\mu\text{m}$ ,  $200\mu\text{m} \times 300\mu\text{m}$ ,  $300\mu\text{m} \times 500\mu\text{m}$ )的 N 型衬底电容施加恒流应力  $I_g = 900\mu\text{A}$ ,  $360\mu\text{A}$ ,  $90\mu\text{A}$ , 与之对应的电流密度均为  $J = 600\text{mA/cm}^2$ , 测量击穿电量  $Q_{BD}$  如图 3 所示。可见, 在电流密度  $J$  一定时, 随着电容面积  $S$  的增加, 击穿电量  $Q_{BD}$  出现下降的趋势, 并且击穿电量  $Q_{BD}$  和电容面积  $S$  呈现幂函数关系。这进一步说明了电容面积  $S$  对于本征击穿的影响。

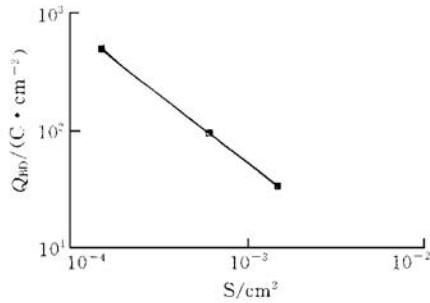
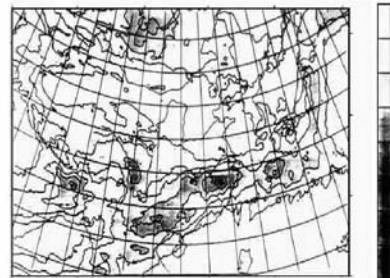
### 3.2 电流密度 $J$ 对击穿电量 $Q_{BD}$ 的影响

对于面积为  $100\mu\text{m} \times 150\mu\text{m}$  的 N 型衬底电容施加恒流应力  $I_g$  为  $60$ 、 $90$ 、 $120$ 、 $150\mu\text{A}$ , 与之对应的电流密度  $J$  等于  $400$ 、 $600$ 、 $800$ 、 $1000\text{mA/cm}^2$ , 测量击穿电量  $Q_{BD}$  如图 4 所示。可见, 当电容面积  $S$  一定时, 随着电流密度  $J$  的增加, 击穿电量  $Q_{BD}$  出现下降的趋势, 二者之间呈现幂函数关系。上述两实验都说明了击穿电量  $Q_{BD}$  并非是常数, 它随着电容面积  $S$  和电流密度  $J$  的变化而变化。

### 3.3 结果讨论

对于介质的时变击穿即 TDBB, 文献中通常用相关击穿电荷  $Q_{BD}$  来描述<sup>[3]</sup>,

$$Q_{BD} = \int_0^{T_{BD}} J_{FN}(T) dT \quad (1)$$

图 3 击穿电量  $Q_{BD}$  与电容面积  $S$  的关系FIG. 3 Relation between Charge to Breakdown  $Q_{BD}$  and Area of Capacitor  $S$ 图 4 击穿电量  $Q_{BD}$  与电流密度  $J$  的关系FIG. 4 Relation between Charge to Breakdown  $Q_{BD}$  and Current Density  $J$ 

在恒流应力条件下,  $Q_{BD}$  与  $T_{BD}$  之间有简单的函数关系, 即

$$Q_{BD} = J_{FN} \times T_{BD} \quad (2)$$

其中  $J_{FN}$  是恒流注入的 F-N 隧道电流密度, 在有限的电流密度变化范围内,  $Q_{BD}$  随  $J_{FN}$  的相对变化量远比  $T_{BD}$  小得多, 即

$$\frac{dQ_{BD}}{Q_{BD}} \ll \frac{dT_{BD}}{T_{BD}} \quad (3)$$

相对而言,  $Q_{BD}$  可以近似看成常数。因此迄今为止, 常用  $Q_{BD}$  的大小表征薄栅介质质量<sup>[4,5]</sup>。然而本文通过对 MOS 电容进行大量测试, 实验结果表明,  $Q_{BD}$  不是常数,  $Q_{BD}$  与电流密度  $J$  和栅面积  $S$  有关。用  $Q_{BD}$  的大小表征薄栅介质质量只能是某种程度上的近似。

由上述实验结果可以推知, 击穿电量  $Q_{BD}$  和电容面积  $S$  及电流密度  $J$  的关系可以用解析式表示成

$$Q_{BD}(S, J) = a \cdot S^{-b} \cdot J^{-c} \quad (4)$$

式中,  $Q_{BD}$  单位为  $\text{C}/\text{cm}^2$ ,  $S$  单位为  $\text{cm}^2$ ,  $J$  单位为  $\text{A}/\text{cm}^2$ , 参数  $a$ 、 $b$  和  $c$  的值与氧化层的性能(生长条件, 栅极材料等)及偏置条件有关。在上述应力条件下, 对其相关参数  $a$ 、 $b$  和  $c$  进行了拟合, 结果见表 1。上述表达式对不同的  $S$  和  $J$  外推进行验证, 理论和实验取得了较好的一致。

表 1 恒流偏置条件下方程(4)的最佳拟合参数

Table 1 The Best Fitted Parameters of Equation (4) Under Constant Current Stresses

$a$	$b$	$c$
977.2	1.20	1.76

## 4 结论

利用恒定电流应力分别对 PMOS 电容和 NMOS 电容进行击穿特性测试, 研究结果表明:

1. 薄栅氧化层的击穿机理与 F-N 隧道电流有关, 薄  $\text{SiO}_2$  中的高场诱发陷阱, 电荷状态与原生陷阱、电荷一起造成了 F-N 电流, 产生电压的时变效应, 最后导致  $\text{SiO}_2$  的介质击穿。
2. 研究了栅氧化层面积  $S$  对本征击穿特性的影响。对于同样的电流密度, 随着电容面积的增加, 击穿时间变短。
3. 对相关击穿电荷  $Q_{BD}$  实验测试和分析结果表明: 相关击穿电荷  $Q_{BD}$  不是常数, 而是应力电流密度  $J$  以及栅氧化层面积  $S$  的幂函数, 推出了  $Q_{BD}$  的解析表达式, 并且对相关参数进行了拟合。

## 参 考 文 献

- [ 1 ] I. C. Chen, *et al.*, "A Quantitative Physical Model for Time-Dependent Breakdown", IEEE, International Reliability Physics Symposium, Orlando, Florida, 1985: 24~ 31.
- [ 2 ] P. Cappelletti, *et al.*, "Accelerated Current Test for Fast Tunnel Oxide Evaluation", International Conference on Microelectron Test Structures, Kyoto, Japan, 1991, **4**(1): 81~ 85.
- [ 3 ] C. Hu, "Thin oxide reliability", Tech. Digest IEDM, Washington DC, 1985, 368~ 371.
- [ 4 ] Liu Zhihong, *et al.*, IEEE Trans. Electron Devices, 1991, **38**: 344~ 354.
- [ 5 ] P. Olivo, T. N. Nguyen and B. Ricco, IEEE Trans. Electron Devices, 1991, **38**: 527~ 531.