

0.15 μm 薄膜全耗尽 MOS/SOI 器件 的设计和研制

张 兴 王阳元

(北京大学微电子学研究所 北京 100871)

摘要 利用自己开发的二维数值深亚微米 SOI 器件模拟软件,较为详细地分析了沟道长度小于 0.2 μm 的 SOI 器件的阈值电压特性、穿通和击穿特性、亚阈值特性以及直流稳态特性等.通过这些模拟和分析计算,给出了沟道长度为 0.18、0.15 和 0.1 μm 的薄膜全耗尽 SOI/MOS 器件的设计方案,并根据该设计方案成功地研制出了性能良好的沟道长度为 0.15 μm 的凹陷沟道 SOI 器件.沟道长度为 0.15 μm 薄膜全耗尽凹陷沟道 SOI 器件的亚阈值斜率为 87mV/dec,击穿电压为 1.6V,阈值电压为 0.42V,电源电压为 1.5V 时的驱动电流为 1.85mA,泄漏电流为 0.5pA/ μm 沟道宽度.

关键词: MOS/SOI 器件, 薄膜, 设计

EEACC: 2560B, 2560R, 0290P

文章编号: 0253-4177(2000)02-0156-05

Design and Fabrication of 0.15 μm Thin Film Fully Depleted MOS/SOI Device

ZHANG Xing and WANG Yang-yuan

(*Institute of Microelectronics, Peking University, Beijing 100871, China*)

Received 10 December 1998, revised manuscript received 2 February 1999

Abstract The characteristics parameters of thin-film fully depleted SOI devices with channel length less than 0.2 μm , such as threshold voltage, punch-through effect, subthreshold characteristics and short channel effect, are modeled by using our two dimensional numerical simulator of SOI device. According to the modeling results, the design parameter of thin-film fully depleted SOI devices with channel length of 0.18 μm , 0.15 μm and 0.10 μm are obtained, and then 0.15 μm recessed channel fully depleted SOI devices

张 兴 男,1965 年出生,副教授、副所长,主要从事 SOI 技术、器件电路模拟、电路开发及抗辐照技术等研究.

E-mail: zhangx@ime.pku.edu.cn

王阳元 男,1935 年出生,中国科学院院士,北京大学微电子所所长,主要从事 ULSI 新工艺新器件新结构集成电路研究.

1998-12-10 收到,1999-02-02 定稿

is developed successfully. The subthreshold slope, breakdown voltage, threshold voltage, drive current at 1.5V applied voltage and leakage for 0.15 μm recessed thin-film fully depleted SOI device are 87mV/dec, 1.6V, 0.42V, 1.85mA and 0.5pA/ μm , respectively.

Key Words: MOS/SOI Device, Thin Film, Design

EEACC: 2560B, 2560R, 0290P

Article ID: 0253-4177(2000)02-0156-05

1 引言

随着 MOS 晶体管沟道长度的缩短,特别是沟道长度减小到 0.2 μm 以下的深亚微米领域后,器件中会出现一些新的特殊效应,这些效应主要表现在两个方面,一是由于沟道内电场增大引起的迁移率下降、漂移速度饱和、热载流子效应增强;另一方面,由于源漏 PN 结和沟道内势垒的相互作用,引起源漏穿通、寄生电阻增大、阈值电压降低等^[1].因此在深亚微米器件的设计和开发过程中,必须采取专门的措施抑制短沟道效应.

由于薄膜 CMOS/SOI 具有载流子迁移率高、输出驱动电流大、短沟道效应小、亚阈值曲线陡直、源漏穿通效应小等优势,因此它特别适合于亚微米、深亚微米高性能器件和电路的研制^[2,3].最近 IBM 报道了他们采用 SOI 技术后,可以使采用同样工艺的普通 CMOS 电路的速度提高 35%,他们将利用普通体硅材料制作的速度为 400MHz 的 CPU 在不改变设计和工艺水平的情况下,采用 SOI 技术之后则可以使速度提高到 500MHz^[4].既然薄膜 CMOS/SOI 技术具有如此众多的优势,那么在深亚微米薄膜 CMOS/SOI 设计中如何发挥这些潜在的优势,解决深亚微米器件设计中存在的问题,是实现高性能深亚微米 SOI 器件的关键.

本文通过我们开发的适用于短沟道 SOI 器件的二维数值模拟软件^[5,6]对深亚微米薄膜 SOI 器件进行了大量的模拟、计算,较为详细地分析了深亚微米薄膜 SOI 器件的阈值电压特性、穿通和击穿特性、亚阈值特性以及直流稳态特性等.通过这些模拟和分析计算,给出了沟道长度为 0.18、0.15 和 0.1 μm 的薄膜全耗尽 SOI/MOS 器件的设计方案.并根据该设计方案成功地研制出了性能良好的沟道长度为 0.15 μm 的凹陷沟道 SOI 器件^[7].为今后开发深亚微米 CMOS/SOI 工艺、研制深亚微米 CMOS/SOI 电路奠定了基础.

2 深亚微米 SOI 器件的模拟和分析

2.1 阈值电压的模拟

阈值电压的大小主要取决于沟道掺杂浓度 N_A 和栅氧化层厚度 t_{ox} ,在一定的工艺下,为达到一定的阈值电压,可以选取不同的 N_A 和 t_{ox} 组合.图 1 给出了在不同的 N_A 和 t_{ox} 条件下得到的阈值电压模拟结果,模拟过程中采用的平带电压为 -0.75V.

从模拟结果中可以看出,对于电源电压为 1.0~2.5V 左右的深亚微米 CMOS/SOI 器件,根据已往的经验,阈值电压应该等于电源电压的 1/4 或 1/5,这时的阈值电压应为 0.2 到 0.5V 左右,满足这一要求的衬底掺杂浓度 N_A 和栅氧化层厚度 t_{ox} 的范围分别为:

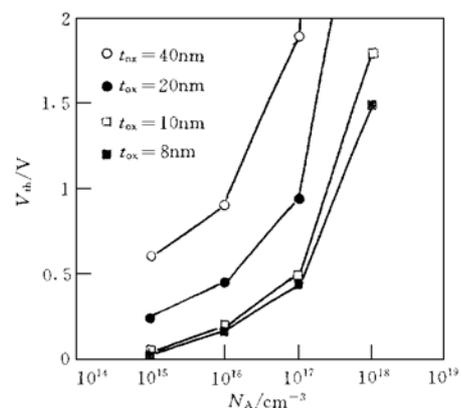


图 1 阈值电压与掺杂浓度和栅氧化层厚度的关系
($L = 0.5\mu\text{m}$, $t_{si} = 50\text{nm}$)

FIG. 1 Threshold Voltage Versus Doping Density and Thickness of Gate Oxide

$$t_{ox} = 20\text{nm}, N_A = 1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-3}$$

$$t_{ox} = 10\text{nm}, N_A = 1 \times 10^{16} \sim 1 \times 10^{17} \text{cm}^{-3}$$

$$t_{ox} = 8\text{nm}, N_A = 2 \times 10^{16} \sim 1 \times 10^{17} \text{cm}^{-3}$$

2.2 短沟道效应的模拟

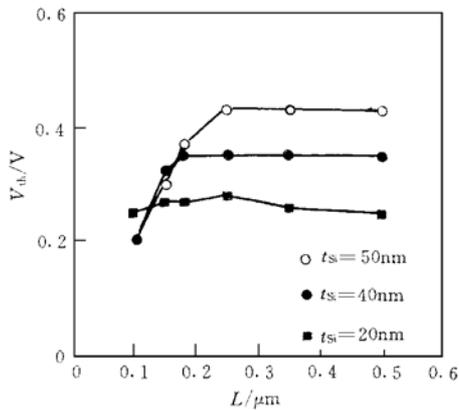


图2 阈值电压与沟道长度和硅膜厚度的关系
($N_A = 1 \times 10^{16} \text{cm}^{-3}$, $t_{ox} = 10\text{nm}$)

FIG. 2 Threshold Voltage Versus Channel Length and Silicon Film Thickness

受电荷分享效应的影响, 阈值电压随着沟道长度减小而漂移, 而在薄膜全耗尽 SOI 器件中, 硅膜厚度减薄可以抑制阈值电压随沟道长度的漂移. 为此模拟了不同硅膜厚度时阈值电压随沟道长度的变化关系. 图 2 给出了模拟结果, 从图中可以看到, 当 $t_{Si} = 50\text{nm}$ 时, 沟道长度小于 $0.18\mu\text{m}$ 阈值电压开始下降, 至 $0.1\mu\text{m}$ 时阈值电压的最大漂移量为 0.23V ; 当 $t_{Si} = 40\text{nm}$ 时, 阈值电压从 $0.15\mu\text{m}$ 开始下降, 至 $0.1\mu\text{m}$ 时的漂移为 0.15V ; 当 $t_{Si} = 20\text{nm}$ 时, 阈值电压漂移量很小, 至 $0.1\mu\text{m}$ 时仅为 0.023V .

对于电源电压和阈值电压较低的深亚微米器件来说, 阈值电压的漂移会给器件带来十分严重的影响, 因此必须保证阈值电压的漂移小于 0.1V . 对于沟道长度小于 $0.18\mu\text{m}$ 的深亚微米全耗尽 SOI 器件, 其硅膜厚度应小于 40nm . 同时由于 SOI 材料界面特性的影响, 若硅膜厚度太薄会使器件的性能变坏, 因此, 深亚微米薄膜全耗尽 SOI 器件的硅层厚度在 40nm 附近为好.

2.3 穿通效应的模拟

按照源/漏结的耗尽区宽度之和等于沟道长度时即发生穿通的假设, 计算了不同沟长器件在不同掺杂浓度时的穿通电压(如图 3 所示). 可以看出, 对于沟道长度小于 $0.2\mu\text{m}$ 的深亚微米器件, 如果电源电压为 $1.0 \sim 2.5\text{V}$, 则沟道掺杂浓度应该接近甚至要超过 $1 \times 10^{17} \text{cm}^{-3}$ 量级. 与阈值电压模拟的结果结合可以确定, 栅氧化层的厚度应为 10nm 以下.

2.4 场强的模拟和分析

为了分析深亚微米器件中的电场强度, 对两组沟道掺杂浓度不同的沟道长度为 $0.18\mu\text{m}$ 的 N 沟 SOI MOS-FET 的直流稳态特性进行了模拟, 模拟中发现横向电场强度的最大值出现在前栅表面下的漏/衬 PN 结附近, 图 4 给出了横向电场的最大值随源/漏偏压的变化关系.

从图 4 中看出, 对于沟长为 $0.18\mu\text{m}$ 的器件, 在 $N_A = 1 \times 10^{16} \text{cm}^{-3}$ 下, 当 $V_{ds} < 1.0\text{V}$ 时, 最大横向电场 E_L 小于 10^5V/cm , 而当 $V_{ds} > 1.0\text{V}$ 时, 最大横向电场 E_L 接近并超过了临界电场 $E_c = 2 \times 10^5 \text{V/cm}$; 而在 $N_A = 1 \times 10^{17} \text{cm}^{-3}$ 时, PN 结本身的电场强度已超过了 10^5V/cm , 这时当 $V_{ds} > 0.3\text{V}$ 时, E_L 就超过了临界电场.

考虑到击穿电压和电场强度之间的矛盾, 前者要提高沟道掺杂浓度, 后者则要求降低沟道掺杂浓度. 因此, 在深亚微米 SOI 器件的设计中, 衬底掺杂浓度的优化是最关键的步骤之一.

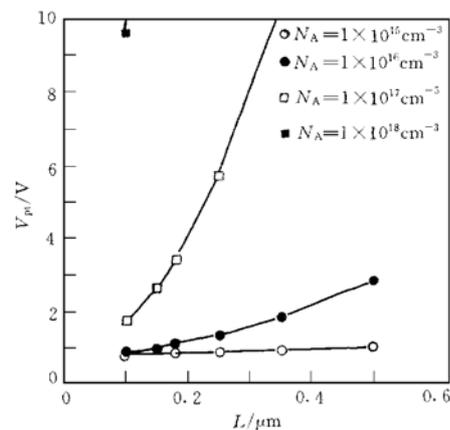


图3 穿通电压与沟道长度的关系
FIG. 3 Punch-Through Voltage Versus Channel Length

3 深亚微米薄膜 SOI/MOS 器件设计方案

根据前面对深亚微米薄膜 SOI/MOS 器件的模拟和分析,以选择合适的阈值电压和击穿电压为主,同时尽可能地兼顾其它因素的原则,通过各参数之间的互相折中和综合考虑,给出了有效沟道长度为 0.18、0.15 和 0.1 μm 薄膜全耗尽 SOI 器件的设计方案,各项具体的数值如表 1 所示。

表 1 深亚微米薄膜 SOI MOSFET 的设计参数
Table 1 Design Parameters of SOI MOSFET for Deep Submicron Thin Film

沟道长度 $L/\mu\text{m}$	0.18	0.15	0.10
硅膜厚度 t_{Si}/nm	40	35	30
沟道掺杂浓度 $N_{\text{A}}/\text{cm}^{-3}$	5×10^{16}	7×10^{16}	1×10^{18}
源漏掺杂浓度 $N_{\text{D}}/\text{cm}^{-3}$	1×10^{19}	1×10^{19}	1×10^{19}
栅氧厚度 t_{ox}/nm	10	10	8
埋氧厚度 t_{ob}/nm	400	400	400
结深 X_{j}/nm	40	35	30

采用该设计方案,我们已经成功地研制出了性能优良的沟道长度为 0.15 μm 的凹陷沟道薄膜全耗尽 SOI MOSFET。

4 深亚微米 SOI 器件的研制

我们采用的 SIMOX 衬底材料是经过三次氧离子注入和退火得到的材料,注入能量为 200keV,注入剂量为 $0.6 \times 10^{18} \text{cm}^{-2}$,注入时衬底的温度为 600 $^{\circ}\text{C}$,退火条件为 1310 $^{\circ}\text{C}$ 、6h。SIMOX 材料的表面硅层厚度为 205nm、埋氧化层厚度为 380nm^[8]。经过湿氧化减薄,器件沟道区的硅膜厚度为 50nm。

采用电子束(e-beam)光刻和反应离子刻蚀技术研制了有效沟道长度为 0.15 μm 、沟道区硅膜厚度为 40nm 的凹陷沟道薄膜全耗尽 SOI 器件。凹陷沟道 SOI 器件的结构如图 5 所示,器件的沟道制作在硅膜减薄区域,而器件的源漏则位于没有减薄的硅膜较厚的区域。利用这种结构既可以实现沟道区的薄膜全耗尽,又可以避免普通薄膜全耗尽器件中由于硅膜减薄而引起的源/漏寄生串联电阻大的缺点。

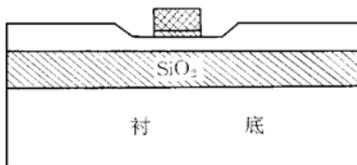


图 5 凹陷沟道 SOI 器件的结构示意图
FIG. 5 Diagram for Recessed Channel SOI Device

在整个工艺过程中,长时间高温过程的最高温度是栅氧化工艺,其温度为 850 $^{\circ}\text{C}$,栅氧化之后的退火、低氧层致密等采取了温度为 1050 $^{\circ}\text{C}$ 、时间为 20s 的快速热处理工艺。采取这种工艺,对防止氧化层二次缺陷和杂质的横向扩散都是有好处的。栅氧化层厚度为 10.5nm,氧化层界面态低于 $3.0 \times 10^{10} \text{cm}^{-2}$ 。多晶硅厚度为 300nm,多晶硅注入与源漏注入利用同一块掩模版。本工艺采用了全离子注入工艺,其中沟道区注 BF_3^- ,注入条件:剂量为 $6 \times 10^{12} \text{cm}^{-2}$,能量为 40keV。

采用该工艺制备的沟道长度为 0.15 μm 器件的特性如图 6 所示。可以看出,该器件的特性是比较理想的,器件的亚阈值斜率为 87mV/dec,击穿电压为 1.6V,阈值电压为 0.42V,电源电压为 1.5V 时的驱动电流为 1.85mA,泄漏电流为 0.5pA/ μm 沟道宽度。因此,上面给出的深亚微米薄膜全耗尽 SOI 器件的设计方案较为可行。

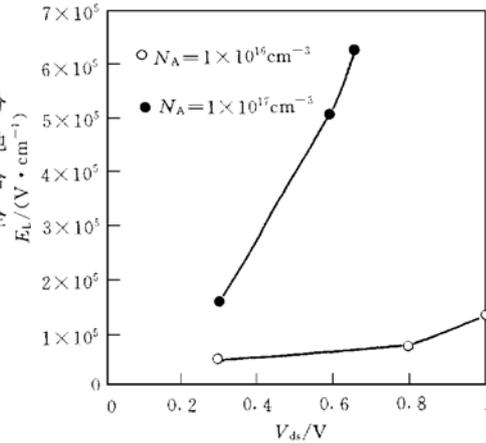


图 4 最大横向电场与源漏电压的关系
FIG. 4 Maximum Lateral Field Versus Source Drain Voltage

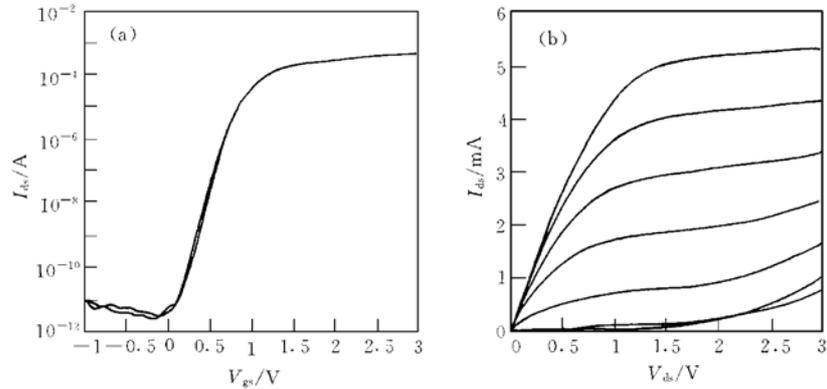


图 6 0.15 μm 的凹陷沟道薄膜全耗尽 SOI MOSFET 实验特性曲线
 (a) 转移特性曲线($V_{ds} = 0.1\text{V}$), (b) 电流电压特性曲线($V_{gs}: 0.5\text{V/div}$)
 ($L = 0.15\mu\text{m}$, $W = 10\mu\text{m}$)

FIG. 6 Experimental Characteristics of Recessed Thin Film Fully Depleted SOI MOSFET

(a) Transfer Characteristics (b) I - V Characteristics

5 结论

利用我们开发的深亚微米 SOI MOSFET 数值模拟软件较为详细地分析了薄膜 SOI MOSFET, 对沟道长度为 0.18、0.15 和 0.1 μm 的 SOI MOSFET 的工艺参数和器件参数进行了优化设计, 给出了这三种沟道长度器件的设计方案. 并利用该设计方案成功地研制出性能良好的沟道长度为 0.15 μm 的凹陷沟道薄膜全耗尽 SOI MOSFET, 这表明, 我们提出的深亚微米 SOI 器件设计方案是可行的.

参 考 文 献

- [1] N. Arora, MOSFET Models for VLSI Circuit Simulation, Springer-Verlag, Wien New York, 1993.
- [2] 张兴, 王阳元, 电子学报, 1995, **23**(10): 139 [ZHANG Xing and WANG Yangyuan, Acta Electronic Sinica, 1995, **23**(10): 139 (in Chinese)].
- [3] J. Sevenhans *et al.*, Deep Sub 1V — SOI or bulk CMOS?, 1998 IEEE International Solid-State Circuits Conference, 1998, 102.
- [4] IBM advances chip technology with breakthrough for making faster, more efficient semiconductors, <http://www.ibm.com/News/1998/08/03.phtml>.
- [5] 张兴, 陕西微电子学研究所博士学位论文, 1993 [ZHANG Xing, Ph. D. Thesis, Shanxi Institute of Microelectronics, 1993 (in Chinese)].
- [6] 张兴, 王阳元, 半导体学报, 1997, **18**(1): 36 [ZHANG Xing, WANG Yangyuan, Chinese Journal of Semiconductors, 1997, **18**(1): 36].
- [7] Xing Zhang, Ru Huang, Xuemei Xi *et al.*, The investigation of recessed channel SOI devices (invited), The 5th International Conference on Solid State Integrated Circuits Technology (ICSICT '98), Beijing, 1998: 720.
- [8] 奚雪梅, 北京大学博士学位论文, 1995 [XI Xuemei, Ph. D. Thesis, Peking University, 1995 (in Chinese)].