

## 双 MOS 门极控制的 EST 的 开关特性和安全工作区

张昌利 陈治明

(西安理工大学 西安 710048)

闵源基 金相哲 朴钟文 金南均 金垠东

(韩国电气研究所 韩国 641-600)

**摘要** 用二维 MEDICI 商用器件模拟软件对双 MOS 门极控制的发射极开关晶闸管 EST (Emitter Switched Thyristor) 的正偏置安全工作区 FBSOA (Forward Biased Safe-Operation-Area) 及其关断动态的电流分布进行了模拟研究。证明该器件采用 P 型转向器(diverter)与双 MOS 门极相结合的结构使得空穴电流分流从而显著地提高了 EST 的开关能力, 其 FBSOA 也有明显展宽。

**关键词:** 开关特性, 安全工作区, 双 MOS 门极控制 EST

**EEACC:** 2560B, 2560R

**文章编号:** 0253-4177(2000)03-0274-06

## Switching Performance and Safe-Operation-Area for MOS Dual-Gated Emitter-Switched Thyristor

ZHANG Chang-li and CHEN Zhi-ming

(Xi'an University of Technology, Xi'an 710048, China)

W. G. Min, S. C. Kim, J. M. Park, N. K. Kim and E. D. Kim

(Korea Electrotechnology Research Institute, Korea 641-600)

Received 28 January 1999, revised manuscript received 6 April 1999

张昌利 男, 1959 年出生, 西安电力电子技术研究所高级工程师, 西安理工大学在职博士研究生, 从事高压晶闸管、GTO、高压 IGBT、DGESTD 等电力电子器件的研究。

陈治明 男, 1945 年出生, 教授, 博士生导师, 从事电力半导体器件和半导体材料物理的研究和教学。

闵源基(W. G. Min) 男, 1958 年出生, 博士, 原为韩国电气研究所电力半导体 TEAM 高级研究员, 现美国 Rensselaer Polytechnic Institute 访问教授, 从事高压 IGBT、MCT、DGESTD 等电力电子器件的研究。

1999-01-28 收到, 1999-04-06 定稿

**Abstract** The switching performance and Safe-Operation-Area (SOA) of MOS Dual-Gated Emitter-Switched Thyristor (EST) with a novel diverter (DGESTD) is simulated. This device has the function of shunt-flowing of hole current by means of P-type diverter and dual MOS-gate control to obtain further performance improvements. The increased switching capability and wider Forward Biased SOA of the DGESTD compared to usual EST have been verified by the simulation results.

**Key Words:** Switching Performance, SOA(Safe-Operation-Area), DGESTD

EEACC: 2560B, 2560R

Article ID: 0253-4177(2000)03-0274-06

## 1 引言

众所周知, MOS 门极控制晶闸管 MCT (MOS Controlled Thyristor)<sup>[1,2]</sup> 虽然具有正向通态压降比 IGBT 低的优点, 但它不具备 IGBT 的正向电流饱和现象, 而且它的正向偏置安全工作区(FBSOA)也较窄。其后发展的 EST<sup>[3]</sup> 克服了正向电流不饱和的缺点, 但其 FBSOA 因空穴分流受寄生晶闸管 P 基区阻抗的限制而仍然较窄。带转向器(diverter)的 ESTD<sup>[4]</sup> 进一步提高了常规 EST 的最大可关断电流, 并具有 EST 的电流饱和特征。本文讨论了用不同的门极驱动来触发带转向器(diverter)的双门极 EST (Dual Gate EmitterSwitched Thyristor with a Diverter) 使 EST 的正向偏置安全工作区 FBSOA 和最大可关断电流获得了更进一步的提高。为了优化 DGESTD 的通态特性和最大可关断电流等特性, 作者采用美国 TMA 公司商用电力半导体器件模拟软件 MEDICI 对 DGESTD 特性进行了分析模拟。

## 2 工作原理与特性分析

EST 的基本工作原理是将 N 沟道增强型 MOSFET 集成到晶闸管的 P 基区, 通过将 MOS 管的栅极电压降至阈值电压以下来实现 EST 的关断。但 EST 包含有一个寄生晶闸管, 它会在 EST 电流密度较大时因擎住效应而使门极失去控制能力。DGESTD(Dual Gate Emitter Switched Thyristor with a Diverter) 有两个 MOS 门极如图 1 中的 MOS1 和 MOS2 所示。当图中的 MOS1 和 MOS2 处于相同的偏置状态时, DGESTD 的运行就像 EST 一样。但是若 DGESTD 导通之后令 MOS1 和 MOS2 处于不同的偏置状态会有不同的效果, 若 MOS1 开路仅 MOS2 偏置 DGESTD 的运行就象 EST 一样。若 MOS2 开路仅 MOS1 偏置, DGESTD 的运行就象 BRT 一样。

EST 的基本结构中包含了一个主晶闸管和一个寄生晶闸管, P 阵是主晶闸管的 npn 晶体管的基区。由于 j2 结要在正向阻断承担大部分的阳极电压, 因而 P 阵的掺杂浓度必须足够高以使浮置发射极不穿通。但 P 阵的高浓度将使 j3 的电子发射效率降低。此时 j3 结仅在靠近 MOS1 的有限区域正偏, 而 i3 结正偏是晶闸管导通并擎住的必要条件。这意味着 EST 不能充分利用主晶闸管的全部面积, 因而其正向通态压降很高。

与此相反, 对 P 基区实行重掺杂可以降低自 n<sup>+</sup> 发射极到 P 基区的电子注入从而抑制寄生晶闸管的擎

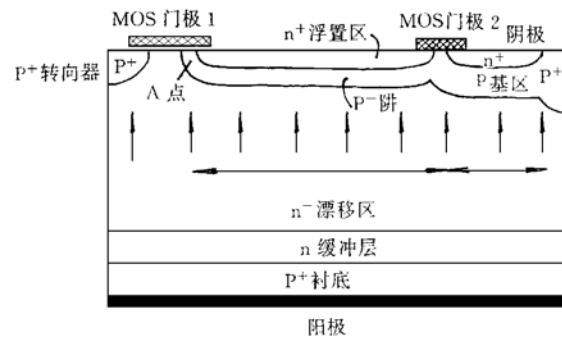
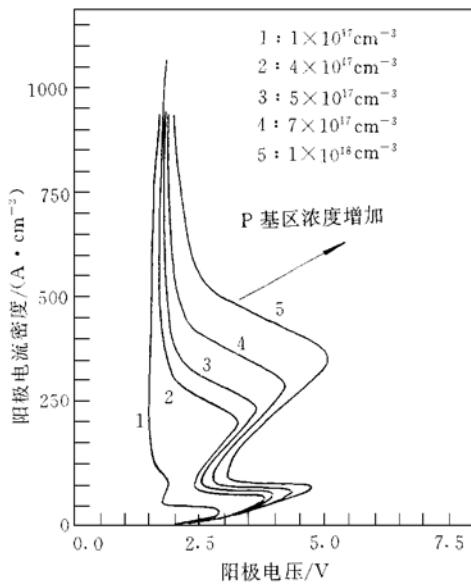


图 1 DGESTD 的器件结构

FIG. 1 Device Structure of DGESTD

图 2 DGESTD 的  $I-V$  模拟曲线FIG. 2 Simulating  $I-V$  Characteristic Curve of the DGESTD

偏压予以改善。从图 1 中标注的电流流动可知通过 MOS1 下的 P-沟道流向转向器的电流是由图中的 A 点相对阴极的电位来决定, 即

$$V_A = I_{h1}R_{ch} = J_{h1}R_{ch}L_1Z \quad (1)$$

式中  $I_{h1}$  是流向 MOS1 沟道下的空穴电流;  $J_{h1}$  是漂移区空穴电流密度;  $Z$  是垂直于横截面单元元胞的宽度, 沟道电阻表示为

$$R_{ch} = L_{ch}/Z\mu_p C_{ox} V_G \quad (2)$$

在阳极电流  $J_A$  中的空穴电流可包括  $I_{h1}$  和 P 阵流向阴极的电流两部分。在  $n^+$  浮置发射极下跨过 P 阵上的压降由下式给出:

$$V_1 = \int_1^{L_1} J_{h1} \rho_1 X dX = \alpha_{pnp} (J_A - J_{h1}) \rho_1 L_1^2 \quad (3)$$

式中  $\alpha_{pnp}$  是 pnp 晶体管的电流增益;  $\rho_1$  是 P 阵的薄层电阻;  $L_1$  是浮置发射极的长度。通过 P 基区的压降为:

$$V_2 = \int_1^{L_2} (J_A - J_{h1}) \rho_2 L_1 dX + \int_1^{L_2} (J_A - J_{h1}) \rho_2 X dX = \alpha_{pnp} (J_A - J_{h1}) \rho_2 [L_1 L_2 + L_2^2/2] \quad (4)$$

A 点相对于阴极的电位:

$$V_A = V_1 + V_2 = \alpha_{pnp} [\rho_1 L_1^2/2 + \rho_2 L_1 L_2 + \rho_2 L_2^2/2] (J_A - J_{h1}) \quad (5)$$

将式(5)中的图形因子项用  $K_1$  代替, 则

$$V_A = K_1 (J_A - J_{h1}) \quad (6)$$

联立式(3)和式(6), 可得:

$$V_A = J_A [K_1 / (1 + 1/L_1 Z R_{ch})] \quad (7)$$

从此式可知, 当 MOS1 的沟道电阻  $R_{ch}$  很小时,  $V_A$  也变小。在 A 点周围, 当  $V_A$  小于浮置发射极-P 阵结的自建电势时, DGESTD 将关断。

住。本文提出了用合适的  $P^+$  短路扩散而不用对整个 P 基区实行重掺杂, 获得了同样高的擎住电流。这使得 P 基区的光刻、离子注入及推进等工艺得到明显简化。

EST 的 FBSOA 依赖于在多高的电流和电压下寄生晶闸管发生二次擎住现象。图 2 所示为 DGESTD 的 FBSOA 与擎住现象的模拟结果。

从图中可以看到, DGESTD 的  $I-V$  特性有两个明显的弯曲包。在低电流低电压下的第一个弯曲包是由 DGEST 的主晶闸管擎住引起的。第二个弯曲包是由 DGEST 的寄生晶闸管的二次擎住引起的。图 2 还表明随着 P 基区浓度的提高, DGESTD 的  $I-V$  特性发生着从 SCR 模型到 IGBT 模型和 EST 模型的逐步转化。显然通过提高 P 基区的掺杂浓度可以提高寄生晶闸管二次擎住的电流密度而改善 FBSOA。这是由于当 P 基区的掺杂浓度提高时, P 基区薄层电阻下降使得寄生晶闸管的发射结-基极结( $n^+/P$ )很难正偏。然而这样作会导致 EST 的通态电压增加使通态损耗大幅度升高。所以必须寻找其他途径来实现这种协调。

DGESTD 的协调可以通过给 MOS1 施加合适的

沟道电阻  $R_{ch}$  可用 MOS1 的偏压来控制。如式(2)所示, 沟道电阻  $R_{ch}$  反比于门极电压  $V_G$ ,  $n^+$  发射极-P 基区结的电压  $V_2$  由式(4)可以改写为:

$$V_2 = K_2(J_A - J_{hi}) = (K_2/K_1)V_A \quad (8)$$

其中  $K_2$  是式(4)中的图形因子项, 寄生晶闸管的擎住主要依赖于电压  $V_2$ , 因为它能使  $n^+$  发射极-P 基区结正偏, 该电压与  $V_A$  为非线性关系。通过控制  $R_{ch}$  或 MOS1 的门极电压来达到小的  $V_2$ , 就能有效的抑制寄生晶闸管的擎住。如图 3 中所示通过控制门极负电压  $V_G$  从 0V 到 15V, FBSOA 获得了明显的改善, 擎住电流密度高达  $1250A/cm^2$ 。

图 3 给出了用调节 MOS1 的门极偏压来改善擎住电流和通态电压的协调关系。图中, Y 轴表示擎住电流密度, X 轴表示在  $450A/cm^2$  阳极电流密度下通态电压的倒数。给 MOS1 门极加上门极偏置后, 在它下面的电阻从无限大变为导通。 $j_2$  结附近的部分空穴电流将冲向该沟道, 如式(7)的分母所示, 电压  $V_A$  将变小一个数量级, 也随之变小而提高寄生晶闸管的擎住电流。从图 4 可知通过门极负电压的调节的确能改进 DGESTD 的二次擎住电流与通态压降的折衷。但须注意门极负电压应当适当控制, 太高的负  $V_G$  将会使主晶闸管于此时关断。

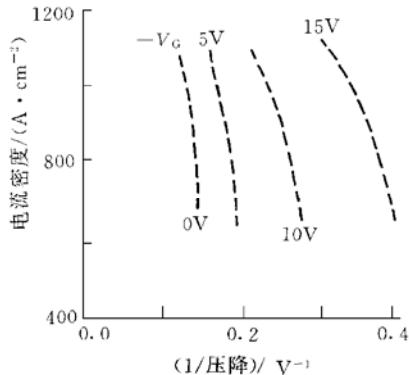


图 3 擎住电流密度与正向压降的关系

FIG. 3 Current Density vs Forward Voltage Drop

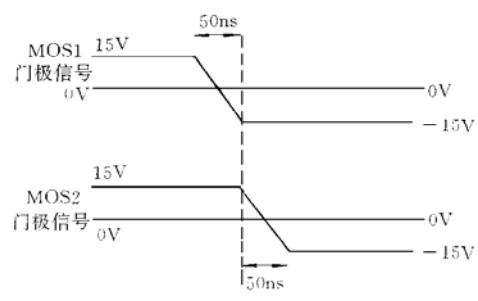


图 4 DGESTD 的两个门极信号偏置

FIG. 4 Signal Voltages for Two Gates of DGESTD

### 3 器件设计

用美国 TMA 公司的 MEDICI 二维模拟软件设计了 700V 的 DGESTD, 其结构参数为: 门极氧化层厚度为 50nm, 浮置门极长度  $L_1$  为  $15\mu m$ ,  $n^+$  发射极长度  $L_2$  为  $4\mu m$ , 门极 MOS1 的沟道长度为  $4\mu m$ ,  $n$  型外延层的厚度为  $50\mu m$ , 浓度为  $1 \times 10^{14} cm^{-3}$ ,  $n^+$  浮置发射极的深度为  $1\mu m$ , P+ 基区和 P 基区的深度分别为  $5\mu m$  和  $3\mu m$ , P 阵深为  $3\mu m$ ,  $\rho_s$  为  $5 \times 10^{17} cm^{-3}$ ,  $n^+$  短路发射极浓度为  $5 \times 10^{19} cm^{-3}$ , 缓冲层的厚度为  $10\mu m$ , 浓度为  $1 \times 10^{16} cm^{-3}$ , 这保证阻断电压为 700V。设计的 DGESTD 芯片为  $5 \times 5 mm^2$ , 单元元胞宽度为  $38\mu m$ 。

采用常规 IGBT 的六次光刻工艺进行了样品制作, 其实验结果与模拟设计完全符合。

### 4 关断模拟

用不同的门极触发信号分别控制 MOS1 和 MOS2 是提高 DGESTD 关断能力的主要原因。图 4 给出了 DGESTD 关断时两个 MOS 门极的偏置信号。在这种运行方式中, MOS1 首先触发使器件运行在 BRT 的关断模式。开始时, 三个结都正向偏置。当 MOS1 被反偏时, P 阵与 P 型转向器通过 MOS1 下的 P 阵相连。此时, 邻近 MOS1 的 P 阵的电位降至 MOS1 的源极电位。

在 MOS1 触发时, 它的沟道电压将低于使主晶闸管导通的 MOS2 的沟道电压. 因此 j2 和 j3 结的左半边将开始耗尽, 主电流也开始收缩. P 阵的空穴将通过 MOS1 下的 P 沟道被抽出. 在主晶闸管的存贮期, j2 结的耗尽层将开始扩展. 在 MOS1 完全触发后, 再将负信号加在 MOS2 上, DGESTD 将彻底关断. 图 5(a) 和(b) 分别表示在关断过程中 DGESTD 和 ESTD 的电流流动图. 从图中可以看出, 当 DGESTD 关断时, 其电流在浮置发射极中心的收缩比 ESTD 快得多. 换言之, DGESTD 的 j3 结比 ESTD 的 j3 结恢复反偏也快得多. 这是由于在 MOS1 门极触发后大量的空穴被转移到 P 型转向器中, 晶闸管的正反馈作用被延迟, MOS2 就很容易关掉已减小的负载电流.

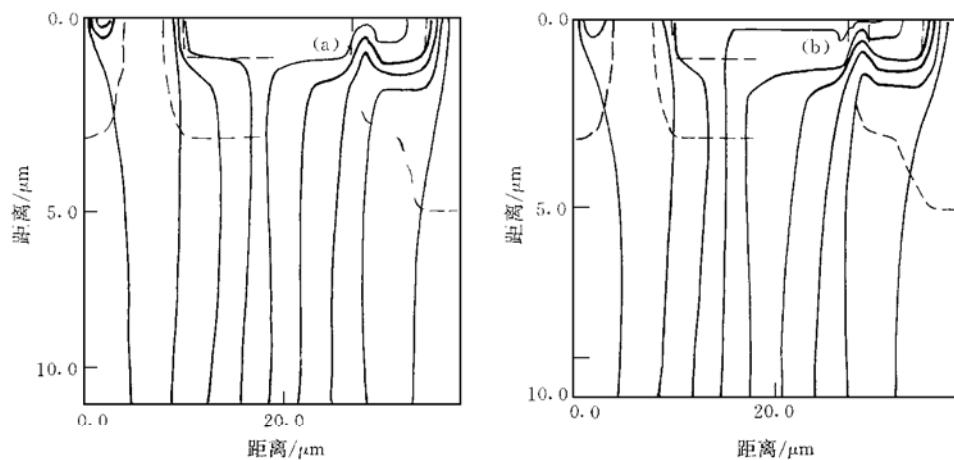


图 5(a) DGESTD 关断时的电流流动

FIG. 5(a) Current Flow of DGESTD  
at Turn-off

图 5(b) ESTD 关断时的电流流动

FIG. 5(b) Current Flow of ESTD  
at Turn-off

与通态时情况一样, 在 MOS1 关断之前 MOS1 的门极电压使 j3 的正向偏置减弱. 在存贮期, 阳极电压不仅由 MOS2 的沟道承担, 而且由 j2 结的耗尽区承担. 图 6 给出了关断时 DGESTD 和 ESTD 的电势分布.

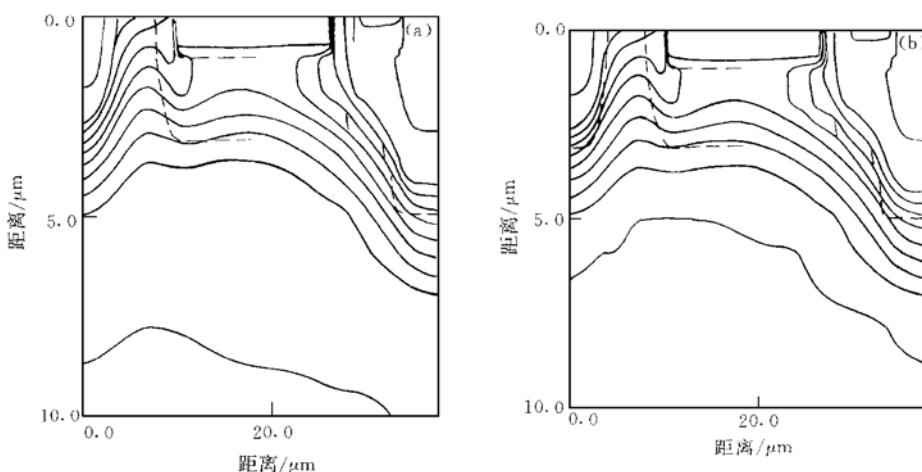


图 6(a) DGESTD 的电势分布

FIG. 6(a) Distribution of Electric  
Potential in DGESTD

图 6(b) ESTD 电势分布

FIG. 6(b) Distribution of Electric  
Potential in ESTD

与 ESTD 相比, DGESTD 的 j2 结中心将承担更高的电压同时 MOS2 的漏极电场减弱, 这是由于在它的沟道中仍然有电子流动, 可以设想这对预防 MOS2 关断瞬间的击穿有好处。

图 7 给出了在阻性负载下 DGESTD 的关断模拟波形(再加电压 500V, 电流密度  $500\text{A}/\text{cm}^2$ ). 其中曲线 1 对应于 P 阵参数为  $X_j = 3\mu\text{m}$ ,  $\rho_s = 3 \times 10^{17}/\text{cm}^2$ , 而 P 基区参数为  $X_j = 3\mu\text{m}$ ,  $\rho_s = 5 \times 10^{17}/\text{cm}^2$  的 DGESTD 的关断, 可以看出它的关断很快。曲线 2 为 P 阵和 P 基区同样参数的 ESTD 的关断, 曲线 3 为 P 阵  $X_j = 3\mu\text{m}$ ,  $\rho_s = 1 \times 10^{17}/\text{cm}^2$  的 ESTD 的关断。而曲线 4 对应于 P 阵为  $X_j = 3\mu\text{m}$ ,  $\rho_s = 1 \times 10^{16}/\text{cm}^2$  的 ESTD 的关断失败波形, 很明显由于这种 ESTD 的 P 基区浓度低, 横向电阻大, 从而造成关断失败。

## 5 结论

通过改变器件结构参数对 DGESTD 的擎住电流和关断能力进行了模拟研究。业已证明采用 P 型转向器的双门极 DGESTD 的确使 EST 的 FBSOA 和最大可关断电流获得了明显的改善。

**致谢** 作者感谢美国 TMA 公司提供的 MEDICI 二维模拟软件和韩国电气研究所电力半导体 TEAM 提供的良好实验条件。

## 参 考 文 献

- [1] V. A. K. Temple, IEEE Trans. on Electron Devices, 1986, ED-33: 1609~ 1618.
- [2] B. J. Baliga, Electronic Lett., 1979, 15: 645~ 647.
- [3] M. S. Shekhar *et al.*, IEEE Trans. on Electron Devices, 1991, ED-38: 1619~ 1623.
- [4] A. Bhalla *et al.*, 52nd Annual Device Research Conference, Boulder, Co, II B-4, June 20~ 22, 1994.
- [5] A. Bhalla *et al.*, IEEE Electron Device Lett., 1995, 16(1): 5~ 7.
- [6] S. Sawant *et al.*, Proceedings of ISPSD'96, May 20~ 23, 1996.

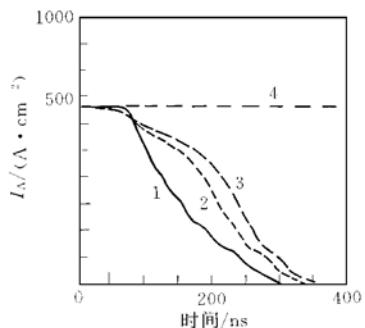


图 7 器件的模拟关断波形

FIG. 7 Wave Shape of  
Simulating Turning off  
of the Device