

# 常数除法器的设计及其 BIST 实现

丁保延 章倩苓

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

**摘要:** 针对 MPEG 音频、AC-3 宽带音频数据压缩标准的解码过程中的要求, 扩展了已报道的常数除法算法<sup>[1]</sup>, 使之适于特定应用场合. 设计实现了除数为一组常数的常数除法器. 该常数除法器使用规整的单元阵列结构构成运算的主要部分, 不仅相当节省硅片面积, 适于 VLSI 实现需要, 而且易于扩展. 同时针对测试和实际应用的要求, 设计了内建自测试电路, 使之便于嵌入整个系统.

**关键词:** 常数除法器; 内建自测试; 数字音频解压

**EEACC:** 2567; 6130

**中图分类号:** TN 431.1    **文献标识码:** A    **文章编号:** 0253-4177(2000)05-0491-05

## Design of Constant Divider and Its BIST Implement

DING Bao-yan and ZHANG Qian-ling

(ASIC and System State-Key Laboratory, Fudan University, Shanghai 200433, China)

Received 9 February 1999, revised manuscript received 1 July 1999

**Abstract:** The constant division algorithm that has been reported by Srinivasan to suit for the special application of wide band audio decompression processing, such as MPEG audio and AC-3, is developed. A structure of constant divider that requires only a certain set of integer divisor is given with the regular cell array as the main part of operation, so this structure is area-effective, suitable for VLSI implementation, and easily extend its scale. At the same time, for the need of testing and practicable application, we also design the Built-In Self-Test circuit to make it easy to embed the whole system.

**Key words:** constant divider; Built-In Self-Test (BIST); digital audio

**EEACC:** 2567; 6130

**Article ID:** 0253-4177(2000)05-0491-05

丁保延 男, 1972年出生, 博士研究生, 从事音/视频数据压缩解压处理及其 VLSI 实现、专用集成电路电路设计研究.

章倩苓 女, 1936年出生, 教授, 博士生导师, 从事集成电路与系统的设计、数字信号处理等方面的研究.

1999-02-09收到, 1999-07-01定稿

## 1 引言

在数字信号处理的各种运算中,除法是最为复杂,也是最有潜力可以挖掘的一种运算.但在通用的CPU、DSP中往往不专门用硬件实现一个除法器,原因是在一般的应用场合中,除法所占的比例非常小;而且除法器的设计较其他运算部件要复杂很多.所以通常的做法是在其他运算部件,如ALU和/或乘法器的基础上编写软件,构成除法运算子程序.但在特定的应用领域,如在数制转换、数据解包时,情况有所不同,除法运算占有相当的比重.如果单纯使用软件做除法运算往往无法满足要求.

在以MPEG<sup>[1]</sup>,AC-3<sup>[2]</sup>为代表的宽带音频数据压缩标准中,为了取得更高的压缩效果,将多个量化后的样点数值成组压缩.这样在解压过程中就需要较多的除法运算(取商和余数),用以重建样点.但是这里的除法运算所涉及到的除数仅为一组有限的常数.为此我们设计了专用的常数除法器.它的主要运算部分由规则的处理单元阵列所构成,节省芯片面积,易于VLSI实现;而且易于扩展,只需稍加变化,就可以应用于其他场合.

同时考虑到测试和实际应用的需要,我们设计了内建自测试(BIST, Built-In Self-Test)电路,不仅使得常数除法器的测试变得十分简单,而且提高了整个系统的可测性.

## 2 常数除法器

### 2.1 MPEG, AC-3中除法的运算强度

我们以MPEG-2的层II算法<sup>[1]</sup>为例,当信号采样频率为44.1kps,声道为3/2配置时,经计算,在最差情况下,每秒所需的整除取余运算次数大于27.5k.此外尚有相当数量的存储器操作和逻辑判断操作.这对整个解码处理器是个不小的开销.

而实际上,对于成组数据的样点重建所做的整除取余运算,所涉及到的除数是十分有限的:在MPEG音频解码中除数仅为3, 5, 9;而对AC-3而言,也只需要解决除3, 5, 9, 11的问题.所以设计一个通用的除法器就显得很没有必要.

在本节的后面部分,我们将介绍满足上述需要的进行整除取余运算的常数除法器的算法.

### 2.2 除数为 $2^n \pm 1$ 时的算法(图1)

除数为3, 5, 9都可以归入此类情况<sup>[3]</sup>.

一般地,我们可以把除数 $2^n \pm 1$ 写作 $2^n - h$ ,这里 $h = \pm 1$ ;将被除数 $D$ 写作

$$D = \sum_{j=0}^{p-1} d_j 2^j = \sum_{i=0}^{m-1} a_i 2^{in}$$

其中  $0 \leq a_i < 2^n$ .

求商和余数的运算可以如下式所示:

$$Q' = \sum_{j=1}^{m-1} (h^{j-1} 2^{-jn} \sum_{i=j}^{m-1} a_i 2^{in}) \quad (1)$$

$$R' = \sum_{i=0}^{m-1} h^i a_i \quad (2)$$

通过计算 $D = Q'(2^n - h) + R'$ 可以验证上述公式的正确性,但是(2)式并不能保证 $0 \leq R' < 2^n - h$ .

而事实上,令

$$\begin{aligned} a_0 h^0 + a_1 h^1 &= c_0 2^n + R_0 \\ c_{i-1} h + R_{i-1} + a_i h^i &= c_i 2^n + R_i \end{aligned}$$

其中  $2 \leq i < m-1$ . 取

$$R = \left[ \sum_{i=0}^{m-1} a_i h^i + \sum_{i=1}^{m-1} c_i h \right] \bmod 2^n = (R_{m-1} + c_{m-1} h) \bmod 2^n \quad (3)$$

$$Q = Q' + \sum_{i=1}^{m-1} c_i \tag{4}$$

经过修正, 我们可以计算出正确的商和余数.

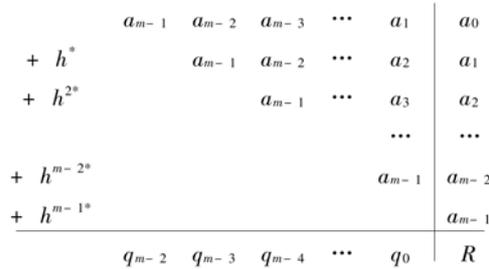


图1 除数为  $2^n \pm 1$  的算法

FIG. 1 Algorithm with  $2^n \pm 1$  as Divisor

### 2.3 除数为11时的算法

当除数为11时, 情况则较为复杂. 但考虑到除数为  $2^n \pm 1$  时所需的修正, 我们可以先将11视为  $12-1$ : 即先把被除数按12来除, 最后做适当的修正. 而12为  $3 \times 4$ , 即在左移被除数2位的基础上做除3运算. 这样可以将算法的主要部分统一处理.

## 3 VLSI 实现

对于上节所述的算法, 我们将其分为三部分来实现: 预处理(Preprocessor)、进位保存加法器(CSA, Carry-Save Adder)阵列、后修正处理(Correction), 如图2所示.

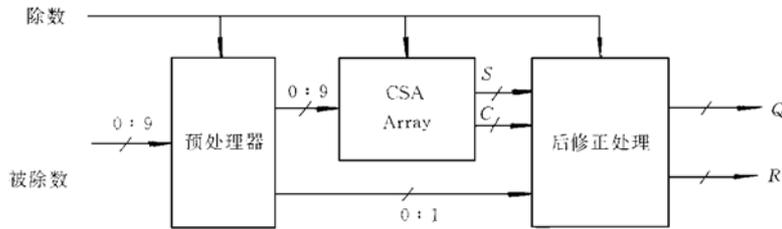


图2 常数除法器的数据流图

FIG. 2 Structure of Constant Divider

其中预处理部分主要完成数据的移位处理, 同时对除数(Divisor)做适当的编码以适于后续处理的要求.

图3为除法器设计实现的主要部分. 图3(a)为基本运算单元的结构, 其功能为:

$$d' = \begin{cases} d_1 & \text{divisor} = 3, 5, 11 \\ d_2 & \text{divisor} = 9 \end{cases}$$

$$d_0 = \begin{cases} d_0 & \text{divisor} = 3, 11 \\ d' & \text{divisor} = 5, 9 \end{cases}$$

$$S' = d_0 \odot S \odot C$$

$$C' = d_0 S + d_0 C + SC$$

图3(b)为进位选择多路器, 其逻辑功能为

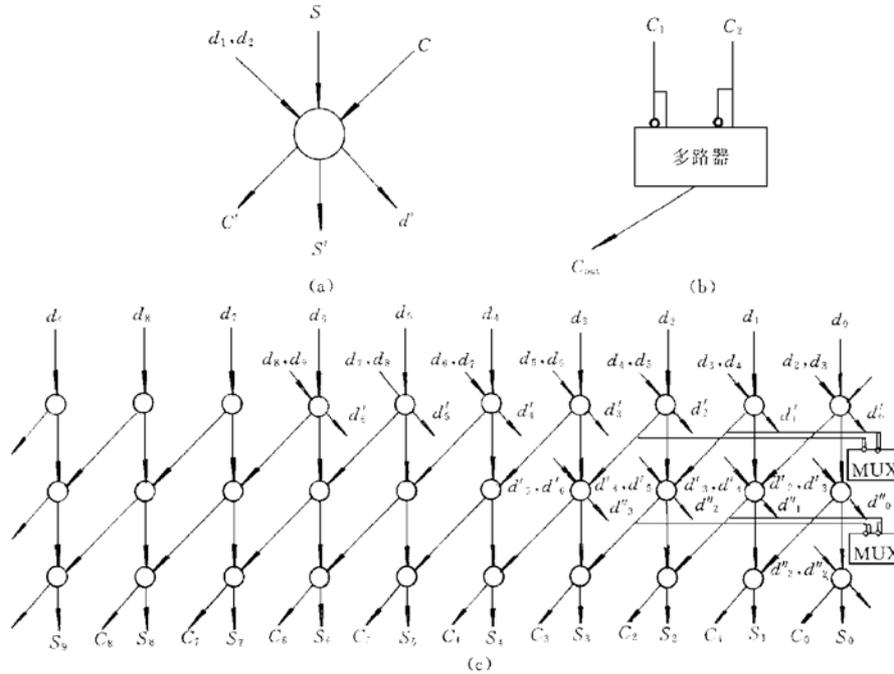


图3 CSA 阵列 (a) 基本运算单元; (b) 进位选择; (c) 阵列结构

FIG. 3 Carry-Save Adder Array, (a) Basic Processing Unit; (b) Carry-Selector; (c) Array Structure

$$C_{out} = \begin{cases} C_1 & \text{divisor} = 3, 11 \\ \overline{C_1} & \text{divisor} = 5 \\ \overline{C_2} & \text{divisor} = 9 \end{cases}$$

上述各式中的信号均为1位的逻辑信号, 其中  $\bar{x}$  指  $x$  的逻辑非运算. 除上述三进三出的基本运算单元外, 在图3(c) 的阵列中还包括几种简化形式. 在图中阵列的第一排中包括有二进三出和一进二出的简化形式, 前者对应于  $C = 0$  的情况, 后者对应于  $d_1 = d_2 = C = 0$  的情况; 在阵列的第二、第三排还有另一种二进二出的形式, 对于  $d_1 = d_2 = 0$  时的情况. 将上述条件代入各式, 可以得到各简化形式的逻辑功能.

图3(c) 为用于 MPEG、AC-3 解码要求的10位常数除法器的 CSA 阵列结构. 其中第一排的数据输出  $d'_1 \dots d'_9$  作为第二排的处理单元的数据输入; 第二排的数据输出  $d''_1, d''_2$  作为第三排输入.

阵列中第一排右起第1个单元的进位信号由除数的值确定: 当除数  $2^h - 1$  中  $h = -1$  时进位信号取1, 反之取0. 各排右起的第2、第3个单元的进位信号通过进位选择多路器产生下一排右起第1个单元的进位信号.

CSA 阵列得到10位和值信号, 9位进位信号. 后处理修正部分利用这些值, 使用超前进位加法器 (Carry Look-ahead Adder) 分别得到商和余数部分的值, 进而修正产生正确的商和余数数值.

对于上述结构设计, 我们使用 VHDL 语言进行描述, 使用针对新加坡特许半导体制造公司  $0.6\mu\text{m}$  工艺设计的标准单元库进行综合, 得到门级电路. 其电路规模为1743个标准单元大小, 最大延迟时间为11.26ns.

## 4 BIST 测试方案

对于复杂芯片, 直接通过管脚进行测试是十分困难而昂贵的, 尤其是由多个核心单元(IP) 所构成的 VLSI 系统. 而作为整个系统子部件的处理器模块, 具有一定的自测试性是十分重要的.

我们这里给出了一个十分简单的 BIST 测试方案. 当被除数(Dividend) 逐一递增时, 输出的余数(Remainder) 为以除数(Divisor) 为模的递增计数器; 而商(Quotient) 也可由一个计数器产生, 它的触发信号为余数计数器的进位信号.

图4为上节所设计的常数除法器的测试方案. 其 BIST 主要包括三部分: 测试矢量生成, 输入多路器和输出分析. 测试矢量生成器(Test Pattern Generator) 生成递增的被除数, 供测试使用; 输入多路器(MUX) 当在正常操作时选择外部的输入矢量, 在测试时选择内部生成的测试矢量, 输入待测的除法器电路(Circuit Under Test); 输出信号分析器(Output Analyzer) 对除法器的输出和期望的输出进行比较, 从而检测到待测电路是否有故障. 所以此测试方法只需加入四个附加的管脚: 测试模式选择、测试复位(BIST Reset)、错误检测(Error Indicator) 输出和时钟端口(Clock), 就可以实现测试的目的.

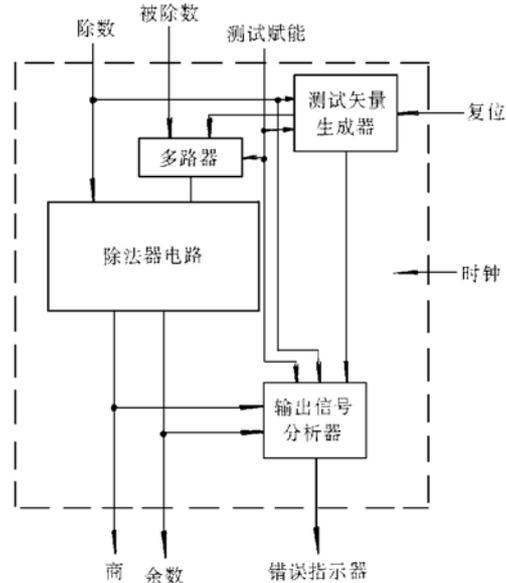


图4 BIST 测试电路

FIG. 4 Built-In Self-Test Circuit

## 5 结论

本文在已发表常数除法算法的基础上, 对其进行了修正, 使之适于 MPEG-2 音频和 AC-3 解码的需要. 在 VLSI 实现方面, 本文设计的常数除法器结构使用了规整的单元阵列结构构成运算的主要部分, 不仅相当节省硅片面积, 适于 VLSI 实现需要, 而且易于扩展. 同时针对芯片测试要求, 设计了内建自测试电路, 使整个除法器成为便于嵌入整个系统的独立的部件. 该芯片已在复旦大学的多芯片计划中使用  $0.6\mu\text{m}$  工艺实现, 并流片测试成功.

## 参 考 文 献

- [ 1 ] Advanced Television System Committee(ATSC) Standard A-52, "Digital Audio Compression Standard (AC-3)", Nov, 1994.
- [ 2 ] ISO/IEC JTC1/SC29/WG11 No. 703, "Generic Coding of Moving Pictures and Associated Audio, 13818-3 (MPEG-Audio)", Mar, 1994.
- [ 1 ] P. Srinivasan, F. E. Petry, IEE Proc. Comput. Digital Techniques, 1996, 141(6): 334—340.