

基于速度饱和的 CMOS 倒相器延迟模型

宋任儒 阮 刚 梁擎擎

(复旦大学电子工程系专用集成电路与系统国家重点实验室, 上海 200433, 中国)

Reinhard Streiter Thomas Otto Thomas Gessner

(Chemnitz 技术大学微技术中心, D-09107 德国)

摘要: 提出了一个新的小尺寸 CMOS 倒相器延迟模型, 它考虑了速度饱和效应以及非阶梯的输入信号对延迟的影响并给出了倒相器快输入响应与慢输入响应的判据, 模型计算结果与 SPICE BSIM 1 模型的模拟结果吻合得很好.

关键词: 速度饱和; 倒相器; 延迟

EEACC: 6150C; 2560R; 2570D

中图分类号: TN432 文献标识码: A 文章编号: 0253-4177(2000)07-0711-06

Comprehensive Delay Model for CMOS Inverters Based on Velocity Saturation

SONG Ren-ru, RUAN Gang and LIANG Qing-qing

(Department of Electronic Engineering, ASIC and System State Key Laboratory,
Fudan University, Shanghai 200433, China)

Reinhard Streiter, Thomas Otto and Thomas Gessner

(Center of Microtechnology, Technical University of Chemnitz, D-09107 Germany)

Received 19 March 1999, revised manuscript received 1 July 1999

Abstract: An improved analytical model is developed to predict the propagation delay of a small size CMOS inverter, which includes the effect of the velocity saturation and the influence of input waveform slope. The criteria for fast-input response and slow-input response of inverter are derived as well. A good agreement has been achieved between the presented model and SPICE BSIM 1 model.

宋任儒 男, 1972 年出生, 博士研究生, 从事大规模集成电路互连效应的研究.

阮 刚 男, 1936 年出生, 教授, 博士生导师, 从事 VLSI/ULSI 工艺、器件及电路的模型和模拟研究.

梁擎擎 男, 1977 年出生, 硕士研究生, 正从事 RTD 器件的研究.

1999-03-19 收到, 1999-07-01 定稿

Key words: velocity saturation; inverter; delay

EEACC: 6150C; 2560R; 2570D

Article ID: 0253-4177(2000)07-0711-06

1 引言

由于 CMOS 倒相器是 VLSI 电路中使用最普遍的单元器件, 因此精确而高效地计算 CMOS 倒相器的延迟在 VLSI 系统综合与设计中至关重要.

为了快速估算延迟, Burns^[1]第一次导出了阶梯输入下 CMOS 倒相器的延迟解析表达式, Hedenstierna^[2]及 Vermuru^[3]等人将之扩展, 分别推导出斜坡输入下的延迟模型. 但这些延迟公式均基于 Shockley MOS 电流模型, 对于亚微米、深亚微米器件, 导致 MOS 管电流饱和的原因是速度饱和而非沟道夹断^[4], Shockley MOS 电流模型将不再适用, 因此基于 Shockley MOS 电流模型所得到的延迟公式将不再适用.

Sakurai 等人^[4]考虑了速度饱和效应, 在 Shockley MOS 电流模型的基础上进行修正, 提出了 α 指数关系(Alpha-Power law) MOSFET 电流模型, 并基于该电流模型导出了倒相器的传输延迟. 但所得到的延迟公式只适用于快输入响应、大负载的情况, 即倒相器的输入波形的上升时间 t_r 较短、扇出(fan-out)较大的情况. 当 t_r 较长或扇出较小时, Sakurai 等人所得到的延迟公式将不再精确.

为了克服以上延迟模型的缺点, 本文基于速度饱和的短沟道 MOS 电流模型, 分别导出了快输入及慢输入响应下短沟道 CMOS 倒相器传输延迟及转换时间的解析公式. 采用这些解析公式, 可以较精确、快速地估算 CMOS 倒相器的传输延迟及转换时间.

2 延迟模型

考虑了速度饱和后的短沟道 MOS 管的漏端电流模型如下^[5]:

$$\begin{cases} I_{dsat} = Wv_{sat}C_{ox} \frac{(V_{gs} - V_{th})^2}{V_{gs} - V_{th} + 2V_c} & \text{当 } V_{ds} \geq V_{dsat} \\ I_{dline} = \frac{I_{dsat}}{V_{dsat}}V_{ds} & \text{当 } V_{ds} \leq V_{dsat} \end{cases} \quad (1)$$

其中

$$V_{dsat} = \frac{2(V_{gs} - V_{th})V_c}{V_{gs} - V_{th} + 2V_c}, \quad V_c = \frac{L_{eff}v_{sat}}{\mu_{eff}}$$

式中 I_{dsat} 和 I_{dline} 分别为 MOS 管饱和区及线性区的漏极电流; V_{gs} 和 V_{ds} 分别为栅源电压和漏源电压; V_{th} 为阈值电压; V_{dsat} 为速度饱和所决定的漏饱和电压; V_c 为发生速度饱和时所对应的临界横向电压; C_{ox} 为单位面积栅电容; W 为沟道宽度; L_{eff} 为有效沟道长度; μ_{eff} 为有效迁移率; v_{sat} 为载流子饱和速度. 注意到对于长沟器件, 如果 L_{eff} 较大, 使得 $2V_c \gg (V_{gs} - V_{th})$, 则式(1)中的饱和电流公式则变为所熟悉的 Shockley MOS 饱和电流公式:

$$I_{dsat} = 0.5\mu_{eff}C_{ox} \frac{W}{L_{eff}}(V_{gs} - V_{th})^2 \quad (2)$$

为简单起见, 不考虑沟道调制效应. 在本节的分析中忽略了 N 管和 P 管同时导通的情况, 认为 CMOS 倒相器的工作过程就是 P 管和 N 管分别对负载电容 C_L 充放电的过程. 首先考察输出负载电容 C_L 对 N 管的放电过程, 上升沿输入时倒相器输出电压 V_{out} 可表示为:

$$V_{out}(t) = V_{DD} - \frac{1}{C_L} \int_{t_{th}}^t I_{ddt} dt \quad (3)$$

式中 t_{th} 为 $V_{in} = V_{th}$ 时所对应的时间.

2.1 阶梯输入情况

定义 t_{05} 为 $V_{out} = V_{DD}/2$ 时对应的时间, 对于亚微米和深亚微米器件, 速度饱和是导致 MOS 晶体管漏电流饱和的因素, 由于 $V_{dsat} < V_c$, 而 V_c 一般均小于 $V_{DD}/2$, 因此可以认为, 当 V_{out} 由于负载电容 C_L 的放电而由 V_{DD} 下降到 $V_{DD}/2$ 的过程中, NMOS 管均工作在速度饱和区, 则方程(3) 变为:

$$\frac{1}{2}V_{DD}C_L = \int_{t_{th}}^{t_{05}} Wv_{sat}C_{ox} \times \frac{(V_{DD} - V_{th})^2}{V_{DD} - V_{th} + 2V_c} dt \quad (4)$$

由上式容易得到: $t_{05} = \frac{1}{2} \times \frac{C_L}{Wv_{sat}C_{ox}} \times \frac{V_{DD}(V_{DD} - V_{th} + 2V_c)}{(V_{DD} - V_{th})^2}$ (5)

本文中, 定义延迟 t_d 为倒相器输入、输出波形在 $V = V_{DD}/2$ 的时间间隔, $t_d = t_{05} - t_r/2$. t_r 为输入波形的上升时间(如图 1 所示), 对阶梯输入情况, $t_r = 0$, 则 $t_d = t_{05}$.

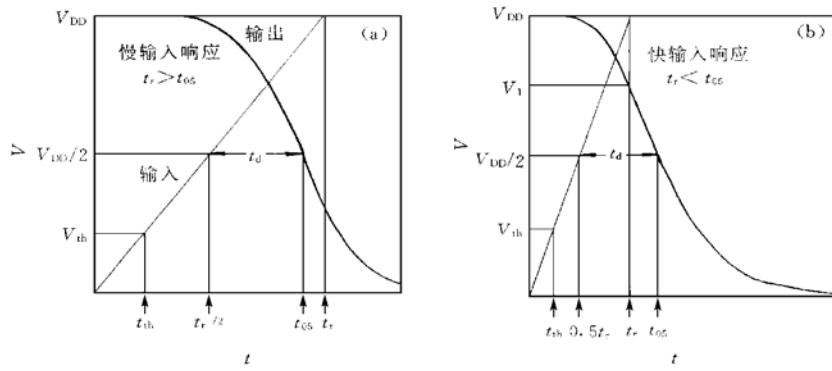


图 1 慢输入响应(a) 和快输入响应(b) 波形示意图

FIG. 1 Waveform of (a) Slow-Input Response and (b) Fast-Input Response

定义输出转换时间 T_{tr} 为输出波形由 V_{DD} (或 0) 下降(上升)到 0(或 V_{DD}) 时所用的时间, 在级联倒相器中, T_{tr} 可用作下一级倒相器的输入上升(或下降)时间. 输出波形的斜率近似等于在 $t = t_{05}$, $V_{out} = 0.5V_{DD}$ 这一点斜率的 70%^[4], 因此, T_{tr} 可计算如下:

$$\frac{V_{DD}}{T_{tr}} = 0.7 \left| \frac{dV_{out}}{dt} \right|_{t=t_{05}} \quad (6)$$

$$T_{tr} = \frac{C_L}{0.7Wv_{sat}C_{ox}} \times \frac{V_{DD}(V_{DD} - V_{th} + 2V_c)}{(V_{DD} - V_{th})^2} \quad (7)$$

2.2 非阶梯输入情况

实际运用中的 CMOS 倒相器的输入一般为上一级倒相器的输出. 假设输入电压 V_{in} 表示为:

$$V_{in} = \begin{cases} 0 & t \leq 0 \\ (t/t_r)V_{DD} & 0 \leq t \leq t_r \\ V_{DD} & t \geq t_r \end{cases} \quad (8)$$

注意到, 在级联倒相器中, t_r 是前一级倒相器输出波形的转换时间 T_{tr} . 对于非阶梯输入, 饱和电流 I_{dsat} 可表示如下:

$$I_{dsat} = \begin{cases} Wv_{sat}C_{ox} \times \frac{[(t - t_{th})/t_r]^2 V_{DD}^2}{(t - t_{th})V_{DD}/t_r + 2V_c} & \text{当 } t \leq t_r \\ Wv_{sat}C_{ox} \times \frac{(V_{DD} - V_{th})^2}{V_{DD} - V_{th} + 2V_c} & \text{当 } t \geq t_r \end{cases} \quad (9)$$

t_r 的大小决定了如下的两种输入响应.

(1) 慢输入响应: $t_{05} < t_r$, 如图 1(a) 所示, 则式(3) 变为:

$$\frac{1}{2}V_{DD}C_L = \int_{t_{th}}^{t_{05}} I_{dsat} dt \quad (10)$$

$$\frac{V_{DD}^2 C_L}{W v_{sat} C_{ox} t_r} = ((t_{05}/t_r) V_{DD} - V_{th} - 2V_c)^2 - 2V_c + 8V_c^2 \ln \frac{(t_{05}/t_r) V_{DD} - V_{th} + 2V_c}{2V_c} \quad (11)$$

将上式右边的对数项进行展开, 可得到 t_{05} 的近似解析表达式:

$$t_{05} \approx t_{th} + t_r \left[\frac{2TV_c}{TV_{DD} + 2V_c} + \sqrt{\left(\frac{2TV_c}{TV_{DD} + 2V_c} \right)^2 + \frac{8TV_c^2}{V_{DD}(TV_{DD} + 2V_c)} + \frac{C_L}{Wv_{sat}C_{ox}t_r} - \frac{8V_c^2}{V_{DD}^2} \ln \left(1 + \frac{TV_{DD}}{2V_c} \right)} \right] \quad (12)$$

式中 $T = \frac{t_{05}-t_{th}}{t_r}$; $t_{05} = \frac{t_r}{V_{DD}} [V_{th} + 2V_c + \sqrt{4V_c^2 + A}]$; $A = \frac{C_L V_{DD}^2}{Wv_{sat}C_{ox}t_r}$; $t_{th} = \frac{V_{th}}{V_{DD}} t_r$. 由式(12)即可得到慢输入时相应的延迟 $t_d = t_{05} - t_r/2$. T_{tr} 可由式(6)计算得到, 其表达式如下:

$$T_{tr} = \frac{C_L}{0.7Wv_{sat}C_{ox}} \times \frac{V_{DD}}{\left[\frac{t_{05}}{t_r} V_{DD} - V_{th} - 2V_c + \frac{8V_c^2}{\frac{t_{05}}{t_r} V_{DD} - V_{th} + 2V_c} \right]} \quad (13)$$

(2) 快输入响应: $t_{05} > t_r$, 如图 1(b) 所示, 则式(3)变为:

$$\frac{1}{2} V_{DD} C_L = \int_{t_{th}}^{t_r} I_{dsat} dt + \int_{t_r}^{t_{05}} I_{dsat} dt \quad (14)$$

将式(9)代入上式, 可得到快输入响应下延迟表达式:

$$t_d = t_{05} - \frac{t_r}{2} = \frac{t_r}{2} + \frac{C_L (V_1 - V_{DD}/2) (V_{DD} - V_{th} + 2V_c)}{Wv_{sat}C_{ox}(V_{DD} - V_{th})^2} \quad (15)$$

其中 V_1 为 $t=t_r$ 时刻的输出电压:

$$V_1 = V_{DD} - \frac{Wv_{sat}C_{ox}t_r}{2C_L V_{DD}} \left[(V_{DD} - V_{th} - 2V_c)^2 - 4V_c^2 + 8V_c^2 \ln \frac{V_{DD} - V_{th} + 2V_c}{2V_c} \right] \quad (16)$$

$$\text{输出转换时间为: } T_{tr} = \frac{V_{DD}}{0.7} \left| \frac{dt}{dV_{out}} \right|_{t=t_{05}} = \frac{C_L V_{DD}}{0.7 W v_{sat} C_{ox}} \times \frac{V_{DD} - V_{th} + 2V_c}{(V_{DD} - V_{th})^2} \quad (17)$$

注意到 T_{tr} 与 t_r 无关, 这说明对于快输入信号, 输出波形的形状和斜率与输入无关.

2.3 快输入情况与慢输入情况的判据

定义一时间因子 t_c 来界定快输入响应与慢输入响应, t_c 定义如下:

$$t_c = t_{05} = t_r \quad (18)$$

t_c 的物理意义为: 当输出电压 V_{out} 由稳态值下降(或上升)到 $V_{out}=V_{DD}/2$ 时, 输入电压 V_{in} 恰好上升(或下降)到稳态值时所对应的时间.

由 $\frac{1}{2} V_{DD} C_L = \int_{t_{th}}^{t_r} I_{dsat} dt$ 得:

$$t_c = t_r = \frac{V_{DD}^2 C_L}{Wv_{sat}C_{ox} \left[(V_{DD} - V_{th})(V_{DD} - V_{th} - 4V_c) + 8V_c^2 \ln \frac{V_{DD} - V_{th} + 2V_c}{2V_c} \right]} \quad (19)$$

上式给出了慢输入和快输入响应的判据, 当 $t_r > t_c$ 时, 属慢输入响应, 当 $t_r < t_c$ 时, 属快输入响应. 由 t_c 的物理意义知道, 对于慢输入响应, 当输出电压 V_{out} 由 V_{DD} 转换到 $V_{DD}/2$ 的过程中, 由于输入电压 V_{in} 未达到稳态值 V_{DD} , 因此饱和电流 I_{dsat} 未能达到最大值 $I_{dsat}|_{V_{in}=V_{DD}}$, 此时倒相器的工作点轨迹如图 2 中的 $A \rightarrow C \rightarrow D \rightarrow E \rightarrow F$ 轨迹线所示, 而图中 $A \rightarrow B \rightarrow D \rightarrow E \rightarrow F$ 轨迹线对应的是快输入响应下倒相器的工作点轨迹. 比较两种响应下的工作点轨迹, 可知快输入响应下倒相器的电流驱动能力更强. 由于倒相器对电流驱动能力决定了倒相器的延迟大小, 在级联倒相器的设计中必须保证各级倒相器均工作在快输入响应域, 因此 t_c 在实际设计中是一个很有价值的判据, 式(19)揭示了 t_c 与 C_L 、 C_{ox} 、 W 等倒相器结构参数的关系.

3 PMOS 管短路电流的影响

上一节对延迟的分析中, 忽略了由于 P 管导通而对负载电容 C_L 的充电过程, 事实上, 当输入电压 V_{in}

从 V_{TP} (V_{TP} 为 PMOS 管阈值电压的绝对值) 上升到 $V_{DD}-V_{TP}$ 的时间间隔内, PMOS 管导通, 因此存在一电源通过 P 管短路电流对负载电容的充电过程。考虑 PMOS 管短路电流影响之后, 实际的延迟 t'_d 应表示为:

$$t'_d = t_d + \Delta T \quad (20)$$

上式右边第一项为上一节所得到的延迟, 第二项为由 P 管短路电流的充电过程所决定的延迟, ΔT 可近似表示为:

$$\Delta T = \Delta Q / I_N \quad (21)$$

其中 ΔQ 为 PMOS 管导通期间对负载电容的充电总量; I_N 为 NMOS 的平均电流; ΔQ 和 I_N 可近似表示如下:

$$\Delta Q = \int_{\frac{V_{DD}-V_{TP}}{V_{DD}t_r}}^{\frac{V_{DD}-V_{TP}}{V_{DD}t_r}} I_P dt = \int_{\frac{V_{DD}-V_{TP}}{V_{DD}t_r}}^{\frac{V_{DD}-V_{TP}}{V_{DD}t_r}} W_P v_{psat} C_{ox} \frac{\left[V_{DD} - \frac{t}{t_r} V_{DD} - V_{TP} \right]^2}{V_{DD} - \frac{t}{t_r} V_{DD} - V_{TP} + 2V_{PC}} dt \quad (22)$$

式中 V_{PC} 为空穴发生速度饱和时所对应的临界电压; v_{psat} 为空穴饱和速度。

$$I_N \approx \frac{C_L V_{DD}}{2(t_{os} - t_{th})} \quad (23)$$

式(22)中我们假设 PMOS 管在导通期间均工作在饱和区, 这样的假设是合理的, 因为对于短沟 MOS 器件而言, 由于速度饱和效应, 器件在导通的大部分时间内均工作在饱和区。另外, 积分上限取 $\frac{V_{DD}-V_{TP}}{V_{DD}} t_r$ 是因为我们假设了 $t_{os} > \frac{V_{DD}-V_{TP}}{V_{DD}} t_r$, 这一假设在绝大部分的实际运用中均成立。只有在极慢的输入响应情况下, 即 $t_r \gg t_{os}$ 时, 式(22)才会导致较大的偏差。联立式(21)、(22)、(23)得:

$$\Delta T = \frac{(t_{os} - t_{th}) W_P v_{psat} C_{ox} t_r}{C_L V_{DD}^2} \left| \left(V_{DD} - 2V_{TP} - 2V_{PC} \right)^2 - 4V_{PC}^2 + 8V_{PC}^2 \ln \frac{V_{DD} - 2V_{TP} + 2V_{PC}}{2V_{PC}} \right| \quad (24)$$

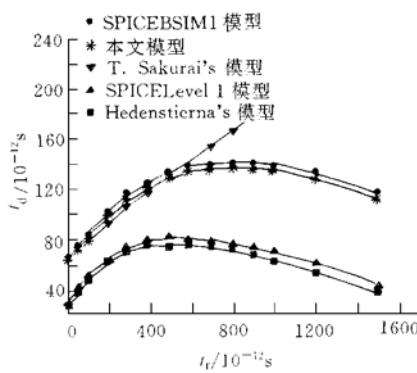


图 3 输入时间 t_r 与倒相器延迟 t_d 的关系曲线
FIG. 3 Inverter's Delay Versus Rise-Time of Input Waveform

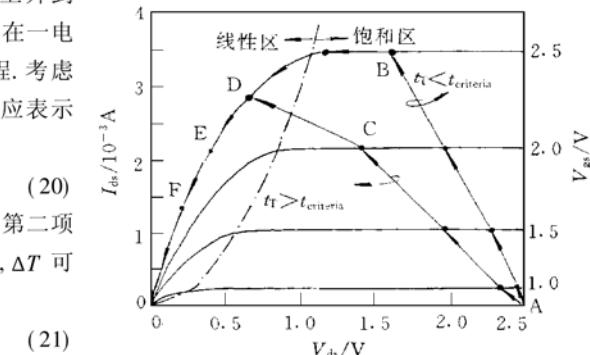


图 2 CMOS 倒相器工作点轨迹

FIG. 2 Trajectory of Operating Point for a CMOS Inverter

4 验证与结论

图 3 示出了倒相器的传输延迟 t_d 与输入波形上升时间 t_r 的模拟曲线。所采用的模型分别来自 Hedenstierna 等作者的基于 Shockley MOS 电流模型所得到的延迟模型^[2]、SPICE Level 1 模型 (即 Shichman-Hodes 模型^[6]、T. Sakurai 模型^[4]、SPICE BSIM 1 模型以及本文所提出的延迟模型, 前两个模型是基于沟道夹断的长沟模型, 而后三个模型是基于速度饱和的短沟模型, 模拟中所取的典型工艺参数为: $L_{eff} = 0.5 \mu m$, $W = 5 \mu m$, $t_{ox} = 10 nm$, $\mu_{ns} = 500 cm^2/(V \cdot s)$, $V_{sat} = 8 \times 10^6 cm/s$ 。由图中可看出, 我们的延迟计算值与 SPICE BSIM 1 模型所得到的模拟值符合得很好。相同器件参数下, 基于速度饱和的延迟值比基于 Shockley 模型所得到的延迟值大 60%—150%, 这表明, 基于常用的 Shockley

MOS 电流公式所得到的延迟模型在亚微米、深亚微米 VLSI 延迟设计中将不再适用。

第 2 节的分析中, 给出了快、慢输入响应的判据式(19), 由该判据可确定一临界输入时间 t_c , $t_r < t_c$ 的输入属于快输入响应, 倒相器工作点轨迹如图 2 中的 A \rightarrow B \rightarrow D \rightarrow E \rightarrow F 轨迹线。延迟表达式可由方程(15)得到, 而 $t_r > t_c$ 的输入对应于慢输入响应, 倒相器工作点轨迹如图 2 中的 A \rightarrow B \rightarrow D \rightarrow E \rightarrow F 轨迹线, 延迟表达式可由方程(12)得到。文献[4]中的模型公式只适用于快输入响应域, 反映在图中, 当 t_r 较小时, 基于 Sakurai 模型所得到的结果与 SPICE BSIM1 模型所得到的结果符合较好, 当 t_r 较大时, 二者的偏差较大。对于慢输入响应, 我们知道, 输出电压 V_{out} 由初始状态变化到 $V_{DD}/2$ 时, 由于输入电压未能上升到稳态值 V_{DD} , 因此饱和电流 I_{dsat} 也不能达到最大值 $I_{dsat} \mid_{V_{in}=V_{DD}}$, 与快输入情况相比, 慢输入情况下倒相器的电流驱动能力要弱。在实际的延迟设计中, 特别是在以驱动大负载为目的的级联倒相器的设计中, 必须保证每一级倒相器均工作在快输入情况, 对倒相器尺寸参数的选择应满足下式:

$$(T_{tr})_i < (t_c)_{i+1} \quad (25)$$

其中下标 $i, i+1$ 分别代表第 $i, i+1$ 级倒相器。 T_{tr} 和 t_c 可分别由式(17)、(19)确定。

参 考 文 献

- [1] J. R. Burns, RCA Rev., 1964, **25**: 627—661.
- [2] N. Hedenstierna and K. O. Jeppson, IEEE Trans. CAD, 1987, **CAD-6**: 270—281.
- [3] S. R. Vemuru and A. R. Thorbjomsen, "A model for delay evaluation of a CMOS inverter," in Proc. of ISCAS, 1990, 89—92.
- [4] T. Sakurai, IEEE J. Solid-State Circuits, 1990, **25**: 584—594.
- [5] P. K. Ko, VLSI Electronics: Microstructure Science, New York: Academic, 1989, **18**: 1—37.
- [6] H. Shichman and D. A. Hodges, IEEE J. Solid-State Circuits, 1968, **3**: 285—289.