

MPEG 专用 IDCT 处理器的优化设计

陈旭昀 郑金山 周汀 章倩苓

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 二维离散余弦逆变换(Inverse Discrete Cosine Transform, IDCT)是运动图象专家组(Moving Picture Expert Group, MPEG)视频解码器的重要模块之一. 提出了一种优化的二维 IDCT 超大规模集成电路(Very Large Scale Integrated Circuit, VLSI)实现结构. 利用 IDCT 的矩阵乘法中固定系数的内在特点, 采用公用表达式的方法, 降低 IDCT 实现规模, 提高了电路的速度. 采用了 $0.6\mu\text{m}$ CMOS 电路工艺, 芯片面积约为 $3.5\text{mm} \times 3.5\text{mm}$, 速度可达 100MHz .

关键词: IDCT 处理器; 运动图象专家组; 优化设计

EEACC: 6140C; 2570; 1270F

中图分类号: TN764 **文献标识码:** A **文章编号:** 0253-4177(2000)08-0810-06

An Optimized VLSI Implementation of IDCT for MPEG

CHEN Xu-yun, ZHENG Jin-shan, ZHOU Ting and ZHANG Qian-ling

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

Received 19 March 1999, revised manuscript received 1 November 1999

Abstract: Inverse discrete cosine transform (IDCT) is an important module in MPEG decoder. In this paper, an optimized VLSI implementation for IDCT is presented. According to the optimizing method, the property of the constants in the array multiply for IDCT is utilized. By using the common expressions, the implementation complexity of IDCT is reduced greatly. The $0.6\mu\text{m}$ -CMOS technology is applied to the IDCT, with the chip size about $3.5\text{mm} \times 3.5\text{mm}$ and the frequency 100MHz .

Key words: Inverse Discrete Cosine Transform (IDCT); moving picture expert group; optimized design

EEACC: 6140C; 2570; 1270F

Article ID: 0253-4177(2000)08-0810-06

1 引言

基于离散余弦变换(Discrete Cosine Transform, DCT)的变换压缩编码算法是当前应用最为广泛的图象和视频压缩算法. 研究表明, 对于一阶马可夫随机信号, DCT 的压缩效果接近于理想的卡洛变换(KL

Transform, KLT), 并且利用其对称性可以采用有效的快速算法. 目前 DCT 已成为运动图象压缩标准 MPEG 和静止图象压缩标准 JPEG (Joint Picture Expert Group) 的重要组成部分. 随着多媒体技术和数字通信技术的发展, 对 DCT/IDCT 算法及其 VLSI 实现的研究日趋重要. 尤其用于解码器的 IDCT 的研究尤为重要, 设计一个专用的二维 IDCT 实现结构是设计 MPEG 视频解码器的重要部分之一.

一般来说, DCT/IDCT 快速算法主要可分为两类: 采用矩阵分解, 递归计算等的直接算法; 采用快速傅里叶变换, 快速哈特莱变换等的间接算法. 这些算法通过降低算术运算数目, 可以有效地提高 DCT/IDCT 的计算速度, 同时降低实现复杂度.

本文则是在上述算法的基础上, 从另一角度, 即 VLSI 具体实现技术出发, 研究进一步降低 IDCT 实现规模的方法. 本文提出并设计了一种优化的二维 IDCT 结构, 并把它用于 MPEG2 视频解码器中. 本文第 2 节将简要介绍一种基于矩阵分解的 IDCT 算法; 第 3 节将讨论该算法的优化实现方法结构, 包括运算电路的简化、内部主要模块电路结构等; 第 4 节对 IDCT 的字长进行了分析和优化; 第 5 节将介绍电路设计结果.

2 DCT/IDCT 算法

MPEG 标准采用了 8×8 的二维 DCT 变换. 二维 DCT 变换可以分解为按行列两个方向依次进行的一维 DCT. 这种基于行列分解的二维分解方法相对于二维直接计算方法, 通常电路规模较小, 而且还具有结构规则、易于 VLSI 实现的优点. 一维 N 点 DCT 定义为:

$$\begin{cases} Y(0) = \sqrt{1/N} \sum_{n=0}^{N-1} X(n) \\ Y(k) = \sqrt{2/N} \sum_{n=0}^{N-1} X(n) \cos(\pi(2n+1)k/(2N)) \quad (K \neq 0) \end{cases} \quad (1)$$

根据变换系数的对称性, 对于 $N=8$ 可以得到^[1]:

$$\begin{bmatrix} Y(0) \\ Y(2) \\ Y(4) \\ Y(6) \end{bmatrix} = \begin{bmatrix} a & a & a & a \\ c & f & -f & -c \\ a & -a & -a & a \\ f & -c & c & -f \end{bmatrix} \times \begin{bmatrix} X(0) + X(7) \\ X(1) + X(6) \\ X(2) + X(5) \\ X(3) + X(4) \end{bmatrix} \quad (2. a)$$

$$\begin{bmatrix} Y(1) \\ Y(3) \\ Y(5) \\ Y(7) \end{bmatrix} = \begin{bmatrix} b & d & e & g \\ d & -g & -b & -e \\ e & -b & g & d \\ g & -e & d & -b \end{bmatrix} \times \begin{bmatrix} X(0) - X(7) \\ X(1) - X(6) \\ X(2) - X(5) \\ X(3) - X(4) \end{bmatrix} \quad (2. b)$$

其中

$$\begin{bmatrix} a \\ b \\ c \\ d \\ e \\ f \\ g \end{bmatrix} = \frac{1}{2} \begin{bmatrix} \cos(\pi/4) \\ \cos(\pi/16) \\ \cos(\pi/8) \\ \cos(3\pi/16) \\ \cos(5\pi/16) \\ \cos(3\pi/8) \\ \cos(7\pi/16) \end{bmatrix}$$

一维 N 点 IDCT 定义为:

$$Y(n) = \sqrt{1/N} X(0) + \sqrt{2/N} \sum_{k=1}^{N-1} X(k) \cos(\pi(2n+1)k/(2N)) \quad (3)$$

同样对于 $N=8$ 可以得到:

$$\begin{bmatrix} Y(0) \\ Y(1) \\ Y(2) \\ Y(3) \end{bmatrix} = \begin{bmatrix} a & c & a & f \\ a & f & -a & -c \\ a & -f & -a & c \\ a & -c & a & -f \end{bmatrix} \times \begin{bmatrix} X(0) \\ X(2) \\ X(4) \\ X(6) \end{bmatrix} + \begin{bmatrix} b & d & e & g \\ d & -g & -b & -e \\ e & -b & g & d \\ g & -e & d & -b \end{bmatrix} \times \begin{bmatrix} X(1) \\ X(3) \\ X(5) \\ X(7) \end{bmatrix} \quad (4. a)$$

$$\begin{bmatrix} Y(7) \\ Y(6) \\ Y(5) \\ Y(4) \end{bmatrix} = \begin{bmatrix} a & c & a & f \\ a & f & -a & -c \\ a & -f & -a & c \\ a & -c & a & -f \end{bmatrix} \times \begin{bmatrix} X(0) \\ X(2) \\ X(4) \\ X(6) \end{bmatrix} - \begin{bmatrix} b & d & e & g \\ d & -g & -b & -e \\ e & -b & g & d \\ g & -e & d & -b \end{bmatrix} \times \begin{bmatrix} X(1) \\ X(3) \\ X(5) \\ X(7) \end{bmatrix} \quad (4. b)$$

从以上表达式可知, 8 点 DCT/IDCT 均需要完成两次(4×4)与(4×1)的矩阵乘法. 同时 DCT 与 IDCT 之间具有很强的相似性, 可以采用同一结构实现 DCT 与 IDCT 的计算. 由于 MPEG 解码器中只需要进行 IDCT, 因此为了降低电路复杂度, 本文讨论的电路结构仅包含 IDCT. 但实际上本文的结果可以很容易地推广到 DCT 及 DCT/IDCT 的电路设计中.

实际上, 更少运算次数的 DCT/IDCT 算法可以使乘法运算数降低至 11 次^[2]. 但采用式(2)和(4)实现 DCT/IDCT 具有规则的结构, 非常有利于 VLSI 实现. 文献[1—4]的 DCT/IDCT 计算电路都是采用了基于上述表达式的 VLSI 实现方案.

3 IDCT 算法的 VLSI 优化结构

从表达式(2)与(4)可以看到, 计算 DCT/IDCT 的关键是两个(4×4)常数矩阵与矢量的乘法运算. 为了降低电路的复杂度, 通常采用分布算术或共享运算结构的方式实现. 由于共享运算结构具有控制与运算结构设计简单的特点, 更便于进行数据通道的设计, 同时也比较适用于 DCT/IDCT 这类计算比较规则的设计. 因此本文采用共享运算电路的方式. 这时二维 IDCT 可以用图 1 的结构实现. 它主要包括以下几个模块:

- 1) 数据整序单元(Data Reorder Unit, DRU)
- 2) 两个乘法模块(PXE Multipliers, QXO Multipliers)

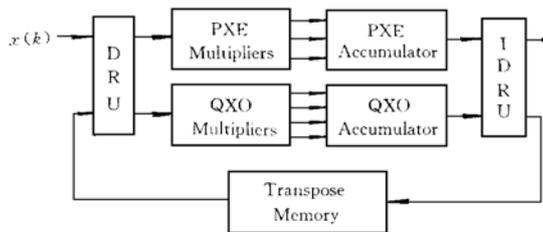


图 1 IDCT 的结构

FIG. 1 Structure of IDCT

- 3) 两个累加模块 (PXE Accumulator, QXO Accumulator)
- 4) 数据逆整序单元(Inverse Data Reorder Unit, IDRU)
- 5) 转置存储器(Transpose Memory)

在图 1 中, 变换系数按 $X_o = \{X_0, X_2, X_4, X_6\}$ 和 $X_e = \{X_1, X_3, X_5, X_7\}$ 通过数据整序单元(DRU), 分别依次进行矩阵乘法运算. 其中在 PXE 乘法模块中, X_e 与常数 a, c, f 相乘, 三个乘积在 PXE 累加模块中, 按(4)式, 得到第一个

矩阵乘积;在 QXO 乘法模块 X_0 与常数 b, d, e, g 相乘,四个乘积在 QXO 累加模块中,得到第二个矩阵乘积.在数据逆整序单元(IDRU)实现两个矩阵乘积的蝶型运算.

3.1 数据整序单元(DRU)

DRU 的结构如图 2 所示,交叉开关 Switch1 的控制信号 Sel1 由时钟的 8 分频产生,4 个时钟为高,4 个时钟为低.通过 Switch1,首先前 4 个时钟 $X(0), X(1), X(2), X(3)$ 写入后进先出缓冲区 (Last in First out, LIFO). 然后后 4 个时钟 $Y(0), Y(1), Y(2), Y(3)$ 写入 LIFO,同时 $X(3), X(2), X(1), X(0)$ 从 LIFO 中读出,并与此时输入的 $X(4), X(5), X(6), X(7)$ 一起送至 Switch2. Switch2 的控制信号 Sel2 由时钟的 2 分频产生,1 个时钟为高,1 个时钟为低.这样在输出端 X_0 输出 $(X(4), X(2), X(6), X(0))$, 输出端 X_1 输出 $(X(3), X(5), X(7), X(1))$. 同样在下 4 个时钟, X_0 和 X_1 将分别输出 $(Y(4), Y(2), Y(6), Y(0))$ 和 $(Y(3), Y(5), Y(7), Y(1))$.

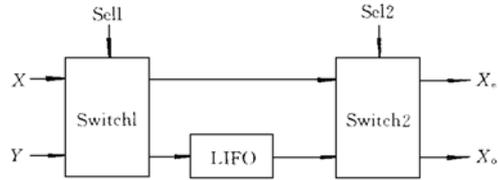


图 2 DRU 的结构
FIG.2 Structure of DRU

3.2 矩阵乘法的实现

表 1 常数矩阵系数

Table 1 Constant Matrix Coefficients			
	准确值	二进制数值(14b)	十进制数值
B	1.387040	1.0110001100010	1.386963
C	1.306563	1.0100111001111	1.306519
D	1.175876	1.0010110100000	1.175903
E	0.785695	0.1100100100100	0.785645
F	0.541196	0.1000101010001	0.541138
G	0.275899	0.0100011010100	0.275879

DCT/IDCT 矩阵有 a, b, c, d, e, f, g 七个参数,实际上由于参数 $a = \sqrt{2}/4$,若将所有参数放大 $2\sqrt{2}$,此时二维 IDCT 的最终输出放大了 8,可采用右移 3 位,即可得到正确的结果.此时 a 变为 1,可以减少 1 个乘法器.这一方法的另一优点是避免了直流信号数据通路的乘法计算误差,可以提高计算精度.此时剩余 6 个系数的值如表 1.

在 VLSI 设计中,为了降低定系数乘法器的实现规模,通常采用移位和加法代替乘法.如 $c \times X$ 可以采用下式实现:

$$X + 2^{-2}X + 2^{-5}X + 2^{-6}X + 2^{-7}X + 2^{-10}X + 2^{-11}X + 2^{-12}X + 2^{-13}X$$

当系数中出现较多连续的 1 时,可以采用 Booth 编码技术,即将二进制数转化为有符号数,从而减少加法器数目.例如在 c 的二进制表示中存在 111 与 1111,因此 $c \times X$ 可表示为下式,使加/减法运算数目从 8 降低为 5:

$$X + 2^{-2}X + 2^{-4}X - 2^{-7}X + 2^{-9}X - 2^{-13}X$$

经过上述处理后, $c \times X_0, f \times X_0, b \times X_0, d \times X_0, e \times X_0, g \times X_0$. 分别需要进行 5, 4, 5, 4, 4, 4 次加/减法运算.由于注意到实现各个乘法运算的加/减法个数不同,将会导致各数据通道的时延不匹配,这对于设计并行流水线结构是不利的.

3.3 矩阵乘法的进一步简化

注意到在 DCT/IDCT 乘法中,需要同时完成输入 X_0 与一组固定数 (a, c, f) 的乘法和输入 X_1 与一组固定数 (b, d, e, g) 的乘法.因此单独对每个乘法器进行设计会产生计算的冗余.为了解决这些问题,我们采用了以下方法,提取同一矩阵中不同乘法器之间共有的位模式,减少加法器数目.

例如,对于第一组的固定系数 c 与 f ,有

$$c = 1.0001 + 0.00111111 - 0.000000010001$$

$$f = 0.10001 + 0.0000001 + 0.000000010001$$

注意到 10001 这一模式, 在两个表达式中出现了 4 次, 若首先计算 $1.0001 \times X$ 的值后, 可以利用移位操作获得其余 3 项, 可以使加法运算从仅使用 Booth 编码的 9 次降为 6 次.

同样, 对于第二组的固定系数 b, d, e, g , 有

$$b = 1.01 + 0.00100001 + 0.000000100001$$

$$d = 1.01 - 0.000101 + 0.0000000100001$$

$$e = 0.1 + 0.01001 + 0.00000001001$$

$$g = 0.01001 - 0.0000001 + 0.00000000101$$

其中 101, 1001 和 100001 这 3 种模式, 在 4 个表达式中出现了多次. 因此可以首先计算 $1.01 \times X$, $1.001 \times X$, $1.0001 \times X$ 的值, 这样加法运算从 17 次 (在使用 Booth 编码后) 降为 11 次.

通过以上方法整个矩阵运算仅需 17 次加减运算即可完成. 而原先对表 1 系数, 即使采用 Booth 技术, 也需要 26 次加减运算, 而根据文献[2]的设计方法, 需要 34 次加减运算.

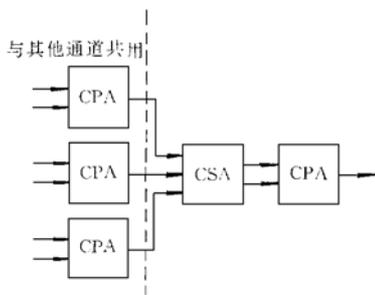


图3 一个数据通道结构图

FIG. 3 Structure Diagram of a Data Channel

从(4)式可知, 矩阵与矢量乘法计算结果经过加减法就可得到 IDCT 的结果. 图 4 给出了 IDRU 的结构图. 以 8 个时钟为周期, 前 4 个时钟, Sel 信号为高, 一维 IDCT 的结果 $Y(0), Y(1), Y(2), Y(3)$ 通过 Switch 送至输出端 Y , 而 $Y(7), Y(6), Y(5), Y(4)$ 则存入 LIFO; 后 4 个时钟, Sel 信号为低, 二维 IDCT 的结果 $Z(0), Z(1), Z(2), Z(3)$ 通过 Switch 送至最后输出端 Z , 同时 LIFO 中的数据按 $Y(4), Y(5), Y(6), Y(7)$ 读出至输出端 Y , 并且二维 IDCT 结果 $Z(7), Z(6), Z(5), Z(4)$ 存入 LIFO. 如此重复.

4 字长分析

为了降低运算通道的字长要求, 需要确定各点数据的最大幅度, 并通过分析计算中由于舍入与截断引起的误差, 以确定实际数据字长. 按照 IDCT 一致性测试规范 IEEE1180-1190, 采用 3 组 10000 个 8×8 的随机数据块, 峰值分别为 (1) $L = -5, H = 5$; (2) $L = -256, H = 255$; (3) $L = -300, H = 300$. 根据测试结果, 进行字长的优化处理, 优化的首要目标是降低转置存储器的字长, 这是因为存储器对整个电路规模的影响很大; 其次降低数据通道的字长. 通过仔细调整各个运算步骤的运算结构与保留结果的精度, 最后采用转置存储器字长为 15bits, 数据通道的输入字长为 15bits. 运算结构内部字长根据精度和动态范围的具体要求进行选择, 最长为 18bits. 表 2 为此时的测试结果.

从测试结果可以看到, 采用本文的设计方法设计的 IDCT 处理器的字长优于同类设计方法^[4]所需

从化简后的表达式可以看到, 除直流分量外每个输出均有 3 项基本输入或共有表达式及其移位构成. 因此各数据通道的时延基本相同. 图 3 给出了一个通道的示意图, 其中左边的进位传递加法器 (Carry Propagation Adder, CPA) 结果是公用表达式, 与其他通道共用. 为了降低运算通道的最长时延, 在运算中采用了 3:2 的进位保持加法器 (Carry Save Adder, CSA) 代替 CPA, 这时除直流分量通路外, 所有运算通道的时延均为 $T_{CSA} + 2T_{CPA}$ (T_{CSA} 为 CSA 时延, T_{CPA} 为 CPA 时延). 平衡的数据通道时延使上述结构非常适于流水线与并行处理.

3.4 数据逆整序单元 (IDRU)

从(4)式可知, 矩阵与矢量乘法计算结果经过加减法就可得到 IDCT 的结果. 图 4 给出了 IDRU 的结构图. 以 8 个时钟为周期,

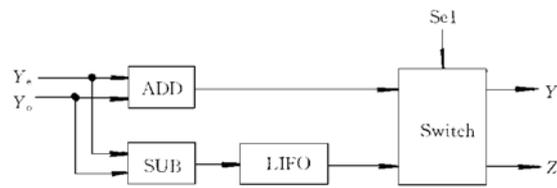


图4 IDRU 结构图

FIG. 4 Structure of IDRU

22bits 字长的结果,这一结果主要来源于数据通道误差的减小.

5 设计结果

在整个设计过程中,首先用 C 语言实现了 IDCT 的结构,然后用 VHDL 设计了 RTL 级电路,在 Viewlogic 系统中进行了模拟验证.接着用 Synopsys 工具综合得到门级电路.设计中采用 $0.6\mu\text{m}$ CMOS 工艺库.最后,采用 Cadence 软件中的 Silicon Ensemble 进行了版图设计.不包括 Transpose

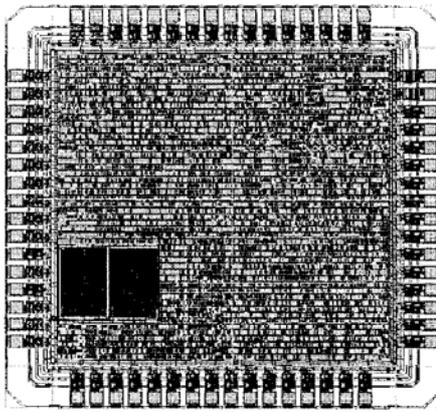


图 5 IDCT 版图

FIG. 5 Layout of a IDCT

表 2 一致性测试结果

Table 2 Test Results for Consistence

	规格(Spec.)	组 1	组 2	组 3
最大像素误差	≤ 1	1	1	1
最大像素均方差	≤ 0.06	0.0197	0.0220	0.0177
整体均方差	≤ 0.02	0.0169	0.0183	0.0155
最大像素平均误差	≤ 0.015	0.0079	0.0070	0.0060
整体平均误差	≤ 0.0015	0.00011	0.00005	0.00015

Memory, 电路规模为 37210 个单元面积,折合 9300 门左右,关键路径延时为 9.72ns ,速度可达 100MHz 左右.此电路已送新加坡特许半导体公司制造.图 5 给出了所设计的版图(包括 Transpose Memory).总的芯片面积约为 $3.5\text{mm} \times 3.5\text{mm}$.

6 结束语

本文提出了一种降低实现 IDCT 实现复杂度的设计方法.在这一方法中,我们利用了 IDCT 的矩阵乘法中固定系数的内在特点,采用公用表达式的方式,降低了 IDCT 实现规模,提高了电路的速度.本电路采用 $0.6\mu\text{m}$ CMOS 工艺,芯片面积约为 $3.5\text{mm} \times 3.5\text{mm}$,速度可达 100MHz .

参 考 文 献

- [1] 周汀,闵昊,章倩蓉,计算机学报,1997,12[ZHOU Ting, MIN Hao and ZHANG Qianling, Chinese Journal of Computer, 1997, 12(in Chinese)].
- [2] Avanimidra Madisetti and Alan N. Willson Jr., DCT/IDCT Processor Design for HDTV Applications, in Proceedings of URSI Internation Symposium on Signals, Systems and Electronics, 1995, 63—66.
- [3] Toshihiro Masaki, Yasuo Morimoto, Takao Onoyo and Idsao Shirakawa, IEEE Trans. Circuit and Syst. for Video Tech., 1995, 5(5): 387—395.
- [4] Avanimidra Madisetti and Alan N. Willson, IEEE Trans. Circuit and Syst. for Video Tech., 1995, 5(2): 158—165.