

45ps 的超高速全耗尽 CMOS/SOI 环振

刘新宇 孙海峰 海潮和 吴德馨

(中国科学院微电子中心, 北京 100029)

摘要: 亚微米全耗尽 SOI(FDSOI) CMOS 器件和电路经过工艺投片, 取得良好的结果, 其中工作电压为 5V 时, 0.8 μm 全耗尽 CMOS/SOI 101 级环振的单级延迟仅为 45ps; 随着硅层厚度的减薄和沟道长度的缩小, 电路速度得以提高, 0.8 μm 全耗尽 CMOS/SOI 环振比 0.8 μm 部分耗尽 CMOS/SOI 环振快 30%, 比 1 μm 全耗尽 CMOS/SOI 环振速度提高 15%.

关键词: 全耗尽; CMOS/SOI 器件; 环振

EEACC: 2570D; 2570F; 2530F; 2550B

中图分类号: TN432 **文献标识码:** A **文章编号:** 0253-4177(2000)08-0830-03

Super-Fast Fully Depleted CMOS/SOI Ring Oscillator with Delay Time of 45ps

LIU Xin-yu, SUN Hai-feng, HAI Chao-he and WU De-xin

(Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

Received 24 May 2000

Abstract: The fully depleted CMOS/SOI device and circuit with channel length of 0.8 micron are studied. The well-behaved characteristics of device and circuit are achieved, the propagation delay per-stage of 101-stage 0.8 micron CMOS/SOI ring oscillator is 45ps with 5V supply voltage. As thickness of silicon and channel length reduced, the speed of circuit are increased. The 0.8 micron CMOS/FDSOI ring oscillator is 30 per cent faster than 0.8 micron CMOS/PDSOI ring oscillator, and 15 per cent faster than 1 micron CMOS/FDSOI ring oscillator.

Key words: fully depleted; CMOS/SOI device; ring oscillator

EEACC: 2570D; 2570F; 2530F; 2530B

Article ID: 0253-4177(2000)08-0827-03

刘新宇 男, 1973 年出生, 博士研究生, 现从事 PD/FDSOI 工艺、电路和抗辐照特性研究.

孙海峰 男, 1973 年出生, 硕士研究生, 现从事 PD/FDSOI 工艺和抗辐照特性研究.

海潮和 男, 研究员, 长期从事体硅、SOI 的工艺和电路研究.

吴德馨 女, 中国科学院院士, 长期从事体硅、SOI 和砷化镓的工艺和电路研究.

2000-05-24 收到

1 前言

随着器件尺寸的缩小, 电路的速度得以不断地提高. 但当器件特征尺寸下降到亚微米、深亚微米领域, 体硅工艺由于自身材料的限制, 其电路速度的提高受到严重的制约. SOI 技术^[1], 特别是全耗尽 SOI 技术, 由于其自身的特点: 无门锁效应; 源、漏寄生电容小; 较为陡直的亚阈值斜率; 输出驱动电流大; 载流子迁移率高; 较好地抑制短沟道效应等, 在进入亚微米、深亚微米后, 它将取代体硅工艺成为高速、高性能电路的主流工艺. 目前, 国内外有关高速 SOI 器件和电路的报道很多. 1994 年, Motorola 公司报道了高速的 SOI 256 分频器电路, 电源电压为 1V 时的工作频率可达 500MHz^[2]. IBM 公司 1997 年报道了采用 0.1 μm SOI CMOS 工艺制备出的无负载单级延迟在室温达 7.85ps, 在液氮温度下为 5.5ps 的反相器电路. 1998 年他们采用 0.18 μm 工艺制备出时钟速度高达 660MHz 的 64 位微处理器, 与相同工艺的体硅电路相比, 速度提高了 30%^[3]. 在国内, 90 年代, 中国科学院半导体研究所率先开展薄膜全耗尽 CMOS/SOI 基础理论研究^[4,5]; 中国科学院微电子中心于 1999 年研制出 0.5 μm 部分耗尽 SOI CMOS 器件和电路, 其中 101 级环振在工作电压为 3V 时, 其单级延迟仅为 42ps^[6]; 北京大学微电子所于 2000 年研制出超高速的全耗尽电路^[7]. 本文报道了全耗尽 CMOS/SOI 器件和电路的最新进展. 其中全耗尽 CMOS/SOI 101 级环振在工作电压为 5V 时, 单级延迟仅为 45ps, 这为国内全耗尽 CMOS/SOI 电路研制目前最高水平. 本文第二部分对 0.8 μm 全耗尽 CMOS/SOI 工艺进行了介绍; 第三部分对 0.8 μm 全耗尽 CMOS/SOI 器件和电路进行分析与测试.

2 全耗尽 CMOS/SOI 工艺研究

0.8 μm 全耗尽 CMOS/SOI 器件和电路是在微电子中心第一研究室进行工艺投片. 光刻机为 ASM-5000, 刻蚀采用 Lam 公司亚微米系列刻蚀机. 硅片采用美国 IBIS 公司的 1cm SIMOX 基片, 其中 T_{box} : 382.6nm, T_{si} : 198.6nm 衬底 P<100>. 其具体工艺流程如下^[6]: (1) 作标记; (2) 采用牺牲氧化技术减薄硅层至 95nm; (3) PBL (Poly-buffered LOCOS) 隔离; (4) NMOS 管硅岛边缘注入; (5) 预栅氧 15nm; (6) 沟道掺杂工程; (7) 抗辐射薄栅氧化 850 $^{\circ}\text{C}$ 11nm, 我们将 $\text{H}_2\text{-O}_2$ 合成和氮氧化栅两种技术结合起来, 采用三层复合结构 “Sandwich” 栅; (8) LPCVD 多晶硅 350nm, 多晶硅掺杂注入, 器件采用新型的双栅结构; (9) 光刻和 RIE 多晶硅, 形成 0.8 μm 多晶硅栅; (10) 源漏 Extention 掺杂; (11) 淀积 TEOS 330nm, RIE 形成 LDD 结构; (12) 源漏注入; (13) RTA 1000 $^{\circ}\text{C}$ 6s; (14) 注 Ge 硅化物工艺; (15) BPSG 淀积及回流; (16) 双层金属布线 (采用 SOG 法); (17) 钝化. 最终, 我们获得性能优良的 0.8 μm 全耗尽 CMOS/SOI 器件和电路, 顶部硅层仅剩 70nm, 硅化物厚度为 45nm 左右.

3 器件与电路的测试与分析

我们成功地研制出 0.8 μm 全耗尽 SOI 器件和电路. 表 1 给出 0.8 μm 全耗尽 SOI 器件的基本电学参数和器件性能.

在 0.8 μm 全耗尽 CMOS/SOI 环形振荡器电路中, 为了使得电路充分振荡, 我们设计了 101 级的环振. 采用 HP54615B 示波器对环振进行分析、测试, 图 1 给出在 5V 工作电压下环形振荡器的波形图. 根据计算, 全耗尽环形振荡器的单级门延迟仅为 45ps, 这是目前国内全耗尽 SOI CMOS 电路研制报道的最高水平. 图 2 给出 101 级 0.8 μm 部分耗尽、全耗尽 CMOS/SOI 环振单级延迟时间与工作电压的关系图, 其中曲线 a 为全耗尽 CMOS/SOI 环振, 曲线 b 为部分耗尽 CMOS/SOI

表 1 0.8 μm 全耗尽 SOI (TFSOI) 器件的基本电学性能和器件参数

Table 1 Basic Characteristic and Device Parameters for 0.8 μm Fully Depleted SOI Device

| | NMOS | PMOS |
|---|---------------------|---------------------|
| 硅层厚度/nm | 65 | 65 |
| 沟道长度/ μm | 0.8 | 0.8 |
| 栅氧厚度/nm | 11 | 11 |
| 阈值电压/V | 0.7 | -0.8 |
| 迁移率/($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) | 465 | 264 |
| 亚阈值斜率/(mV/dec) | 79 | 81 |
| 泄漏电流/($\text{A} \cdot \mu\text{m}^{-1}$) | 2×10^{-12} | 7×10^{-13} |
| 击穿电压/V | 4.5—5.2 | -5—-6.3 |

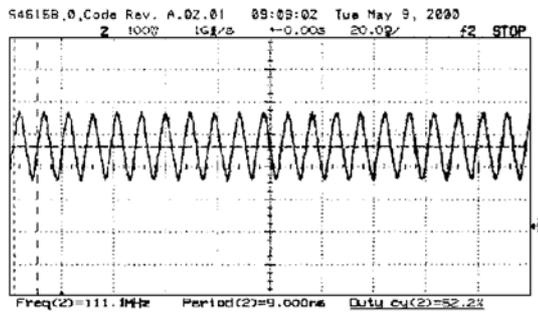


图1 在5V工作电压下环形振荡器的波形图

FIG.1 Wavement of Ring Oscillator with 5V Supply Voltage
环振单级延迟时间提高约15%.

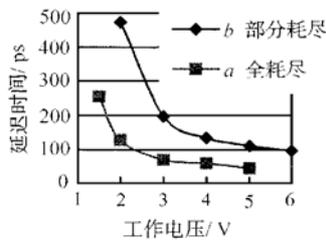


图2 0.8μm 101级环振单级延迟时间与工作电压的关系图

FIG.2 Propagation Delay Time of 0.8μm 101-Stage Ring Oscillator vs Supply Voltage

环振. 从图可见, 环振可在2—5V下稳定工作, 同时随着硅层厚度的减薄, 电路速度得以提高, 全耗尽 CMOS/SOI 环振比部分耗尽环振快30%, 这是全耗尽 CMOS/SOI 电路的显著特点, 主要是由于全耗尽 SOI 器件的寄生电容和体效应降低引起的, 使之成为高速电路的主流.

图3为0.8μm和1μm全耗尽 CMOS/SOI 环振单级延迟时间与工作电压的关系图, 其中曲线a为0.8μm全耗尽 CMOS/SOI 环振, 曲线b为1μm全耗尽 CMOS/SOI 环振. 从图可见, 随着器件特征尺寸的缩小, 电路的速度得以迅速提高, 0.8μm全耗尽比1μm全耗尽 CMOS/SOI

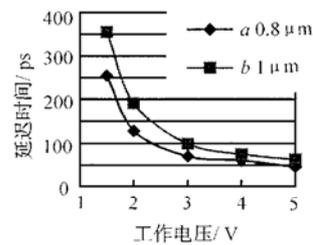


图3 0.8μm和1μm全耗尽101级环振单级延迟时间与工作电压的关系图

FIG.3 Propagation Delay Time of 0.8μm and 1μm 101-Stage Ring Oscillator vs Supply Voltage

4 结论

本文对0.8μm全耗尽 CMOS/SOI 器件和电路进行了研究, 开发出成套的0.8μm全耗尽 CMOS/SOI 工艺, 可实现中、小规模 CMOS/SOI 亚微米电路. 经过工艺投片, 我们获得性能良好的器件和电路, 当工作电压为5V时, 0.8μm全耗尽 SOI/CMOS 101级环振单级延迟为45ps, 这是目前国内全耗尽 SOI CMOS 电路研制报道的最高水平; 同时随着硅层厚度的减薄, 电路速度得以提高, 全耗尽 CMOS/SOI 环振比部分耗尽环振快30%; 随着器件特征尺寸的缩小, 电路的速度也有所提高, 0.8μm全耗尽 CMOS/SOI 环振单级延迟时间比1μm全耗尽 CMOS/SOI 环振单级延迟时间提高约15%.

参 考 文 献

- [1] J. P. Colinge, Silicon-On-Insulator Technology: Materials to VLSI, Boston: Kluwer Academic publishers, 1991.
- [2] B. Y. Hwang *et al.*, Int. Conf. On SSDM, Yokohama, 1994: 265.
- [3] IBM Advances Chip Technology with Breakthrough for Making Faster, More Efficient Semiconductors, <http://www.ibm.com/news/1998/08/03.phtml>.
- [4] 王守武, 夏永伟, 孔令坤, 张冬萱, 半导体学报, 1985, 6(3): 225—230 [WANG Shouwu, XIA Yongwei, KONG Lingkun and ZHANG Dongxuan, Chinese Journal of Semiconductors, 1985, 6(3): 225—230 (in Chinese)].
- [5] 夏永伟, 王守武, 半导体学报, 1990, 11(12): 962—965 [XIA Yongwei and WANG Shouwu, Chinese Journal of Semiconductors, 1990, 11(12): 962—965 (in Chinese)].
- [6] 刘新宇, 等, 0.5μm CMOS/SOI 器件和电路, 第四届全国 SOI 会议论文集, 2000, 5 [LIU Xinyu *et al.*, 0.5μm CMOS/SOI Devices and Circuits, Proceeding of Fourth National SOI Conference, 2000, 5].
- [7] 奚雪梅, 等, 超高速 CMOS/SOI 51 级环振电路的研制, 电子学报, 2000 年待发表 [XI Xuemei *et al.*, Acta Electronica Sinica, to be published].