

一种利用自举效应的 Charge-Recovery 逻辑电路^{*}

李晓民 仇玉林 陈潮枢

(中国科学院微电子中心研究部, 北京 100029)

摘要: 提出了一种新的 semi-adiabatic 逻辑电路——Bootstrap Charge-Recovery Logic (BCRL)。该电路由 semi-adiabatic 电路完成逻辑运算, 而由自举的 NMOS 管驱动负载, 对负载的操作为 full-adiabatic 过程。BCRL 电路由两相无交叠脉冲时钟电源供电, 输出为全摆幅脉冲信号。比较了 BCRL 反相器驱动电容负载时与静态 CMOS 电路及部分文献中的 semi-adiabatic 电路的功耗差别。应用 $0.65\mu\text{m}$ CMOS 工艺器件参数的模拟结果表明, BCRL 电路可以在 100MHz 脉冲电源频率下正常工作, 并且有较好的降低功耗的效果。

关键词: 逻辑电路; 自举

EEACC: 1265B; 2570D; 8360

中图分类号: TN431.2 **文献标识码:** A **文章编号:** 0253-4177(2000)09-0887-05

A Type of Bootstrapped Charge-Recovery Logic Circuit^{*}

LI Xiao-min, QIU Yu-lin and CHEN Chao-shu

(Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China)

Received 17 July 1999, revised manuscript received 24 September 1999

Abstract: A new Bootstrapped Charge-Recovery Logic (BCRL) driven by two-phase non-overlap power clock is presented. The logic value of BCRL circuit is calculated by the CMOS-latch type circuits, and the loads driven full-adiabatically by bootstrapped NMOS transistors with full-swing operation. Comparision between the powers of static CMOS and state-of-art semi-adiabatic circuits is performed on an inverter with capacitance load. With the paramters of 0.65 micron CMOS device, the simulation results show that the BCRL circuit can work at 100MHz power clock and it has a satisfactory power saving comparing with other semi-adiabatic circuits.

* 国家自然科学基金资助项目(编号 69976035) [Project Supported by National Natural Science Foundation of China Under Grant No. 69976035].

李晓民 男, 1969 年出生, 博士研究生, 主要研究方向为低功耗集成电路设计。

仇玉林 男, 研究员, 博士生导师, 主要从事集成电路设计研究。

1999-07-17 收到, 1999-09-24 定稿

Key words: logic circuit; bootstrap

EEACC: 1265B; 2570D; 8360

Article ID: 0253-4177(2000)09-0887-05

1 前言

随着集成电路性能与规模的提高,降低电路的功耗已成为一个十分重要的研究课题。尤其是对于各种便携设备,电池寿命是首要考虑的问题,减小电路功耗显得尤为重要。降低功耗可以从改善芯片的系统结构、逻辑结构、电路及工艺几个方面来实现。从电路与工艺方面来说,最有效的方式是降低芯片的工作电压。但由于诸多物理因素的限制及电路对于噪声容限的要求,工作电压的降低存在一个极限。因此,低功耗adiabatic 电路技术近来得到了广泛的关注与研究。Adiabatic 电路技术的特点是利用交流脉冲电源驱动芯片,由电源中的电感与电路的节点电容构成振荡回路,将注入电路节点的电荷重复使用,可以在保持电路逻辑摆幅的前提下达到降低功耗的目的。近期发表的文献表明了这种技术进入实际应用的可能性^[1-5]。Adiabatic 电路分为两类,full-adiabatic 电路与 semi-adiabatic 电路。Full-adiabatic 电路的特点是电路功耗可以随电源脉冲周期的加长无限降低,但同时也存在着控制时钟复杂且只能实现可逆逻辑的弱点。Semi-adiabatic 电路则较为简单,无可逆逻辑的限制,但现有的 semi-adiabatic 电路如 ECRL、ADL、2N-2N2D 等电路都是通过与负载串联的二极管或二极管接法的 PMOS、NMOS 管对负载充放电,器件的压降将导致与负载大小直接相关的固有功耗,并且此功耗与器件尺寸及工作速度无关。

本文提出一种新的 semi-adiabatic 电路。电路分为两级操作,第一级由 semi-adiabatic 电路进行逻辑值运算;第二级由自举操作的 NMOS 管对负载进行 full-adiabatic 充放电操作。因此与一般的 semi-adiabatic 电路相比有较小的功耗。利用自举效应的 Charge-Recovery 逻辑电路(Bootstrapped Charge-Recovery Logic Circuit, BCRL)中的驱动时钟电源为两相无交叠脉冲电源。下面介绍 BCRL 电路的工作原理、电路的功耗分析及 SPICE 模拟结果。

2 BCRL 电路的工作原理

BCRL 电路的结构如图 1 所示,Power Clock 波形如图 2 所示。P1, P2 与 N1, N2 构成 CMOS-latch 形成的电路,当 N1, N2 由互补逻辑电路取代时就可完成相应的逻辑运算。IN, ~IN 为反相器的互补输入,OUT, ~OUT 为互补输出。PC1 结点接 Power Clock P1, PC2 结点接 Power Clock P2。电路的输入为与

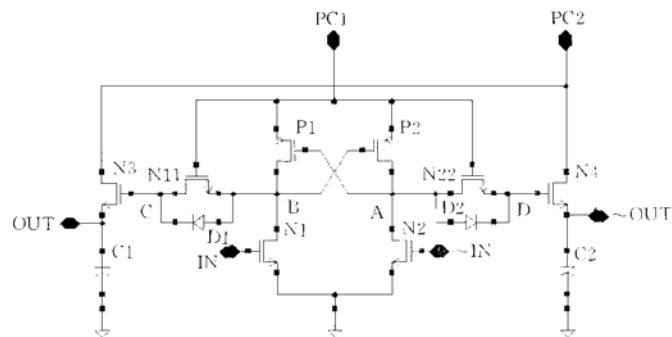


图 1 BCRL 反相器电路结构

FIG. 1 Invertor Circuit for BCRL

Power Clock P1 同相的脉冲信号。

假设 IN 结点输入逻辑值一, ~ IN 结点输入逻辑值零, PC1 结点电位为零时, 结点 A、B 处电位都为零。当输入信号电平及 PC1 电平达到 V_{in} 时(假设 $|V_{tp}| > V_{in}$), N1、N11、N22 导通, C 处电荷将通过 N1 及 N11 流入地, D 点的电荷将通过 N22 在 A 与 D 结点间分配。当输入信号上升到 V_{tp} 时, 由于 CMOS-hatch 结构的正反馈作用, A 结点将很快被拉到与 PC1 相同的电平, B 结点电位将依然保持在零电平上。在随后的过程中, A 结点电位将跟随 PC1 电位变化。结点 A 的波形如图 3 所示。由于 A 点电位跟随 PC1 的变化, N22 在 PC1 点电压大于 $|V_{tp}|$ 后只能单向导通, 即电荷只能从 A 结点流向 D 结点。因此当 PC1 重新回到地电平时, D 的电位最终将保持在 $\text{MAX}(\text{PC1}) - 0.7\text{V}$, 且 C、D 两结点处于浮动状态, N4 导通, N3 截止。

PC2 逐渐升高时, D 点与 ~ OUT, PC2 结点间的寄生电容将起到自举电容的作用, 使 N4 始终保持导通, ~ OUT 点的响应为一个与 PC2 同相的脉冲信号。C 结点由于初始存储电荷为零, N3 将一直截止, 即 OUT 点电位保持在零电平。反相器输入为 1、0、1、0 脉冲时的输出如图 4 所示。

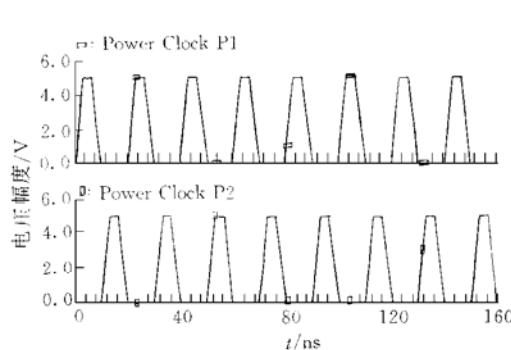


图 2 驱动 BCRL 电路的时钟电源波形

FIG. 2 Power Clock Waveform for BCRL Driving Circuit

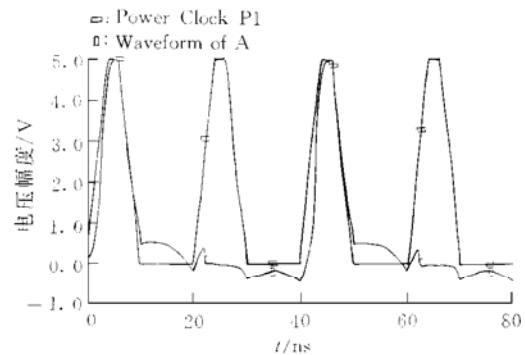


图 3 结点 A 的波形

FIG. 3 Waveform of Point A

图 5 为对 BCRL 反相器电路瞬时功率的积分。如图所示, 电路每次翻转所消耗的能量远低于负载电容充放电所需的能量。

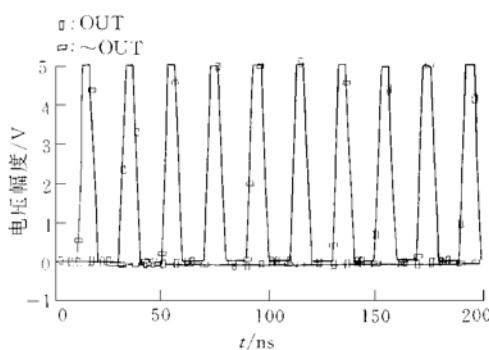


图 4 BCRL 反相器的输出波形

FIG. 4 Output Waveform of BCRL Inverter

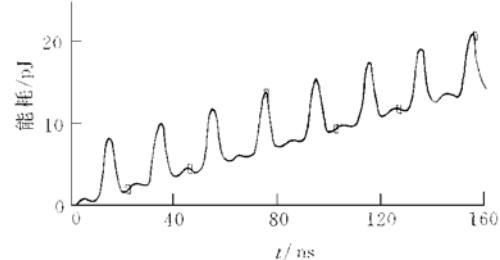


图 5 BCRL 反相器瞬时功率积分(电路负载 $0.5\mu\text{F}$)

FIG. 5 Transient Power Integration of BCRL Invertor

3 BCRL 电路的功耗分析及性能比较

BCRL 电路的功耗分析较为复杂,涉及到对数个结点的不同性质的充放电过程。为方便起见,只计算电路在一个工作周期内的能量消耗。设 A、B、C、D 各结点的电容为 C_A 、 C_B 、 C_C 、 C_D ,且 $C_A = C_B$, $C_C = C_D$, 电路的负载电容为 C_{load} , 脉冲电源峰值为 V_{dd} 。电路的工作分为两步,因此下面分析时将电路的能量消耗分为 P_{PC1} 和 P_{PC2} 两部分,分别代表 Power Clock P1 与 Power Clock P2 时间段电路的能耗。 P_{PC2} 可由下式表示:

$$P_{PC2} = C_{load}V_{dd}^2(RC_{load})/T \quad (1)$$

式中 R 为输出管的等效导通电阻; T 为 Power Clock 的上升及下降时间。由(1)可以看出,增加输出管的宽长比可以有效降低负载电容的充放电过程所消耗的能量。并且当脉冲电源的周期趋近于无穷时能量消耗趋近于零。

在 Power Clock P1 时间段中,电路经历数个不同的工作过程,各个过程的能量消耗必须分别计算。在 0 到 V_{tn} 区间,所有元件处于截止状态,功耗为零。在 V_{tn} 到 $|V_{tp}|$ 区间,假设 N1 导通,N2 截止,存储于结点 C 上的电荷将通过 N1、N11 泄放到地,结点 D 上的电荷将在 D、A 间分配。这一过程造成一部分能量消耗 E_1 ,如前次输入与此次反相,则 C 结点上电平为 $V_{dd} - 0.7V$,D 结点电位为零, E_1 可表示为:

$$E_1 = C_C(V_{dd} - 0.7V)^2/2 \quad (2)$$

在 $|V_{tp}|$ 到 V_{dd} 区间,电路将经历两个工作过程,当 P2 开启时,结点 A 与结点 PC2 的电位差为 V_{tp} ,结点 A 的充电与静态充电过程性质相同,充电过程的能耗 E_2 可以表示为:

$$E_2 = C_A|V_{tp}|^2/2 \quad (3)$$

这一充电过程完成之后,结点 A 的电位将跟随 Power Clock P1 的电位变化,由 $|V_{tp}|$ 到 V_{dd} 再到零电平的充放电为一 adiabatic 过程,能耗 E_3 可以表示为:

$$E_3 = C_A(V_{dd} - |V_{tp}|)^2(R_p C_A)/T \quad (4)$$

R_p 为 P2 管的等效导通电阻。

结点 D 的充电是通过二极管完成的,因此二极管的压降将造成一部分与脉冲电源频率无关的能耗 E_4 :

$$E_4 = C_D(V_{dd} - 0.7V) \times 0.7V \quad (5)$$

与电源频率相关的部分能量消耗 E_5 可以表示为:

$$E_5 = C_D(V_{dd} - 0.7V)^2 \times (C_D(R_p + R_n))/T/2 \quad (6)$$

R_n 为二极管 D2 与 N22 的并联等效电阻。

由以上各式可以得出:

$$\begin{aligned} P_{PC1} &= E_1 + E_2 + E_3 + E_4 + E_5 \\ &= C_C(V_{dd} - 0.7V)^2/2 + C_A|V_{tp}|^2/2 + C_A(V_{dd} - |V_{tp}|)^2 \\ &\quad \times (R_p C_A)/T + C_D(V_{dd} - 0.7V) \times 0.7V + C_D(V_{dd} - 0.7V)^2 \\ &\quad \times (C_D(R_p + R_n))/T/2 \end{aligned} \quad (7)$$

在以上各项能量消耗中,输出驱动管的栅电容的 non-adiabatic 充放电构成了 BCRL 电路功耗的主要部分。由于自举结点的电容可以远小于负载电容,BCRL 电路可以用远较 CMOS 电路为低的功耗对负载进行驱动。

图 6 为 BCRL 反相器驱动 0.2pF 电容的能量消耗与 ECRL、PAL 电路及静态 CMOS 电路的比较。电路应用 0.65μm CMOS 工艺参数设计。

图 7 为 BCRL 电路能耗随负载的变化,如图所示,BCRL 电路能耗对负载敏感程度较低。图 7 中 Power Clock 频率为 50MHz, $V_{ee1} = 5.0V$, $V_{ee2} = 3.3V$, $V_{ee3} = 2.5V$ 。

BCRL 电路的缺点是对工作电压较为敏感。由于自举结点通过二极管充电,当工作电压降低时,输出

管栅压的降低非常显著,使输出管导通电阻增加,导致电路的功耗增加,在很大程度上将抵消输出摆幅降低所带来的好处。

用 BCRL 电路构成复杂逻辑电路时另一功耗来源是第一级的互补逻辑电路所引起的功耗。注入互补逻辑电路的电荷将不可能再通过 P1、P2 回到电源中,即在复杂逻辑电路的三种电容负载: 棚电容、互连电容和扩散电容中,只有棚电容和互连电容的操作是 adiabatic 形式的,利用 BCRL 电路无法减小由互补逻辑电路内部的扩散电容所造成的功耗。

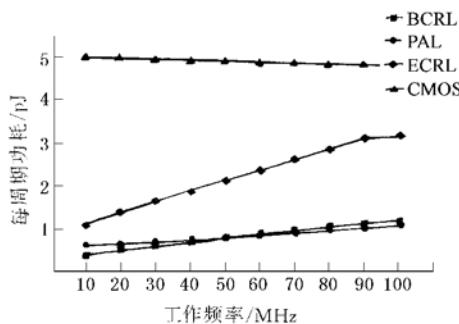


图 6 反相器能耗的比较(负载为 0.2pF)

FIG. 6 Comparison of Power Dissipation for Different Logic Circuits

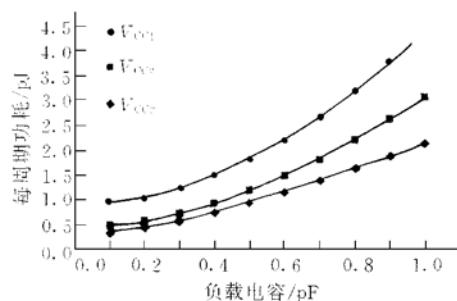


图 7 BCRL 电路的功耗随负载的变化

FIG. 7 Power Dissipation of BCRL Circuit Versus Load Capacitor

4 结论

综上所述,我们提出了一种新的利用自举效应的 Charge Recovery 逻辑电路,电路的供电电源为两相无交叠脉冲时钟电源,对负载的操作为 full-adiabatic 方式。且电路结构较为简单,可以方便的构成复杂逻辑电路。

参 考 文 献

- [1] J. G. Koller and W. C. Athas, "Adiabatic Switching, Low Energy Computing, and Physics of Storing and Erasing Information", Proc. Phys. Comp'92, Dallas, TX, 1992, 2—4.
- [2] R. T. Hinman and M. F. Schlecht, "Recovered Energy Logic—A Highly Efficient Alternative to Today's Logic Circuit", in Proc. IEEE Power Electron. Specialists Conf., 1993, 17—26.
- [3] W. C. Athas *et al.*, "Low-Power Digital Systems Based on Adiabatic-Switching Principle", IEEE Trans. VLSI Syst., 1994, 2: 398—407.
- [4] T. J. Gabara, "Pulsed Low Power CMOS", in IEEE Symp Low Power Design, 1994, 96—99.
- [5] Yong Moon *et al.*, "An Efficient Charge Recovery Logic Circuit", IEEE Journal of Solid-State Circuit, 1996, 31 (4): 514—522.
- [6] W. C. Athas, Nestoras Tzartzanis, "A Low-Power Microprocessor Based on Resonant Energy", IEEE Journal of SSC, 1997, 32(11): 693—699.
- [7] Voiin G. Oklobdzija *et al.*, "Pass-Transistor Adiabatic Logic Using Single Power-Clock Supply", IEEE Trans on Circuit and System-II, 1997, 44(10): 842—846.