

## 不同结构 CMOS 运算放大器电路的电离辐射效应

任迪远 陆 妍 郭 旗 余学锋 严荣良

(中国科学院新疆物理研究所, 乌鲁木齐 830011)

胡浴红 王明刚 赵元富

(西安微电子技术研究所, 西安 710054)

**摘要:** 介绍了在相同工艺条件下, N 沟和 P 沟输入两种不同结构 CMOS 运算放大器电路的电离辐照响应规律及各子电路对电特性的影响情况。结果表明: 由辐照生的氧化物电荷引起的 N 沟镜像负载的不对称是导致 P 沟输入运放电特性衰降的主要机制; 而由氧化物电荷和界面态引起的 N 沟差分对的漏电增大则是造成 N 沟输入运放电路性能变差的主要原因。

**关键词:** CMOS; 运算放大器; 电离辐射效应; 氧化物电存; 界面态

**EEACC:** 1220; 2570D; 2550; 2570; 7910

**中图分类号:** TN432; O571.33   **文献标识码:** A   **文章编号:** 0253-4177(2000)09-0898-06

## Total Dose Radiation Effects of CMOS Operational Amplifier with Different Structures

REN Di-yuan, LU Wu, GUO Qi, YU Xue-feng and YAN Rong-liang

(Xinjiang Institute of Physics, The Chinese Academy of Sciences, Urumqi 830011, China)

HU Yu-hong, WANG Ming-gang and ZHAO Yuan-fu

(Xi'an Microelectronics Techiques Institute, Xi'an 710600, China)

Received 5 May 1999, revised manuscript received 10 November 1999

**Abstract:** The total dose radiation effects of CMOS operational amplifiers (op-amps) with N and P channel

REN Di-yuan (任迪远), male, born in 1950. He is a Professor of Xinjiang Institute of Physics, CAS. Mechanisms and hardening techniques of MOS devices' damage induced by irradiation are his main research objects.

LU Wu (陆 妍), female, born in 1962. She is a senior engineer of Xinjiang Institute of Physics, CAS. Her research areas include the reliability and damage analysis as well as processes optimum of op-amps.

GUO Qi (郭 旗), male, born in 1964. He is an engineer of Xinjiang Institute of Physics, CAS. He has been engaged in the research of irradiation effects and measurement techniques of ICs.

1999-05-05 收到, 1999-11-10 定稿

transistors inputs have been studied. Influences contributed by some subsidiary circuits in irradiation on the op-amps' characteristics have also been investigated. It is shown that the main mechanism of the op-amps with P-channel transistor input, which makes the performance degrade is the unbalance of the N-channel transistors' mirror-load. On the other hand, the increase of the leakage current of differential pair is the most important reason for the deterioration of the op-amps behavior with N-channel transistor input.

**Key words:** CMOS operational amplifier; total dose radiation; oxide charges; interface states

EEACC: 1220; 2570D; 2550; 2570; 7910

**Article ID:** 0253-4177(2000)09-0898-06

## 1 引言

随着核技术和空间技术的发展, MOS 器件的电离辐射效应及其加固工艺日益受到广泛的重视<sup>[1-5]</sup>. 近年来, 随着研究工作的深入, 国内在 CMOS 数字电路的抗辐射加固技术方面已经取得了较大的进展, 获得了可喜的成果<sup>[6-8]</sup>. 但有关 CMOS 线性电路的加固研究尚处在探索阶段<sup>[9-11]</sup>. 这一方面是因为线性电路的工作原理、电路结构等与数字电路不同, 由此引起的辐射损伤也与数字电路有较大差异; 另一方面则是由于将现有的数字电路加固工艺应用于线性运放电路并未获得预想的加固效果. 因此, 对 CMOS 线性电路而言, 寻求一种新的加固途径已成为当前抗辐射微电子领域中的一项重要课题.

CMOS 线性运算放大器电路是模拟电路中最重要也是最基本的单元, 用它作为研究对象对于探索线性电路的加固途径具有重要的指导意义. 而对运放电路来说, 由于其内部分别由不同功能单元的子电路构成, 而各功能单元又是既互相独立又相互联系的, 并且电路的性能不仅受工艺制作的限制, 同时也受电路结构、版图形式的制约. 因此, 如何摸清各子单元电路在不同运放电路结构、不同工艺等条件下的辐照响应规律及对运放整体性能造成的影响, 则成为我们解决运放抗辐射加固技术的关键问题. 为此, 针对性地专门设计制作了不同工艺、不同结构及版图的运放电路. 本文则主要从电路结构出发, 研究了在相同工艺条件下, 不同结构运放电路的辐照响应特性及各子电路对电路的影响规律, 并对实验结果进行了分析讨论.

## 2 实验样品和实验方法

实验样品为相同工艺、不同结构的 P 沟差分对输入和 N 沟差分对输入的两种 CMOS 运放电路. 如图 1 所示, 为了便于分析, 将运放电路设计成由差分对、恒流偏置电路、放大级和输出级几个功能单元组成的既互相联系又相互独立的结构. 在该电路中, 将各功能节点的接线引出可分别测试各单元的性能参数, 相互连接又可组成结构不同的整体运放电路, 以完成整体性能参数测试.

运放的电参数测试由自制的计算机控制多功能自动采集测试系统完成. 该套测试系统不仅能完成运放电路各功能单元特性、输入差分单管特性和整体性能参数等的测试, 还能在两个相同样品(一个进行辐照, 一个不辐照)间进行各功能单元的替换, 以研究不同功能单元的辐射敏感性对运放电路辐射损伤的贡献.

辐照源为本所  $5.37 \times 10^{15} \text{Bq}$  的 $^{60}\text{CoY}$  源, 辐照剂量率为  $0.08 \text{Gy/s}$ . 在辐照期间, 将运放的两个输入端接地, 使之处于零偏状态, 同时电源电压接正负  $5\text{V}$ .

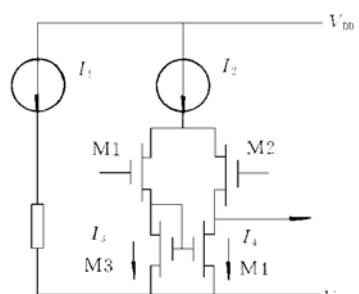


图 1 P 沟差分对输入运放电路示意图

FIG. 1 Diagram for P Channel Operational Amplifier with Differential Pair Transistor

每次辐照前后测试的电参数有:各单元子电路的节点电流、电压,差分对单管  $I-V$  特性和跨导  $g_m$  及运放电路整体性能参数,如失调电压( $V_{io}$ )、共模抑制比(CMRR)等。上述所有参数测试在辐照后 20min 之内完成。

### 3 实验结果和讨论

#### 3.1 差分对单管的 $I_{ds}-V_{gs}$ 特性随辐照剂量的变化

图 2(a)、(b) 所示为相同工艺、不同结构的 P 沟和 N 沟差分对单管的亚阈特性  $I_{ds}-V_{gs}$  随辐照总剂量的变化关系。由图可见,PMOSFET 的  $I_{ds}-V_{gs}$  曲线随辐照剂量的增加仅出现负向漂移并伴随较小的畸变,而 NMOSFET 的  $I_{ds}-V_{gs}$  曲线随辐照剂量的增加先开始负漂而后正漂并有明显的斜率变化。同时,辐照后的漏电流也有显著增加。由于 MOSFET 的  $I_{ds}-V_{gs}$  亚阈特性变化是辐射感生  $\text{SiO}_2$  栅介质中氧化物正电荷积累和  $\text{Si}/\text{SiO}_2$  界面态增加的结果,氧化物电荷增加越多,曲线负向漂移越大,而畸变的大小与辐射感生的界面态多少相对应。因此,图 2(a)、(b) 定性地反映出氧化物电荷和界面态在两种不同 MOSFET 管中所起的作用。

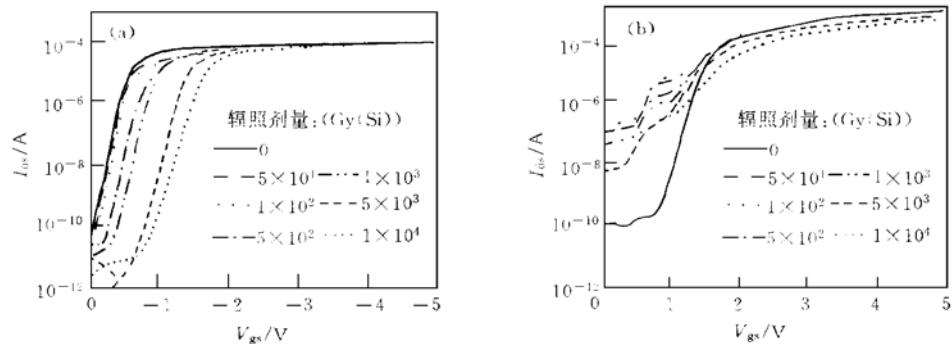


图 2 差分对单管亚阈曲线随辐照剂量的变化

(a) P 沟差分对      (b) N 沟差分对

FIG. 2 Subthreshold Current vs Irradiation Dose for Differential Pair MOST.

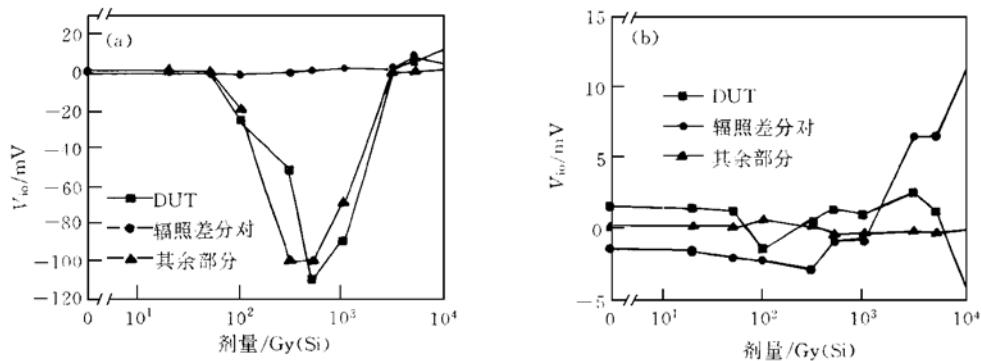
比较两图结果还可看出,N 沟管有明显的漏电增大现象。根据以往的研究结果<sup>[12]</sup>,这种现象主要是由栅氧层漏电、N 沟截止时的泄漏电流及 N 沟场氧漏电引起的。这表明,对这两种差分对输入而言,N 沟差分对的辐照特性要明显劣于 P 沟差分对。

#### 3.2 运放功能单元子电路的辐照敏感性与整体性能参数的关系

研究运放功能单元子电路的辐照敏感性对运放电路辐射损伤的贡献,是搞清电路参数退化的内在机制和运放电路辐射损伤敏感部位及加固重点的关键。为了找出它们之间的内在联系,我们利用自制的运放功能单元测试系统,通过互换对照样品(DUT)的差分对和其余单元,分别研究了运放电路及在差分对辐照或偏置恒流单元被辐照的情况下,运放整体性能参数的变化规律。图 3(a)、(b) 和图 4(a)、(b) 分别给出了运放电路的典型辐照敏感参数失调电压  $V_{io}$ 、电源电压抑制比 SVRR 在上述三种情况下随辐照总剂量增加而变化的关系。

分析图中结果可知,对 P 沟差分对输入运放,其失调电压  $V_{io}$  及电源电压抑制比 SVRR 的辐照变化完全依赖于辐照其余部分而与差分对的损伤无关;对 N 沟输入运放则完全相反,其  $V_{io}$  及 SVRR 的变化主要取决于辐照差分对的特性衰降。

为了寻求引起  $V_{io}$  和 SVRR 呈现上述变化的原因,给出了两种电路结构的差分对负载 N 沟和 P 沟电流镜的节点电流、电压随总剂量的变化如图 5(a)、(b) 和图 6(a)、(b) 所示。由图 5(a) 可见,P 沟差分对的两镜

图 3 两种运放电路的失调电压  $V_{IO}$  随辐照剂量的变化

(a) P 沟输入运放

(b) N 沟输入运放

FIG. 3 Offset Voltage vs Irradiation Dose for P and N Channel Operational Amplifiers

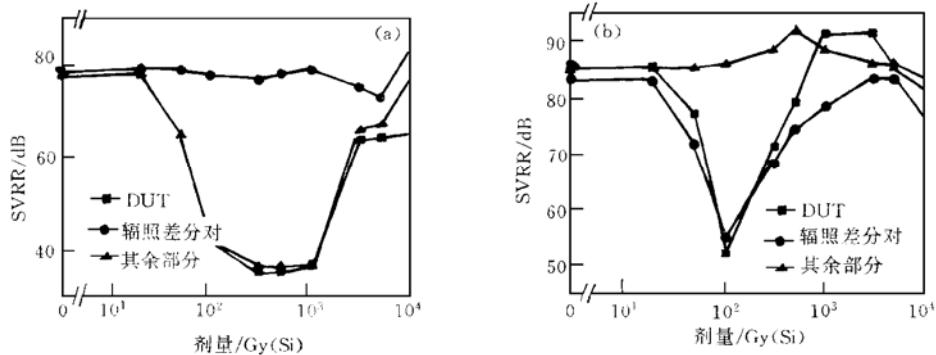


图 4 两种运放电路的电源电压抑制比 SVRR 随辐照剂量的变化

(a) P 沟输入运放

(b) N 沟输入运放

FIG. 4 SVRR(Supply Voltage Rejection Ratio) vs Irradiation Dose for P and N Channel Operational Amplifiers

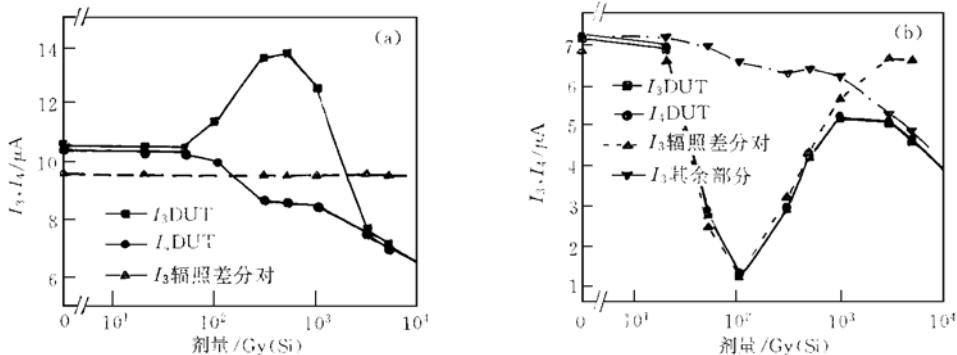


图 5 两种运放电路的镜像电流随辐照剂量的变化

(a) P 沟输入运放

(b) N 沟输入运放

FIG. 5 Mirror Current vs Irradiation Dose for P and N Channel Operational Amplifiers

象电流随辐照剂量的增加,在 50Gy(Si)后呈现出完全相反的走势,一个增大,另一个减小,直至  $3 \times 10^3$ Gy

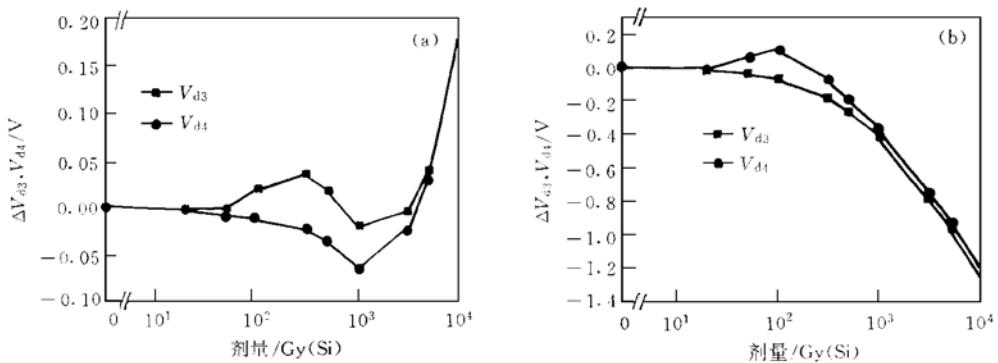


图 6 两种运放电路的差分对负载端电压随辐照剂量的变化

(a) P 沟输入运放 (b) N 沟输入运放

FIG. 6 Voltage on Load Port vs Irradiation Dose for P and N Channel Operational Amplifiers

(Si)后才趋于一致,表现出明显的不对称性。而图 5(b)中,N 沟差分对的两镜像电流无论其变化如何却始终匹配良好。另外,仔细观察图 5(a)、(b)还可发现,对 P 沟差分对输入,其  $I_3$ 、 $I_4$  的变化依赖于辐照其余部分的改变;对 N 沟则取决于差分对的特性衰降。这表明,对这两种运放电路来说,由于电路结构的不同,其辐照敏感部位亦有明显区别。

为了找出它们之间的差异所在,我们以 PMOSFET 输入运放为例,对运放电路的内部工作状态进行更深入地分析。众所周知,对运放电路来说,要想保证电路能够正常工作,一要有合适的静态工作点,二要有匹配良好的差分对和镜像电流镜负载,三要有优良的制作工艺。对差分对来说,由于其制作工艺基本一致,因而两管的对称性基本能得到保证。而对镜像负载,除了受制作工艺条件的限制外,还需保证两 N 沟管都工作在饱和区,即满足以下条件<sup>[13]</sup>:

$$V_{GS} \geq V_T \quad (1)$$

$$V_{DS\text{饱和}} \geq V_{GS} - V_T \quad (2)$$

以使两镜像电流尽可能的对称一致,即  $I_3 = I_4$ 。从图 1 中可以看出,由于  $V_{DS3} = V_{GS3}$ ,  $M_3$  饱和。因此,对  $M_4$  只需满足  $V_{DS4\text{饱和}} > V_{GS} - V_T$  且大于  $V_T$  即能达到要求。

再进一步分析图 5(a)中的结果可以发现, $I_3$ 、 $I_4$  的变化与图 6(a)中两镜像管的漏端电压  $V_{d3}$ 、 $V_{d4}$  的变化密切相关。由图中可以看出, $V_{d3}$ 、 $V_{d4}$  两节点电压在 50Gy(Si)后出现了不同的变化走势, $V_{d3}$  先正向漂移而  $V_{d4}$  先负向增大。通过对电路的分析可知,这两节点电压的变化实际上反映了两镜像 N 沟管的阈电压随辐照总剂量的变化关系。 $V_{d4}$  负向增大意味着 N 沟负漂,正漂则表明阈电压正向增长。由于辐照产生的氧化物电荷使 N 沟负漂,界面态使 N 沟正漂。因此, $V_{d3}$ 、 $V_{d4}$  节点电压的变化定性地反映出氧化物电荷和界面态的不同作用过程。

至此就可以分析图 5(a)中  $I_3$ 、 $I_4$  所表现出的不对称现象。由前述可知,对  $M_3$ ,因  $V_{DS3} = V_{GS3}$ ,  $M_3$  始终处在饱和状态,而对  $M_4$  由于氧化物电荷的积累使  $V_{T4}$  负漂,增加了  $M_4$  达到饱和时所需的电压,致使其工作点向非饱和区靠近,因而使得  $I_4$  的电流逐渐减小;同时也可以看到由于  $V_{d3}$  的正漂使  $M_3$  更易进入深饱和区,因而更加大了两镜像电流之间的差距。由于运放的电特性不仅受差分对对称性的影响,还取决于镜像电流负载的匹配,因此,在镜像负载的对称性遭到破坏的情况下,由它引起的损伤占了主导地位,因而出现了电参数随镜像电流的变化而衰变的情况,正如我们在图 3(a)和图 4(a)的 P 沟差分输入运放中所看到的那样。

而对 N 沟差分对,情况则正好相反。由于影响其镜像电流节点电压变化的是两 P 沟管,而对 PMOSFET 来说,无论是氧化物电荷还是界面态均使 P 沟负向增大,由  $V_{DS} \leq V_{GS} + |V_{T4}|$  可知,它使 P 沟更

易进入饱和区,因而对 N 沟差分对输入运放不存在镜像电流的不对称问题. 对它而言,影响电参数变化的主要原因来源于差分对,这也可从图 2(b) 中 N 沟差分对的  $I-V$  曲线随氧化物电荷和界面态的增加先负漂而后正漂致使漏电增大上看出. 它的这种变化正是造成图 4(b) 和图 5(b) 中 SVRR 和  $I_3, I_4$  的辐照衰降的原因所在.

## 4 结论

通过以上分析,可以得出以下结论:

- (1) 在相同的工艺条件下,对 P 沟差分对输入运放而言,导致运放电参数明显退化的主要原因是由于 N 沟镜像负载的不对称,而这种不对称则是由于辐照感生的氧化物电荷引起负漂造成的. 因此,对 P 沟输入运放,尽可能地抑制氧化物电荷的生长,将有助于电路抗辐射性能的提高.
- (2) N 沟差分对输入运放电路的实验结果显示,运放电特性的衰降与差分对的辐照变化密切相关,而辐照感生的氧化物电荷和界面态所引起的 N 沟漏电增大则是导致 N 沟输入运放电路电特性退化的主要机制. 因此,对 N 沟差分对输入电路,充分抑制氧化物电荷和界面态的增长,减少 N 沟截止漏电和场氧层漏电,将会使电路的性能得到明显改善.

## 参 考 文 献

- [1] P. S. Winokur, E. B. Errett, D. M. Fleetwood *et al.*, IEEE Trans. Nucl. Sci., 1985, **32**(6): 3954.
- [2] E. F. Dasilva, Y. Nishioka and T. P. Ma, Appl. Phys. Lett., 1987, **51**(6): 1262.
- [3] J. R. Schwank, D. M. Fleetwood, P. S. Winokur *et al.*, IEEE Trans. Nucl. Sci., 1987, **34**(6): 1152.
- [4] J. F. Conley, Jr, and P. M. Lenahan, IEEE Trans. Nucl. Sci., 1993, **40**(6): 1335.
- [5] 任迪远,余学锋,陆妩,等,半导体学报,1995, **16**(7): 533[REN Diyuan, YU Xuefeng, LU Wu *et al.*, Chinese Journal of Semiconductors, 1995, **16**(7): 533(in Chinese)].
- [6] 张国强,余学锋,高文钰,等,固体电子学研究与进展,1993, **13**(2): 165[ZHANG Guoqiang, YU Xuefeng, GAO Wenyu *et al.*, Research Progress for Solid State Electronics, 1998, **13**(2): 165(in Chinese)].
- [7] 张国强,严荣良,余学锋,等,核技术,1995, **18**(2): 117[ZHANG Guoqiang, YAN Rongliang, YU Xuefeng *et al.*, Nuclear Technology, 1995, **18**(2): 117(in Chinese)].
- [8] 张国强,严荣良,罗来会,等,半导体学报,1996, **17**(1): 35.[ZHANG Guoqiang, YAN Rongliang, LUO Laihui *et al.*, Chinese Journal of Semiconductors, 1996, **17**(1): 35(in Chinese)].
- [9] 陆 妩,郭 旗,余学锋,等,核技术,1997, **20**(12): 753[LU Wu, GUO Qi, YU Xuefeng *et al.*, Nuclear Technology, 1997, **20**(12): 753(in Chinese)].
- [10] 陆 妩,任迪远,郭 旗,等,固体电子学研究与进展,1998, **18**(3): 323[LU Wu, REN Diyuan, GUO Qi *et al.*, Research & Progress of SSE, 1998, **18**(1): 323(in Chinese)].
- [11] 陆 妩,任迪远,郭 旗,等,核技术,1999, **22**(1): 42[LU Wu, REN Diyuan, GUO Qi *et al.*, Nuclear Technology, 1999, **22**(1): 42(in Chinese)].
- [12] 余学锋,任迪远,陆妩,等,核技术,1997, **20**(1): 24[YU Xuefeng, REN Diyuan, LU Wu *et al.*, Nuclear Technology, 1997, **20**(1): 24(in Chinese)].
- [13] P. E. 艾伦,D. R. 霍尔伯格,CMOS 模拟电路设计,北京:科学出版社,1995[P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, Beijing: Science Press, 1995].