

半导体放电管多元胞结构模型

王惠刚 余岳辉 刘凤美 彭昭廉 黄秋芝

(华中理工大学电子科学与技术系, 武汉 430074)

摘要: 在半导体放电管的版面设计上提出了多元胞结构版图。对多元胞结构“短路模型”进行了理论分析和实验验证, 结果表明合理设计多元胞版图尺寸和 P 基区薄层电阻可以改善器件的转折导通特性和提高器件的抗雷电浪涌能力, 从而为简化半导体放电管生产工艺提供了依据。

关键词: 多元胞; 半导体放电管; 横向电阻; 浪涌能力

EEACC: 2560

中图分类号: TN32 **文献标识码:** A **文章编号:** 0253-4177(2000)10-1014-05

Multi-Cell Structure Model for Semiconductor Arrestor

WANG Hui-gang, YU Yue-hui, LIU Feng-mei, PENG Zhao-lian and HUANG Qiu-zhi

(Department Electronic Science and Technology, Huazhong University of Science and Technology, Wuhan 430074, China)

Received 9 July 1999, revised manuscript received 27 January 2000

Abstract: Semiconductor arrestor is a new type of transient voltage suppressor, whose novel multi-cell structure is proposed. The model of “short” circuit for multi-cell semiconductor arrestor has been studied by means of both theoretical analysis and experimental research. It is concluded that the breakdown characteristics and the surge handling capability can be improved by selecting the proper size of cells and sheet resistance of p-base, as provides a safe ground to simplify the production process.

Key words: multi-cell; semiconductor arrestor; sheet resistance; surge handling capability

EEACC: 2560

Article ID: 0253-4177(2000)10-1014-05

1 引言

半导体放电管(Semiconductor Arrestor)以其响应速度快、漏电电流小、性能稳定、“残压”低以及“短路

王惠刚 男, 1973 年出生, 华中理工大学电子科学与技术系硕士研究生[WANG Hui-gang, Postgraduate, Department of Electronics Science & Technology, HUST, Wuhan 430074, China E-mail: wang_huigang@263.net]
1999-07-09 收到, 2000-01-27 定稿

失效”等优点而被广泛应用于雷电浪涌保护,成为取代气体放电管的新一代抗雷电浪涌保护器件,其结构普遍采用双端子对称双向晶闸管结构^[1-5]. Satoh^[6]对半导体雷电浪涌保护器的抗浪涌能力进行了研究,得出了通过减小长基区宽度可以有效提高其抗雷电浪涌能力的结论. 和田力在理论上提出改进阴极版图,以缩短器件的开通时间^[7]. 大野博之等对发射极周边带状区结构进行了理论探讨,提出了一种表面漏电电流小、开通点稳定、一致性好的新颖结构^[8]. 这些研究大多以理论分析为主,工艺上需多次氧化、光刻,流程长,成品率低.

国内对该器件的研究也十分活跃,但主要以介绍器件的特性和应用为主^[9-13]. 本文提出的半导体放电管多元胞结构,在版面上不受双向晶闸管的限制,既能够简化工艺流程、提高成品率,又能够有效改善其抗雷电浪涌能力.

2 多元胞结构和器件工作原理

图1为多元胞半导体放电管结构示意图. 雷电浪涌(或其他突波)正向电压加在器件两端,如图1(a)所示. J_1 和 J_3 结正偏,主要由 J_2 结承受反向电压,其反向漏电流沿着 P_2 基区横向流动,由短路点流向 T_2 电极. 当浪涌电压继续上升时, J_2 结反向电流增加, P_2 基区横向电压降随之增加. 一旦该压降大于 J_3 结的开启电压,器件部分导通, N^+ 区开始向 P_2 基区注入电子, N^+PN^- 晶体管的电流放大系数 α_2 开始逐渐增大;同时, PN^-P 晶体管的发射极向 N^- 基区注入空穴,其电流放大系数 α_1 也开始逐渐增大. 当 $\alpha_1 + \alpha_2 > 1$ 时, J_2 结由反向偏置转为正向偏置,器件全面开通,进入低阻大电流状态. 当浪涌电流下降, α_1 、 α_2 随之下降,若 $\alpha_1 + \alpha_2 < 1$, J_2 结又处于反偏,则器件自动恢复到高阻状态.

负向电压叠加时,由于多元胞半导体放电管结构完全对称,其工作原理相同.

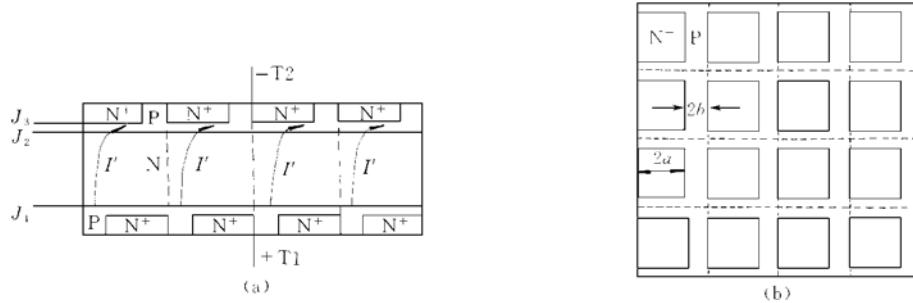


图1 多元胞半导体放电管结构示意图

(a) 纵向结构, (b) 横向结构

FIG. 1 Schematic Diagram of Multie-Cell Semiconductor Arrestor

(a) Longitudinal Structure, (b) Lateral Structure

3 模型分析与计算

为了讨论问题的方便,我们提出如下的假设和简化:

- (1) N^+ 区周围分布的与电极接触的P区均为半导体放电管的“短路区”;
- (2) 由于 J_3 结势垒的存在, J_2 结反向漏电流 I' 经过 N^+ 区下方,均匀通过与其最相邻的“短路区”流到阴极,如图1(a)所示. 该电流在 P_2 基区产生一横向压降 V_- ;
- (3) 只有离 N^+ 区最近的一些“短路区”对其产生影响,从而可以忽略其他“短路区”对它的影响;

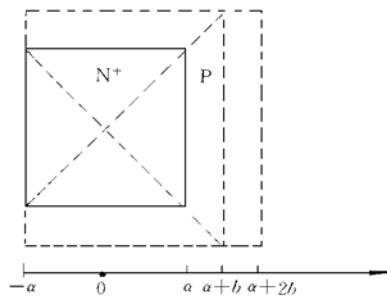


图 2 多元胞半导体放电管“短路区”计算模型
FIG. 2 Calculating Model of “Short” Circuit Region for Multi-Cell Semiconductor Arrestor

$$R = R_s \left[1 + \frac{1}{2} \ln(1 + \frac{b}{a}) + \frac{1}{2} \times \frac{b}{a+b} \right] \quad (2)$$

P₂ 基区横向压降为

$$V_- = R_s I' \left[1 + \frac{1}{2} \ln(1 + \frac{b}{a}) + \frac{1}{2} \times \frac{b}{a+b} \right] \quad (3)$$

当器件外加电压上升时, J₂ 结雪崩倍增因子增加, I' 增加, 于是横向电阻上产生的横向压降增加。一旦横向压降等于或大于 J₃ 结的开启电压 V_D, 电流就开始流过 J₃ 结, α₂>0。当 α₁+α₂>1 时, 半导体放电管开通, 器件进入低电阻大电流状态, 从而对被保护设备起到保护作用。

图 3 给出了由式(3)得到的 P₂ 基区薄层电阻 R_s、b/a 和横向压降的关系曲线。

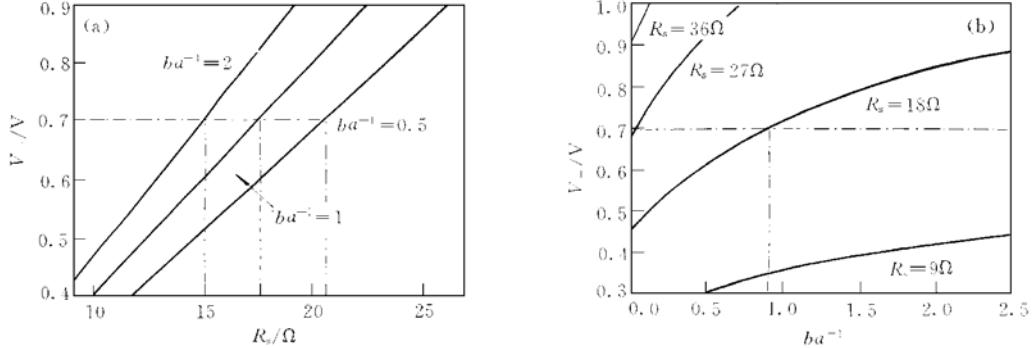


图 3 影响横向压降的因素
(a) R_s 对 V₋ 的影响, (b) b/a 对 V₋ 的影响
FIG. 3 Factors of Affecting Horizontal Voltage Drop

上述模型分析表明:

1. ρ (通过控制硼扩散表面浓度及结深)越小, 横向电阻 R 越小。 $V_- \leq V_D$, 器件将难于转折导通, 甚至不可能开通。 W_p (由硼扩散和磷扩散结深决定)越大, 横向电阻 R 越小, 半导体放电管越不易开通;
2. 当两 N⁺ 区相距较近, b/a 的比值对横向电阻 R 有较大影响。b/a 的比值越小, 横向电阻越小, 器件越难于转折导通。

当 b/a→0 时, 式(2)右边第二、三项趋于零, R 很小, 器件很难转折导通, 对瞬时浪涌不能响应, 从而不具备保护作用。

(4) 多元胞结构模型是对称的。由于结构的对称性, 对“短路区”的讨论可以等效为对图 2 所示 N⁺ 区的讨论。

图 2 为多元胞结构半导体放电管“短路区”计算模型。J₂ 结反向漏电流如图 1(a)所示方向流动。则 P₂ 基区的横向电阻为

$$R = \frac{\rho}{2W_p} \left[2 + \ln \left(1 + \frac{b}{a} \right) + \frac{b}{a+b} \right] \quad (1)$$

式中 ρ 为 P₂ 基区的平均电阻率; W_p 为 P₂ 基区宽度; 2a 为 N⁺ 区边长; 2b 为相邻两个 N⁺ 区距离。

$\frac{\rho}{W_p}$ 即为 P₂ 基区的薄层电阻, 记为 R_s。则(1)式可改写为:

当 $b/a \rightarrow \infty$ 时, 器件“短路区”很大, 从而 R 很大, 器件极易转折导通, 容易出现误导通。而且维持电流太小, 不能够满足器件维持电流必须大于被保护设备正常工作电流的要求。

3. 对于某一确定的版图(如 $b/a=1$), 如图 3(a), 要满足 $V_- > V_D(0.7V)$, P 基区薄层电阻 R_s 必须大于某一临界值(17.5Ω); 对于某一确定的薄层电阻(如 $R_s=18\Omega$), 如图 3(b), 版图尺寸 b/a 也必须大于某一临界值(0.9)。

4 结构参数 a 与 b 的确定

为了确保器件在经受雷电浪涌后自动复位, 其维持电流 I_h 必需大于被保护设备的正常工作电流。维持电流主要受关断过程的影响, 具体取决于关断时 $N^+ PN^-$ 晶体管的电流放大系数 α , 其大小为^[1]

$$I_h = V_D / (\alpha R) \quad (4)$$

在 N^+ 区的扩散浓度和 a/b 的比值一定时, 维持电流的大小将取决于 N^+ 区的宽度, 即 a 的大小。 a 越大, 维持电流将越小。根据维持电流的要求即可确定 a 的取值范围。

器件的浪涌能力与其工作时的最高温度密切相关。工作时的最高温度取决于浪涌电流产生热量和热沉散热之间的平衡。由于雷电浪涌发生在瞬态, 因此由浪涌电流产生的热量主要被 PN 结附近的材料所吸收, 而半导体放电管为对称器件, 器件开通时只有正向晶闸管导通, 反向晶闸管因为没有浪涌电流通过而无热量产生, 可视为充当热沉作用。当元胞结构尺寸 b 接近于瞬态热导长度时, 反向晶闸管可以最有效地充当热沉, 使器件的热集中得到缓和, 最高结温下降, 抗雷电浪涌能力得到提高。另外, 当元胞数增多时, 发射极的注入更加均匀, 从而也可以改善器件的抗雷电浪涌能力。

5 实验结果

根据以上分析, 同时考虑与其他特性参数的协调和实验条件与制作成本, 我们将 a 和 b 的值取为 $175\mu m$ ($b/a=1$), R_s 分别取为 $9-16, 18-23, 25-30\Omega$ 制作了半导体放电管芯片样品, 样品的面积为 $2.8 mm \times 2.8 mm$, 片厚为 $270\mu m$, 进行了样品的 $I-V$ 特性和耐工频浪涌能力测试, 实验结果如图 4 和表 1 所示, 与理论分析十分相符。

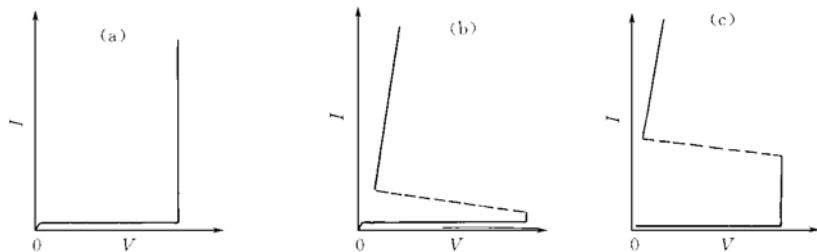


图 4 样品实测正向转折导通特性示意图(转折电压为 190—265V)

FIG. 4 Schematic Diagram of Positive Breakover of Sample

表 1 实验结果

Table 1 Experimental Results

批号	硼扩表面浓度/(mV · mA ⁻¹)	薄层电阻/Ω	转折导通特性	工频浪涌通过率
P1-1	2.0—3.5	9—16	图 4(a)	69%
P2-3	5.5—6.5	18—23	图 4(b)	73%
P3-1	4.0—5.0	25—30	图 4(c)	81%

注: 耐工频浪涌能力测试条件为 50Hz、电流 5A、放电持续时间 1s、间隔 3min、打 5 次

6 结论

本文在半导体放电管的版面设计上提出了一种新颖的多元胞结构版图。通过对多元胞结构“短路区”模型的理论分析和实验验证，论证了多元胞结构的合理性。结果表明：合理设计多元胞结构尺寸，可以实现维持电流和抗雷电浪涌能力的协调，从而为简化半导体放电管的工艺条件提供了依据。

参 考 文 献

- [1] H. Satoh and Y. Shimoda, NTT R&D, 1994, **43**(7) : 783—789.
- [2] H. Satoh and Y. Shimoda, Int. Symp. EMC, 1995: 242.
- [3] Y. Shimoda and H. Satoh, Jpn. J. Appl. Phys., 1996, **35**(12A) : 6008—6012.
- [4] F. David *et al.*, IEEE Trans. Electromagn. Compat., 1999, **EMC-41** (1) : 30—37.
- [5] H. Satoh and Y. Shimoda, Jpn. J. Appl. Phys., 1995, **34**(4A) : 1800—1804.
- [6] H. Satoh, IEEE Trans. Electromagn. Compat., 1993, **EMC-35**(2) : 311—315.
- [7] 和田力, 日本公开特许公报, 平 5-326933: 235—240[Japanese Patent].
- [8] 大野博之, 日本公开特许公报, 平 4-116868: 367—369[Japanese Patent].
- [9] 黄尚贤, 电信技术, 1996, **43**(7) : 44—45[HUANG Shangxian, Telecommunication Technology, 1996, **43**(7) : 44—45].
- [10] 唐国洪, 电子器件, 1996, **19**(3) : 149—153[TANG Guohong, Electron Device, 1996, **19**(37) : 149—153(in Chinese)].
- [11] 翁寿松, 半导体情报, 1998, **35**(4) : 43—48[WENG Shousong, Semiconductor Information, 1998, **35**(4) : 43—48(in Chinese)].
- [12] 杨立新, 王世兰, 万江波, 电子产品世界, 1999, **10**: 40—41[YANG Lixin, WANG Shilan and WAN Jiangbo, Electronic and Computer Design World, 1999, **10**: 40—41(in Chinese)].
- [13] 贾仲义, 半导体技术, 1999, **24**(6) : 61—62[JIA Zhongyi, Semiconductor Technology, 1999, **24**(6) : 61—62(in Chinese)].