

深亚微米薄层 SOI MOSFET's 热载流子效应分析

曹建民 吴传良 沈文正 黄 敞

(西安微电子技术研究所 临潼 710600)

摘要 本文从二维模拟热载流子注入电流入手,讨论了不同硅层厚度、栅氧厚度和掺杂浓度对薄层深亚微米 SOI MOSFET's 热载流子效应的影响。模拟结果表明,对于不同的硅层厚度,沟道前表面漏结处的载流子浓度对热载流子效应起着不同的作用,有时甚至是决定性的作用。沟道前表面漏结处的载流子浓度和沟道最大电场一样,是影响薄层 SOI MOSFET's 热载流子效应的重要因素,这也就解释了以往文献中,随着硅层减薄,沟道电场增大,热载流子效应反而减小的矛盾。模拟也显示了在一定的硅层厚度变化范围内(60~100nm),器件热载流子效应达到最小值,而且在这一硅层范围内,热载流子效应对硅层厚度、栅氧厚度以及掺杂浓度的变化不敏感,这对高性能深亚微米薄层 SOI MOSFET's 设计具有重要的指导意义。

EEACC: 0170N, 2560R

1 引言

随着超大规模集成电路的不断发展,对微电子器件和电路的性能提出了越来越高的要求。为了获得高速度、低功耗、高可靠性的大规模集成电路,以满足卫星、通讯、高速信号处理等系统的迫切需要,集成电路必须朝着亚微米、深亚微米方向发展。当栅长减小到亚微米、深亚微米量级时,器件沟道内的电场明显增强,产生了一系列材料、器件物理及设计和工艺方面的新问题。不断采用新型器件结构和材料,以解决尺寸缩小以后带来的新问题。对这些新型器件、特别是亚微米、深亚微米新器件的器件物理及工作机理的模拟分析和预言就显出其重要意义。

薄层全耗尽 SOI MOSFET's 具有高的饱和电流,抑制了 kink 效应,以及优秀的亚阈值特性等优点,因此它特别适合应用于小尺寸器件或电路。然而当涉及到器件的稳定性,或器件热载流子效应的问题,以前的文献报道和工作出现了许多相反的结论^[1~5]。主要的矛盾是随着硅层的减薄,热载流子效应是增大^[1,2]还是减小^[3~5]? 由于 SOI 器件采用了绝缘衬底代替了硅器件的硅衬底,使得薄膜 SOI 器件中不存在衬底电流,而衬底电流是体硅器件用

曹建民 男,1964 年出生,博士生,从事 SOI MOS 器件模拟、电路研制
黄 敞 男,1927 年出生,研究员,博士生导师,从事 SOI MOS 器件模拟、电路研制
1997-01-15 收到,1997-07-13 定稿

于判断热载流子效应最好的一个监测量, 薄膜 SOI 器件的热载流子效应问题因此而变得模糊不清。用二维模拟的方法研究薄膜 SOI 器件热载流子效应不但可以认清热载流子效应的发生机理, 而且还能探讨出一种研究薄层 SOI 器件热载流子效应的方法, 从而指导其在高集成度、高可靠性集成电路方面的广泛应用。

2 模型和模拟方法

在 SOI 器件中, 由于存在着浮空衬底, 不能很容易测出衬底电流, 长期形成的用于判断体硅器件热载流子效应的监测方法 (监测衬底电流) 不再适用, 这也就是研究 SOI 器件热载流子效应出现矛盾的根本原因。栅电流也曾被认为是判断 SOI 器件热载流子效应的一个检测量, 但是栅电流较小 (pA 数量级) 不易测量, 而且还受到栅氧化层内电场和杂质“俘获”的影响, 尤其是在薄层 SOI 器件中存在着背栅的耦合作用, 使得热载流子的注入较为复杂, 栅电流不能完全表现热载流子的注入情况。热载流子注入电流是描述热载流子向栅氧化层注入而形成的电流, 它直接和器件的退化现象有关, 因此准确地模拟注入电流是研究薄层 SOI 器件热载流子效应所必须的一种方法。本文从模拟注入电流入手, 用二维计算的方法模拟分析深亚微米薄层 SOI 器件的热载流子效应。

以沟道方向为 x 方向, 垂直于沟道方向为 y 方向, 则 n 沟 SOI MOSFET 的热载流子注入电流可表示为^[6]:

$$I_{zc} = \frac{2\pi}{3} \times \frac{q^2 W \lambda}{m^* v_{dsat}} \int_0^{L} dx \int_0^{T_{Si}} \frac{E_x^2(x, y)}{Q_c(x)} \exp(-Q_c(x)/(E_x(x, y)\lambda)) \times \exp(-y/\lambda) n(x, y) dy \quad (1)$$

其中 E_x 为平行于沟道的电场强度; Q_c 是氧化层势垒高度; λ 是硅中载流子的平均自由程 ($\lambda = 91\text{nm}$), n 是沟道内的电子浓度分布, 其它参数具有它们通常的意义。

公式 (1) 是由几个独立的概率事件组成: $E_x \exp(-Q_c/E_x \lambda)/(4Q_c)$ 是载流子变热、并散射转向栅氧化层的概率; $\exp(-y/\lambda)$ 是热载流子在没有碰撞的情况下, 运动至硅/二氧化硅表面的概率; 而 $8\pi q E_x / (3m^* v_{dsat})$ 是载流子平均散射的频率。由公式 (1) 可以看出以下两点:

(1) 我们知道, 沟道电场 E_x 从源到漏的变化几乎是指数增长的, 最大值在漏结附近; 在公式 (1) 中, E_x 又是在指数项中。因此公式 (1) 的积分是一个尖锐的峰值函数, 峰值在漏结附近, 这也就说明热载流子注入主要是发生在漏结附近一个较小的区域内。体硅器件和 SOI 器件在结构上的区别主要是有无绝缘衬底, 前栅界面的结构是一样的, 因此无论是体硅器件, 还是 SOI 器件这个模型都适用。

(2) 公式 (1) 的积分和沟道电子浓度 n 有关, 在 n 小的地方, 散射弱, 热载流子产生也就少。在薄层全耗尽 SOI 器件中, 碰撞电离产生的空穴参与了器件的导电, 电流密度方程中应该还包括漂移空穴的一项, 从而使器件夹断区电子浓度 n 相对减小; 另外背栅耗尽区的耦合, 使前栅界面电子浓度也降低, 热载流子注入也就减小了。由此可以得出, 在薄层 SOI 器件、特别是深亚微米全耗尽 SOI MOSFET 中, 沟道前表面漏结处的电子浓度对热载流子效应的影响较大。

热载流子注入电流的模拟过程分为两步: 首先利用稳态模拟软件 LADES-M^[7] 计算电场强度、电流密度和载流子浓度的二维分布等, 然后把得到的结果作为输入数据计算热载流子电流。采用这种“后处理”是因为热载流子电流一般远远小于器件的漏电流, 因而热载流子向氧化层的注入对器件载流子分布影响不大。LADES-M 是一个专门用于深亚微米薄层 SOI 器件的模拟软件, 它全面考虑了载流子的产生-复合效应和速度饱和效应等, 较准确地反应了薄层深亚微米 SOI/MOSFET's 工作机理。孟彪^[7] 利用此软件详细地分析了薄层深亚微米 SOI/MOSFET's 稳态情况, 提出了一套切实可行的 $0.18\mu\text{m}$ 器件参数(如表 1 所示)。本文以此为基础, 说明薄层深亚微米 SOI/MOSFET's 热载流子效应的特点, 无疑讨论的结果具有普遍性。

表 1 模拟使用的器件结构参数

SOI	沟道长度 $L/\mu\text{m}$	氧化层厚 T_{ox}/nm	沟道掺杂 N_A/cm^{-3}	硅层厚度 $T_{\text{Si}}/\mu\text{m}$	结深 $x_j/\mu\text{m}$	沟道宽度 $W/\mu\text{m}$
器件 1	0.18	10	5×10^{16}	0.04	0.04	10

3 模拟结果

图 1 为器件 1 ($T_{\text{Si}} = 0.04\mu\text{m}$) 热载流子随栅压的变化曲线以及不同硅层厚度时热载流子电流比较。可以看出, 热载流子注入电流的变化亦呈铃型曲线: 当栅压大于漏压时, 由于器件处于线性区, 沟道连通, 漏结处的电场较小, 因而热载流子注入电流也较小; 当栅压小于漏压以后, 器件工作于饱和区, 沟道夹断, 漏结处的电场增强, 热载流子注入电流也增大, 在一定的栅压时, 热载流子注入电流达到最大值; 栅压再减小, 器件进入截止区, 沟道内的载流子数急剧减小使得热载流子电流也急剧减小。这些变化和长沟器件的注入电流的变化相同。值得注意的是, 在图 1 中, $T_{\text{Si}} = 0.2\mu\text{m}$ 的器件是部分耗尽器件; $T_{\text{Si}} = 0.04\mu\text{m}$ 的器件是全耗尽器件。部分耗尽器件注入电流的最大值, 和体硅器件类似, 发生在 $V_g = (1/2)V_d$ 处; 而全耗尽器件注入电流的最大值则发生在靠近 V_d 的附近。这提醒我们深亚微米全耗尽 SOI 器件热载流子效应(最大应力点)和硅器件不同, 在作加速寿命的应力实验时, 应谨慎选取最大应力点, 不然会高估全耗尽 SOI 器件的寿命。

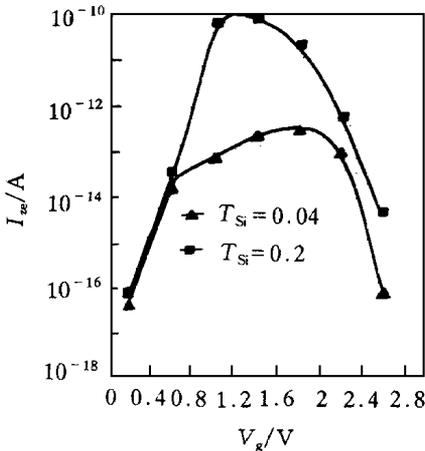


图 1 器件 1 ($T_{\text{Si}} = 0.04\mu\text{m}$) 热载流子注入电流随栅压的变化以及不同硅层厚度时热载流子注入电流比较

$V_d = 2.0\text{V}$.

从图 1 的整体来看, 部分耗尽器件比全耗尽器件的热载流子注入电流大, 也就是说全耗尽器件抑制了热载流子效应, 这和实验^[5]以及通常的认识符合的很好。图 2 表示了器件 1 ($T_{\text{ox}} = 0.01\mu\text{m}$) 在不同栅氧厚度时热载流子电流比较, 图 3 是器件 1 ($N_A = 5 \times 10^{16}$) 在不同掺杂浓度时热载流子注入电流比较。从这两个图可以看出一个新奇的结论: 热载流子注入电流都没有多少变化。我们的模拟还发现, 只要深亚微米器件处于全耗尽状态, 那么热载流子注入电流对栅氧厚度和掺杂浓度的变化就不敏感。这对深亚微米薄层

好。图 2 表示了器件 1 ($T_{\text{ox}} = 0.01\mu\text{m}$) 在不同栅氧厚度时热载流子电流比较, 图 3 是器件 1 ($N_A = 5 \times 10^{16}$) 在不同掺杂浓度时热载流子注入电流比较。从这两个图可以看出一个新奇的结论: 热载流子注入电流都没有多少变化。我们的模拟还发现, 只要深亚微米器件处于全耗尽状态, 那么热载流子注入电流对栅氧厚度和掺杂浓度的变化就不敏感。这对深亚微米薄层

全耗尽 SOI 器件的设计和制造非常有利, 减小了对栅氧厚度和掺杂浓度的限制

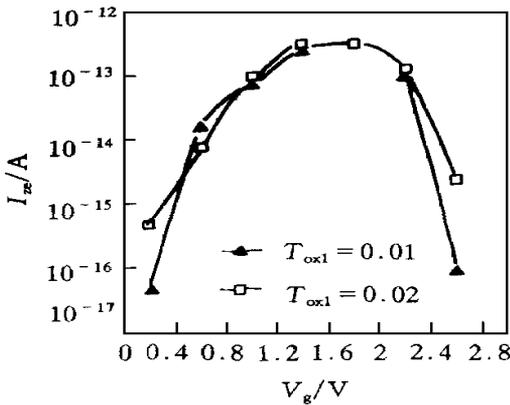


图 2 不同栅氧厚度时热载流子注入电流比较
V_d = 2.0V.

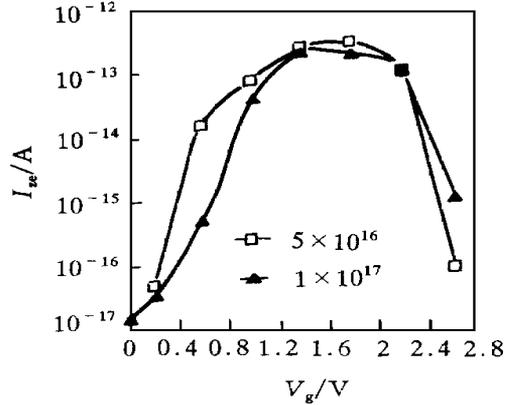


图 3 不同掺杂浓度时热载流子注入电流比较
V_d = 2.0V.

4 讨论

热载流子效应通常被认为是器件沟道强电场的表征, 当电场越强时, 热载流子电流越大, 然而理论计算^[8]和模拟^[4]都指出, 随着硅层厚度的减薄, 沟道最大电场将增强, 因而也将增大热载流子效应, 这一结论和实验结果^{3,5]}相反; 当栅氧厚度减薄和掺杂浓度增大的时候, 器件沟道漏结处的电场将增强, 因而也应该引起热载流子效应的增大, 然而我们的模拟(图 2 和图 3)却显示薄层全耗尽 SOI 器件的热载流子注入电流对栅氧厚度和掺杂浓度不敏感, 看来热载流子电流和器件的稳定性并不是唯一依赖于沟道电场强度, 应该还有其它因素影响, 或者在一定范围内决定着热载流子电流的大小

通常, 最大沟道电场可表示为^[9]:

$$E_m = (V_d - V_{dsat}) / (Q \cdot 22T_{ox1}^{1/3} x_j^{1/2}) \quad (2)$$

其中 V_{dsat} 为饱和漏电压; T_{ox1} 栅氧化层厚度; x_j 为结深, 在 SOI 器件中, 一般硅层厚度和结深相等

由公式(2)可以得出, 随着硅层厚度减薄, E_m 增强, 热载流子效应也应当增大, 图 4 为我们模拟得到的器件 1 的电场随硅层厚度变化情况, 规律和公式(3)相符, 和文献[10]也相符. 看来薄层全耗尽 SOI 器件随着硅层的减薄, 沟道最大电场是增大了. 但是从图 1 可以看出, 随着硅层减薄热载流子电流减小的结论, 这就出现了器件内最大电场和热载流子效应不相符的现象, 沟道电场增强了, 热载流子电流却减弱了.

进一步, 我们仔细模拟计算了热载流子电流随硅层变化的情况, 如图 5 所示. 从图中可以看出, 热

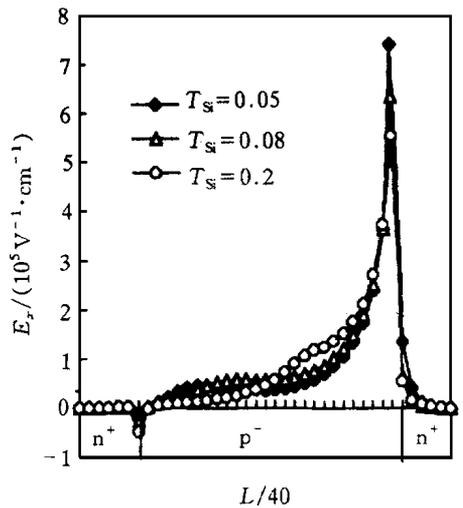


图 4 器件 1 沟道前表面横向
电场随硅层厚度变化情况
V_d = 2.0V, V_g = 1.0V.

载流子变化可分为三个阶段: I、当 $0.1\mu\text{m} < T_{\text{Si}} < 0.2\mu\text{m}$ 时, 随着硅层减薄, 热载流子电流减小; II、当 $0.06\mu\text{m} < T_{\text{Si}} < 0.1\mu\text{m}$ 时, 硅层厚度减薄对热载流子电流影响不大; III、当 $T_{\text{Si}} < 0.06\mu\text{m}$ 以后, 硅层的减薄又使热载流子电流增大

图 6 表示了不同硅层厚度时, 沟道表面电子浓度的变化情况. 从图中可以看出, 随着硅层的减薄, 沟道夹断区电子浓度变化很大(在第 I 区变化近 4 个数量级). 电子浓度的降低, 使得碰撞散射的机会减小, 从而使热载流子效应减弱(虽然电场在增大). 这说明在第 I 区, 沟道夹断区的电子浓度是热载流子效应的决定因素, 而不是电场. 这也就解释了有时电场增大, 热载流子电流反而减小的矛盾

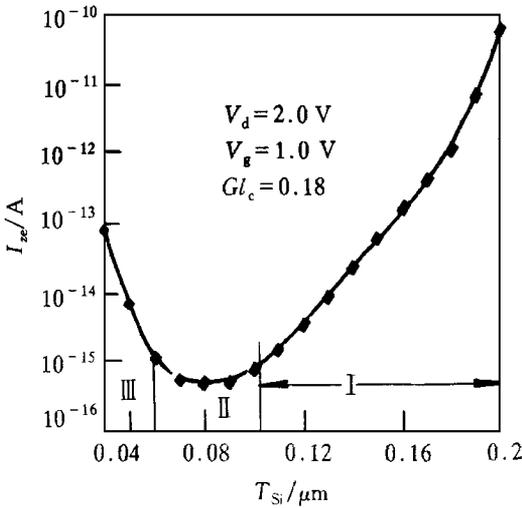


图 5 注入电流随硅层厚度变化情况
根据其变化可分为三个阶段

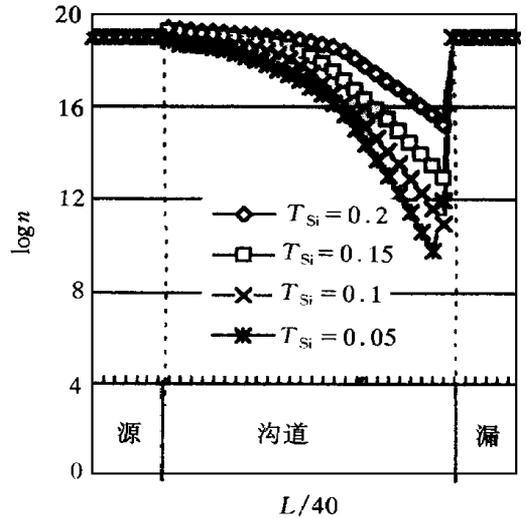


图 6 器件 1 不同硅层厚度时
前表面电子浓度变化情况

Wann^[10]等研究了薄层 SOI 器件和体硅 MOS 器件的热载流子效应, 通过比较指出在一定的范围内 ($0.05 \sim 0.11\mu\text{m}$), 薄层 SOI 器件的热载流子效应对硅层厚度不敏感, 我们的模拟也显示了这一区域. 在第 II 区 ($0.06 \sim 0.10\mu\text{m}$), 电场和沟道电子浓度均变化不大, 从而使热载流子效应也不怎么变化, 而且达到最小值. 这说明, 从限制热载流子效应的角度出发, 设计 SOI 器件时, 硅层厚度存在着一段最佳值, 在这一段最佳值内, 热载流子效应最小

从图 6, $T_{\text{Si}} = 0.05\mu\text{m}$ 线中, 我们还可以看出一个有趣的现象, 随着硅层厚度减薄, 沟道表面电子浓度不但变小, 而且最小值在左移, 当 $T_{\text{Si}} < 0.06\mu\text{m}$ 以后, 电子最小值左移一格点, 这说明漏结处电子浓度的斜率也在变化. 电场的最大点没有发现移动, 从而使这时的热电子电流增加, 对应图 7、III 段

由此看来, 在薄层全耗尽 SOI 器件中, 沟道前表面漏结处的载流子浓度对热载流子效应起着重要作用, 沟道最大电场强度和漏结处的载流子浓度共同决定着热载流子效应的大小. 同样正是由于漏结处电子浓度的影响, 使得器件 1 的热载流子注入电流随栅氧厚度和掺杂浓度的变化不敏感. 为了进一步说明这一点, 图 7 给出了部分耗尽 ($T_{\text{Si}} = 0.2\mu\text{m}$, 其它参数和器件 1 相同) SOI 器件热载流子注入电流随栅氧厚度的变化情况, 图 8 是同一器件改变掺杂浓度时热载流子电流的变化情况. 比较图 7、图 8 和图 2、图 3 可以看出, 部分耗尽 SOI 器

件的热载流子注入电流变化类似于体硅(或厚膜 SO I)器件,不具有栅氧厚度和掺杂浓度的变化对热载流子电流影响不大的结论

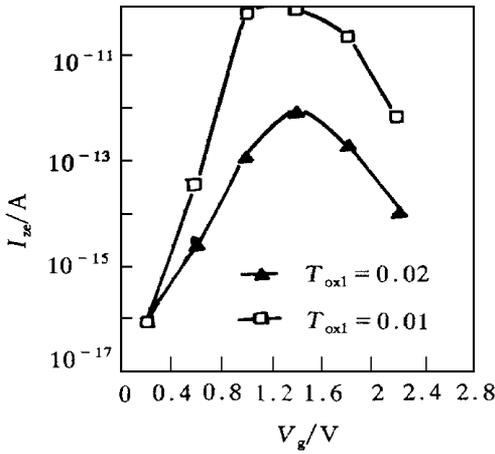


图 7 部分耗尽 SO I MOSFET 中,不同栅氧厚度时热载流子注入电流的变化比较

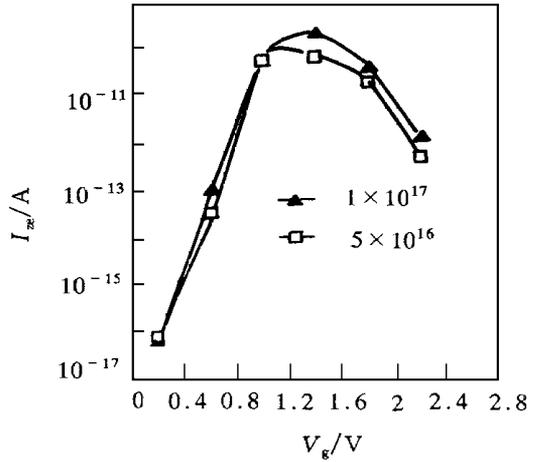


图 8 部分耗尽 SO I MOSFET 中,不同掺杂浓度时热载流子注入电流的变化比较

5 结论

本文从二维模拟热载流子注入电流入手,成功地模拟了薄层深亚微米 SO I MOSFET 的热载流子电流随器件硅层厚度、栅氧厚度以及掺杂浓度的变化情况。二维模拟热载流子注入电流是研究深亚微米薄层 SO I MOSFET 的热载流子效应的一种实用,而且是所必须的一种方法。

通常热载流子效应被认为是器件内部强电场的标志,电场的大小主要决定着热载流子电流的大小。本文第一次从器件内部载流子散射机制出发,指出沟道载流子浓度在不同程度上影响着器件热载流子效应的大小。沟道前表面漏结处的热载流子浓度和沟道最大电场共同决定着深亚微米薄层 SO I MOSFET 的热载流子效应的大小,这也就解释了以往薄层 SO I MOSFET 文献中,随着硅层的减薄,电场增大,热载流子效应反而减小的矛盾。

对深亚微米薄层 SO I MOSFET 的模拟显示,随着硅层厚度的减薄,背栅对前栅表面电子浓度有很大影响。首先是当硅层减薄,沟道前表面漏结处载流子浓度大幅度降低(近 4 个数量级),从而使得电子浓度在这一阶段(图 5 I 区)是决定热载流子电流的主要因素。其次是随着硅层减薄,沟道漏结处载流子浓度的斜率减小,夹断区载流子浓度最小值移动,从而使器件热载流子电流又开始增大(图 5 III 区)。在这两种情况中间,存在着一段区域,这时热载流子效应达到最小值,而且对硅层厚度的变化不敏感(图 5 II 区),这个区域应是薄层短沟道 SO I 器件最佳硅层厚度。另外至少在这个硅层范围内,热载流子效应也不这么随着栅氧厚度、掺杂浓度的变化而变化。这些对于高性能深亚微米薄层 SO I MOSFET 的设计与制造具有重要的指导意义。

参 考 文 献

- [1] P. H. Woerlee, A. H. Ommen, H. L ifka *et al* , IEDM Tech. Dig , 1989, 821.
 [2] P. H. Woerlee, C. Juffemans, H. L ifka *et al* , IEDM Tech. Dig , 1990, 583.
 [3] J. P. Collinge, IEEE Trans Electron Devices, 1987, 7: 2173.
 [4] J. G. Fossum, J. Y. Choi, R. Sandaresan, IEEE Trans Electron Devices, 1990, 37: 724.
 [5] L. T. Su, H. Fang, J. E. Chung *et al* , IEDM Tech. Dig , 1992, 349.
 [6] 张文俊, 陕西微电子学研究所博士论文, 1996
 或曹建民等, 薄层 SO I MOSFET 's 热载子电流的数值模拟, 送审中.
 [7] 孟彪, 陕西微电子学研究所博士论文, 1995.
 [8] S. Veeraghavan, J. G. Fossum, IEEE Trans Electron Devices, 1988, 35: 1866.
 [9] T. Y. Chan, P. K. Ko, C. Hu, IEEE Electron Device Lett , 1985, 6: 551.
 [10] H. J. Wann, J. King, Jian Chen *et al* , Proc IEEE SOS/SOI conf , 1993, 118.

Hot-Carrier Effects in Thin-Film Deep Submicron SO I MOSFET

Cao Jianmin, Wu Chuanliang, Shen Wenzheng and Huang Chang

(Xi'an Electronics Techniques Institute, Lintong 710600)

Received 15 January 1997, revised manuscript received 13 July 1997

Abstract Start with 2D simulation of hot-carrier injection current, we have discussed the influence of different silicon film thickness, gate oxide thickness and substrate doping on the hot-carrier effects of thin-film deep submicron SO I MOSFET. Simulation results indicate that for different film thickness, the carrier concentration in front channel near the drain has different influence on the hot-carrier effects, sometimes the influence is decisive. Previous conflicting reports concerning SO I device hot-carrier effects may result from ignoring the influence of the carrier concentration on the hot-carrier effects. The simulation also indicates that there is a thickness range (60~ 100nm), in which the hot-carrier effects is weak and insensitive to the thickness. Furthermore, in this range, the hot-carrier effects is independent of gate oxide thickness and substrate doping. These are helpful to the design of high reliability thin-film submicron SO I MOSFET.

EEACC: 0170N, 2560R