

MOS 模拟集成电路的噪声分析 和低噪声设计

王 国 裕

(南京工学院电子研究所)

南 德 恒

(清华大学微电子学研究所)

1984年12月17日收到

本文论述了 MOS 器件的噪声和电路噪声的分析方法, 提出了 MOS 模拟集成电路的低噪声设计原则。对开关电容网络中的 $1/f$ 噪声和抽样过程所产生的混叠噪声作了较详细的说明, 并以 MOS 运算放大器单元电路、开关电容积分电路为例作了噪声分析与低噪声设计。最后介绍了实验单元电路及其实测结果。

近年来, 由于电荷转移器件的出现, 和 MOS 集成技术的进步, 通信系统、信息处理系统的部分功能块都采用单片 MOS 大规模集成电路, 芯片上同时集成了数字电路和模拟电路。根据器件的特点, 传统中用双极型器件制作模拟电路的局面已经有所改变。

用 MOS 工艺制作模拟集成电路的困难在于 MOS 器件固有的低跨导和高噪声等参数。现在已经有人做了大量的工作, 找到一些有效的方法提高 MOS 集成电路的增益^[1-3]。相比之下, 对噪声的研究就显得不足。本文从 MOS 模拟电路设计需要出发, 就 MOS 器件噪声、电路噪声分析方法、低噪声设计原则等基本问题进行了探讨, 对 NMOS 运算放大器、开关电容积分器进行了噪声分析。由于时钟信号和采样引入了新的噪声-混叠噪声, 本文也作了研究, 最后介绍了实验电路的设计和噪声测量结果, 并对结果进行分析。

一、MOS 器件的噪声

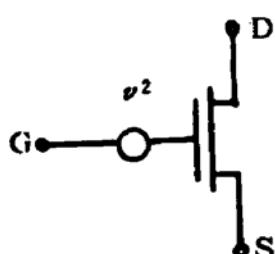
在电路分析中, 通常用一等效输入噪声电压源来等效 MOS 器件的噪声, 如图 1 所示。

这个噪声电压包含热噪声和 $1/f$ 噪声^[8] 两部分。热噪声由下式计算

$$v_n^2 = \frac{8}{3} k \theta \frac{1}{g_m} \Delta f. \quad (1)$$

式中 k 为玻尔兹曼常数, θ 为绝对温度, g_m 为 MOS 管跨导, Δf 为测量系统的带宽。

图 1 MOS 管等效输入噪声电压源 $1/f$ 噪声不仅是沟道面积和氧化层厚度等几何因子的函数, 又是偏置条件的函数, 还受制造工艺的强烈影响, 有些因素还未研究得透彻, 有些



定量的说法还不一致,因而不能直接写出完整的 $1/f$ 噪声表达式,这里把其主要的关系叙述如下^[4-6]:

界面态密度对 $1/f$ 噪声影响很大,界面态密度愈低, $1/f$ 噪声越小;

栅氧化层的厚度愈薄, $1/f$ 噪声越小;

在 MOS 管饱和应用时, $1/f$ 噪声几乎不受 V_{SD} 和 I_{SD} 的影响,但与有效栅压成正比关系;

采用离子注入工艺,注硼后 NMOS 管的 $1/f$ 噪声增大,并且随着注硼次数的增多而加大。PMOS 管注硼后 $1/f$ 噪声减小。磷的注入则没有上述的变化^[7]。

沟道面积越大, $1/f$ 噪声越小。若仅考虑这个关系,则可用(2)式表示 $1/f$ 噪声。

$$\nu^2 = \frac{a_n}{zLf}. \quad (2)$$

式中 z 、 L 分别为沟道宽和长, f 为频率, a_n 为一反映其他各种因素影响的常数。

在低频范围内,MOS 管的 $1/f$ 噪声是主要的。热噪声远小于 $1/f$ 噪声,因此降低噪声在此频段内主要是针对 $1/f$ 噪声的降低,有下列途径:

- A. 提高工艺水平,使 MOS 管的界面态密度降低,实验表明,在 N_2 、 H_2 气氛中退火是降低态密度从而使 $1/f$ 噪声下降的有效手段之一。
- B. 减薄 MOS 管栅氧化层的厚度。
- C. 避免可使器件 $1/f$ 噪声增大的高能量粒子注入或辐射。例如 NMOS 管的离子注硼。
- D. 增大 MOS 管的沟道面积,在单管中牺牲面积以求得噪声的降低似不可取,但在集成电路中重点器件面积的增大是降低噪声的有效途径。

二、运算放大器的噪声分析

电路噪声分析的目的是求出总噪声的表达式,从而分析各部分噪声参数的设计是否恰当,进而探讨降低噪声的途径。本节以一种高性能的 NMOS 运放(图 2)为例,看看怎样进行这样的分析。该运放的工作原理见文献[2]。一组实际的器件几何尺寸在表 1 中给出。

该运放共有 32 个 MOS 管,设它们的输入等效噪声电压分别为 $\nu_1 \cdots \nu_n \cdots \nu_{32}$,从各噪声源到输出端的电压增益分别为 $A_1 \cdots A_n \cdots A_{32}$,运放总增益为 A ,则该运放的等效输入噪声电压为:

$$\nu_i = \left[\nu_1^2 \left(\frac{A_1}{A} \right)^2 + \cdots + \nu_n^2 \left(\frac{A_n}{A} \right)^2 + \cdots + \nu_{32}^2 \left(\frac{A_{32}}{A} \right)^2 \right]^{\frac{1}{2}}. \quad (3)$$

式中各项分别表示各噪声源对总噪声的贡献。每个噪声源的贡献不仅决定于它的噪声电压值,还决定于因子 $(A_n/A)^2$,可把 $(A_n/A)^2$ 视为该噪声源的权重。虽然(3)式中包含了所有噪声源,但由于各源的权重可以相差很大,真正起作用的只有几个主要噪声源。

图 2 的输入级至少能提供 10 以上的电压增益,因此中间放大级和输出级噪声源的贡献可以忽略。为使分析更加简明,把输入级电路画成图 3 所示,图中恒流源,电平移动部

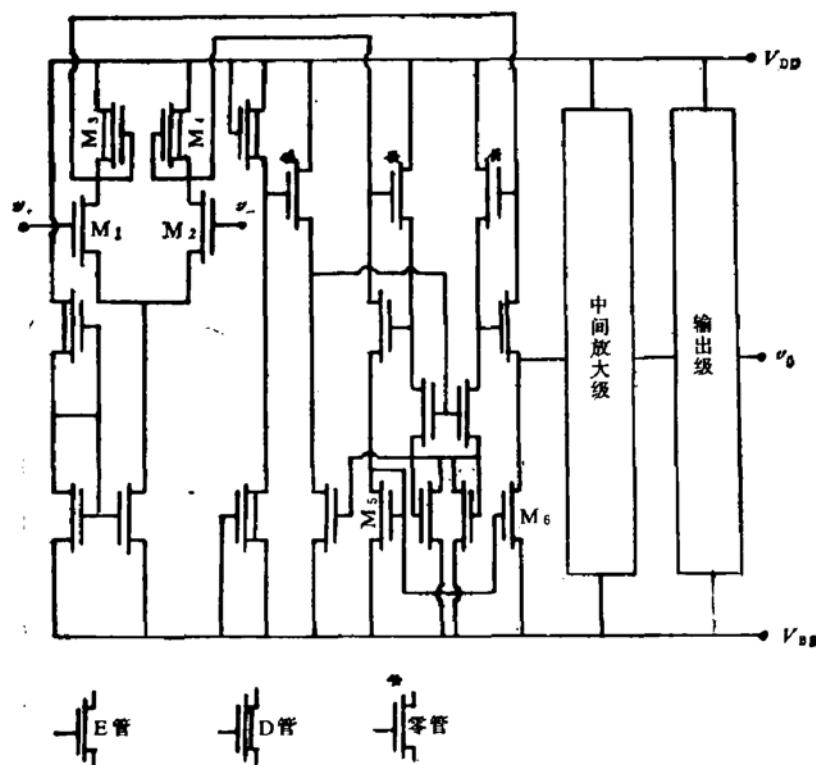


图 2 NMOS 运算放大器电路示意图

表 1 图 1 中主要管子宽长比

M ₁ , M ₂	240/8
M ₃ , M ₄	30/36
M ₅ , M ₆	120/12

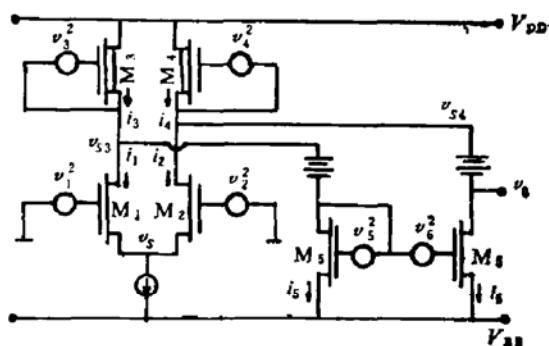


图 3 输入级噪声分析示意图

分都用符号表示,以突出对噪声影响最大的三对管子,即输入管 M₁, M₂, 负载管 M₃, M₄, 和转换管 M₅, M₆, 转换管的作用是将双端输入转换为单端输出。

图 3 中 v_1^2 , v_2^2 , \dots , v_6^2 分别为各 MOS 管的噪声等效电压源, g_m 为跨导, λ 是反映衬偏效应的参数, 可分别求出各噪声源的权重。

先令 v_2 , v_3 , \dots , v_6 为 0, 求 v_0/v_1

$$i_1 = (v_1 - v_s)g_{m1} - v_s\lambda_1 g_{m1}, \quad (4a)$$

$$i_2 = -v_s g_{m2} - v_s \lambda_2 g_{m2}, \quad (4b)$$

$$i_3 = -v_{s3} \lambda_3 g_{m3}, \quad (4c)$$

$$i_4 = -v_{s4} \lambda_4 g_{m4}, \quad (4d)$$

$$i_5 = v_{s5} g_{m5}, \quad (4e)$$

$$i_6 = v_{s6} g_{m6}. \quad (4f)$$

由以上六式可推出 v_1 的权重。

$$\nu_0/v_1 = \frac{g_{m1}}{2\lambda_3 g_{m3}} \left[1 + \frac{g_{m3}}{g_{m3} + \lambda_3 g_{m3}} \right]. \quad (4g)$$

因为 M_1 管的宽长比比 M_3 的大得多, 即 $g_{m3} < g_{m1}$, 并且 $\lambda_3 = 0.06$, 所以 (4g) 式中:

$$\frac{g_{m3}}{g_{m3} + \lambda_3 g_{m3}} \doteq 1.$$

经过类似推导并考虑了对应 MOS 管参数的对称。可求得各器件噪声源的权重:

$$(\nu_0/v_1)^2 = (\nu_0/v_2)^2 \doteq \left(\frac{g_{m1}}{\lambda_3 g_{m3}} \right)^2 \quad (4h)$$

$$(\nu_0/v_3)^2 = (\nu_0/v_4)^2 \doteq (1/\lambda_3)^2 \quad (4i)$$

$$(\nu_0/v_5)^2 = (\nu_0/v_6)^2 \doteq (g_{m3}/\lambda_3 g_{m3})^2 \quad (4j)$$

利用 (3) 式可求出各噪声源等效输入噪声电压的总和 ν_i :

$$\nu_i = \sqrt{2} \nu_1 \left[1 + \left(\frac{\nu_3}{\nu_1} \cdot \frac{g_{m3}}{g_{m1}} \right)^2 + \left(\frac{\nu_5}{\nu_1} \right)^2 \left(\frac{g_{m3}}{g_{m1}} \right)^2 \right]^{1/2}. \quad (5)$$

在给定工艺条件下, $1/f$ 噪声只是器件几何尺寸和频率的函数。器件的跨导比也只由其宽长比决定。考虑了其流过电流间的关系: $I_5 = I_1$, $I_3 = 2I_1$, (5) 式可化简为: (利用了 (2) 式)

$$\nu_i = \sqrt{\frac{2a_n}{f}} \left\{ \frac{1}{z_1 L_1} \left[1 + 2 \left(\frac{L_1}{L_3} \right)^2 + \left(\frac{L_1}{L_5} \right)^2 \right] \right\}^{1/2}. \quad (6)$$

从 (6) 式可发现:

- A. 加大 z_1 、 L_3 、 L_5 可降低等效输入噪声, z_3 、 z_5 则无影响。
- B. L_1 存在一最佳值, 可从 (6) 式求导数得出。在 L_3 、 L_5 确定后, L_1 取 $\left(\frac{2}{L_3^2} + \frac{1}{L_5^2} \right)^{-\frac{1}{2}}$, ν_i 可为最小值。

- C. 用表 1 所列器件尺寸计算, 转换管 (M_3 、 M_6) 与输入管 (M_1 、 M_2) 的噪声贡献比值为 $\left(\frac{L_1}{L_3} \right)^2 = \left(\frac{8}{12} \right)^2 = \frac{4}{9}$, 负载管 (M_3 、 M_4) 与输入管的噪声贡献比为 $2 \times \left(\frac{L_1}{L_3} \right)^2 = \frac{1}{10}$ 。

- D. 增大 L_5 可降低 ν_i , 但将影响电路特性。

用 SPICE-II 程序对图 2 运放的全部器件 (包括中间放大级和输出级) 作噪声模拟分析, 可求出每个噪声源在不同的频率点对总噪声的贡献。以 $f = 100\text{Hz}$ 为例, 可发现输入级的四对器件的噪声贡献达 99%, 其中输入管、转换管、负载管占 93%。模拟结果与上述的理论分析相符。表 2 给出四对器件的噪声贡献百分比。

表 2 SPICE-II 模拟结果

管号	M_1 (M_2)	M_3 (M_6)	M_5 (M_4)	M_{10} (M_{11})
对输出噪声贡献	31%	11.2%	4.3%	3.1%

三、低噪声运放的设计考虑

要获得好的低噪声特性, 输入级电路拓扑和宽长比设计要予以特殊的考虑。

根据上节对图 2 普通运放的分析, 降低 M_1 管的噪声将使运放噪声降低, 但 M_1 管的存在限制了噪声的进一步降低。

低噪声运放可以采用简单的差分对电路作为输入级, 如图 4 所示。这种输入级既减少了噪声源, 又避免了设计时的互相牵制。该运放输入级恒流源部分采用较强的共模负反馈以利于抑制失调与漂移。

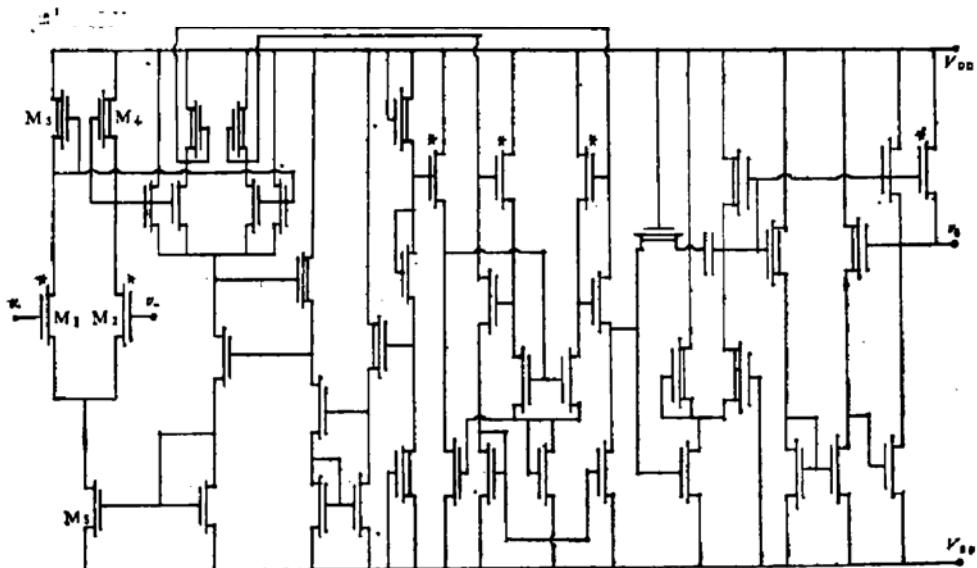


图 4 低噪声运算放大器线路图

注: 管号只标 M_1 、 M_2 、 M_3 、 M_4 、 M_5 , 其余不标。

低噪声运放的宽长比设计考虑如下:

设输入级的增益为 A_1 , 后面各级所有噪声源折合到第二级输入端, 用 v' 表示, 则低噪声运放的等效输入噪声电压为:

$$v_i = \left[2v_1^2 + 2\left(\frac{g_{m3}}{g_{m1}}\right)^2 v_3^2 + \frac{v'^2}{A_1^2} \right]^{\frac{1}{2}} = \left\{ 2v_1^2 \left[1 + \left(\frac{g_{m3}}{g_{m1}}\right)^2 \left(\frac{v_3}{v_1} \right)^2 + \frac{v'^2}{A_1^2} \right] \right\}^{\frac{1}{2}}. \quad (7)$$

由(2)式及 g_m 表达式代入(7)式可得:

$$v_i = \left\{ \frac{2a_n}{z_1 L_1 f} \left[1 + \left(\frac{L_1}{L_3} \right)^2 + b \frac{L_1^2 z_3}{L_3} \right] \right\}^{\frac{1}{2}}. \quad (8)$$

式中 $b = \frac{v'^2 \lambda_3^2}{2v_1^2 z_1 L_1}$, 为一常数。

可由(8)式看出: 增大 L_3 和 z_1 , 降低 z_3 , 可使噪声降低, 而 L_1 的最佳值可从(8)式求导得到:

$$L_{1\text{最佳值}} = \frac{L_3}{[1 + bz_3 L_3]^{\frac{1}{2}}}. \quad (9)$$

此外, 输入管采用零管, 氧化层厚度要尽可能地薄, 工艺要加以特别考虑和严格控制,

有关要点在第一节已经详细分析,这里不再重复。

以上有关 NMOS 运放低噪声设计的各项原则,对于 CMOS 运放和其它 MOS 模拟电路和系统都可适用。

四、开关电容积分电路的噪声分析

近年来,开关电容技术成为 MOS 模拟集成电路中极引人注目的课题^[7,8],开关电容网络由于引入了离散的时钟信号也带来了新的问题。

(1) 混叠噪声。开关电容网络中如取样频率小于噪声频带宽时,在抽样过程中就要产生噪声频谱的混叠,使低频噪声增加,称为混叠噪声。噪声是种随机信号,不能用确定的时间函数表示,往往用功率谱与自相关函数来描述其频率特性。Wiener-Khintchine 关系表明: 功率有限信号的功率谱函数与自相关函数是一对傅里叶变换。

假定噪声带宽是个有限值,因为考虑电路实际上存在滤波作用,为简化论述,设滤波为一阶滤波,取样后的离散噪声 $e_s(t)$ 能够被表示为连续噪声电压 $e(t)$ 和狄拉克函数 $\delta_T(t)$ 的乘积

$$e_s(t) = e(t) \sum_{n=-\infty}^{\infty} \delta(t - nT) = e(t) \cdot \delta_T(t). \quad (10)$$

因为 $e(t)$ 与 $\delta_T(t)$ 是互相独立的,故抽样后的噪声自相关函数为二者的自相关函数的乘积

$$R_s(\tau) = R_T(\tau)R(\tau) = \frac{1}{T} \delta_T(\tau) \cdot R(\tau). \quad (11)$$

$R_T(\tau)$ 和 $R(\tau)$ 分别为 $\delta_T(t)$ 和 $e(t)$ 的自相关函数。则 $e_s(t)$ 的功率密度谱是上式的傅里叶变换^[10]:

$$s_s(f) = \frac{1}{T} \int_{-\infty}^{\infty} \delta_T(\tau) \cdot R(\tau) \exp(-j2\pi f\tau) d\tau = \frac{1}{T} \sum_{n=-\infty}^{\infty} R(nT) \exp(-j2\pi fnT) \quad (12)$$

一阶低通滤波的噪声频谱密度为

$$s(f) = \frac{s_0}{1 + (\omega/\omega_c)^2}. \quad (13)$$

s_0 为频率 $f = 0$ 时的噪声谱, ω_c 为噪声截止频率。其自相关函数为

$$R(\tau) = R_0 \exp\left(\frac{-|\tau|}{\tau_c}\right). \quad (14)$$

$\tau_c = \frac{1}{\omega_c}$ 是相关时间常数, $R_0 = \frac{\omega_c}{2} s_0$ 是总的连续时间噪声功率。将(14)式代入(12)式并作双曲函数变换,再考虑抽样时保持一个时间占空比 Δ/T 可得

$$s_s(f) = \left(\frac{\Delta}{T}\right)^2 s_0 \frac{\omega_c T}{2} \sin c^2\left(\frac{\Delta\omega}{2}\right) \frac{\sinh(\omega_c T)}{\cosh(\omega_c T) - \cos\omega_c T}. \quad (15)$$

当 $\omega_c T \gg 1$ 则 $\frac{\sinh\omega_c T}{\cosh\omega_c T - \cos\varphi T} \approx 1$,

$$s_i(f) = \left(\frac{\Delta}{T}\right)^2 s_0 \frac{\omega_c T}{2} \sin^2\left(\frac{\Delta\omega}{2}\right). \quad (16)$$

从(16)式可看出,若 $\omega_c T \gg 1$,在低频范围混叠噪声谱比混叠前的噪声谱大得多。 $\omega_c T$ 越大混叠越严重。通常开关电容网络的抽样频率为128kHz或256kHz,此时 $1/f$ 噪声的混叠效应可忽略,但热噪声的带宽很大,远超过抽样频率,引起的混叠相当严重。

(2) 图5为开关电容积分器^[9], M_1, M_2 为两开关管,栅上分别加以互不重叠又相互倒相的时钟脉冲波, c_1 是抽样电容。图6是分析其噪声的等效电路。 R_1, R_2 分别代表两开关管的导通电阻, v_1, v_2, v_3 则为 M_1, M_2 和运放的热噪声源。要具体进行电路混叠噪声的精确计算是相当困难的,下面利用已作了一阶滤波近似的式(16)作半定量分析。

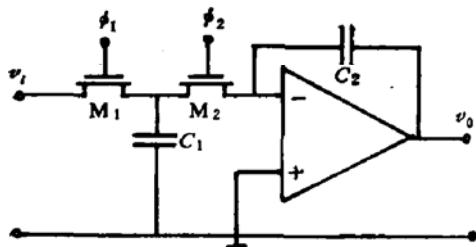


图5 开关电容积分器

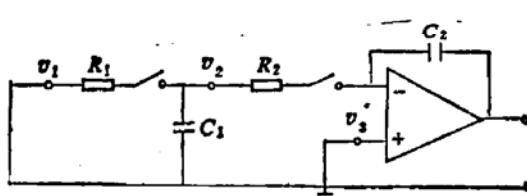


图6 开关电容积分器噪声分析示意图

v_1 经过 $R_1 c_1$ 滤波,其截止频率为 $f_{c1} = \frac{1}{2\pi}(R_1 c_1)^{-1}$ 。 v_2, v_3 既受 c_1, R_2 的影响,又受运放截止频率 f_{cu} 的影响,典型数值为 $c_1 = 0.15\text{pf}$, $R=10^4\Omega$, $f_{cu}=10^6\text{Hz}$ 。

$(2\pi R_2 c_1)^{-1} \gg f_{cu}$,可以认为 v_2, v_3 主要受 f_{cu} 的限制。它们在抽样电容 c_1 上引起噪声压降的截止频率 $f_{c2} = f_{c3} \approx f_{cu}$,注意此时 $f_{c2} = f_{c3} \ll f_{c1}$ 因此开关管 M_1 对混叠噪声贡献是主要的。若是 $f_{cu} \gg (2\pi c_1 R_2)^{-1}$ 亦可作近似估算。如 $f_{c2} = f_{c3} = (2\pi R_2 c_1)^{-1}$,则三噪声源对混叠噪声的贡献相近。

要降低混叠噪声就要降低热噪声源的噪声值和截止频率。由(1)式往往首先想到加大管子的跨导 g_m 。但这样加大截止频率。因之只有加大 c_1 ,为了不改变积分器的传输特性,同时也必须加大 c_2 ,加大极版面积或降低电容极间间距或改变介质。

对开关电容积分器的噪声研究,有的文章认为 $1/f$ 噪声被混叠噪声淹没而可以忽略^[10]。在目前的MOS工艺水平下、在音频范围内、尽替 $1/f$ 噪声不发生混叠,但它的数值比热噪声源大几个数量级,因而其影响不能忽略。实验表明:现行工艺下, $1/f$ 噪声大体上与混叠噪声相当。同时降低二者,才能使总的噪声下降。

为证实前节的分析,对图4所示的低噪声运算放大器采用两组几何尺寸和三种工艺结构进行实验对比。两组运放的主要MOS管尺寸差别见表3;其工艺结构均为双层多晶硅NMOS离子注入等平面工艺。三种的差别在于第一种的氧化层厚度为1000 Å,退火时不通H₂;第二种采用同样的氧化层厚但退火时通H₂、N₂;第三种则在H₂、N₂气中退火,氧化层厚为500 Å。不同的退火条件的芯片,用Gray Brown法测量表明,在禁带中高于价带顶0.1—0.3eV能量范围内未通氢气芯片的界面态密度为 10^{11} — $10^{13}/\text{cm}^2\text{eV}$,通H₂的界面态密度则为 $5 \times 10^{10}/\text{cm}^2\text{eV}$ 。

对这六种组合的运放等效输入噪声电压进行了测量,测量的结果见表4。可以看出:
A. 无论那一种工艺第二组运放的噪声电压比第一组的约低一半左右。B. 无论那一组运

表 3 两组运放主要管子宽长比差异表

几何尺寸 管号	M ₁ (M ₂)	M ₃ (M ₄)	M ₅
第一组运放 ($\frac{z}{L}$)	68/20	28/48	124/12
第二组运放 ($\frac{z}{L}$)	180/59	28/96	62/12

注: 第二组运放总面积比第一组增加 8%

表 4 运算放大器等效输入噪声比较

运算放大器等效输入噪声电压 ($\mu\text{V}/\sqrt{\text{Hz}}$)	组别	工艺结构特点	运放类别	测试频率 (Hz)					
				10	30	120	300	1K	3K
1	1	氧化层厚 1000 Å N_2 气下退火	一类	2.9	1.50	0.8	0.45	0.20	0.12
			二类	1.3	0.66	0.38	0.22	0.11	0.07
	2	氧化层厚 1000 Å N_2, H_2 气退火	一类	1.7	0.85	0.5	0.26	0.15	0.09
			二类	0.7	0.38	0.2	0.15	0.06	0.04
3	3	氧化层厚 500 Å N_2, H_2 气退火	一类	1.1	0.50	0.3	0.16	0.10	0.06
			二类	0.48	0.22	0.13	0.09	0.05	0.03

表 5 开关电容积分器输出噪声电压比较

开关电容积分器输出噪声电压 ($\mu\text{V}/\sqrt{\text{Hz}}$)	组别	工艺结构特点	所用运放类别	测试频率 (Hz)					
				10	30	120	300	1K	3K
1	1	氧化层厚 1000 Å N_2 气退火	一类	36	21	8	5	1.2	0.8
			二类	24	12	6	2.9	1.1	0.6
	2	氧化层厚 1000 Å N_2, H_2 退火	一类	14	8	5	4	1	0.6
			二类	13	6.5	3.5	2.8	0.8	0.5
3	3	氧化层厚 500 Å N_2, H_2 退火	一类	10	6	4	1.4	0.6	0.3
			二类	10	6	3	1.5	0.5	0.2
	4	工艺同 3 组但 c_1, c_2 数值加倍	二类	7	4	2.5	1.5	0.4	0.3

放栅氧化层薄的噪声电压比厚的约低 1/3 左右; 在 H_2 中退火的噪声电压比未通 H_2 的要低 2/5 左右。证实了前节的论断。

设计了两组开关电容积分电路(图 5), 第一组取 $c_1 = 0.15 \text{ pF}$, $c_2 = 21 \text{ pF}$; 第二组 c_1, c_2 数值加倍。这两组电容都是与运放集成在同一芯片上。所用运算放大电路的主要管子尺寸和工艺结构同上述实验所用的, 共组合了七种情况。对这七种开关电容积分电路的输出噪声电压作了测量, 其测得结果见表 5。对比第一、二两组数据, 其工艺区别仅在于是否通 H_2 退火, 噪声的差别反映 $1/f$ 噪声的不同。第一组情况 $1/f$ 噪声是主要的, 同

一组中不同运放的噪声不同也说明主要管子尺寸不同能使 $1/f$ 噪声下降，但第二组工艺中两种运放噪声对比就不那样明显，说明混叠噪声的影响上升。第三组工艺中两组运放不同对噪声影响已看不出差别，说明此时 $1/f$ 噪声已不再起主要作用，但如将开关电容、积分电容数值加倍(第四组情况)，噪声又下降了，说明混叠噪声起主要作用。

曾经改变开关电容电路中的开关管的几何尺寸，但未发现噪声数值的变化，与预计相符。

以上实验芯片噪声测量均是在 DYF-1 型运算放大器低频噪声分析仪上完成的。

五、结 论

MOS 模拟集成电路的噪声由电路结构、器件几何尺寸和工艺水平等多种因素决定，全面考虑这些因素，进行低噪声设计，对降低电路或系统的噪声十分必要。本文提出的分析方法和低噪声设计原则，经实验电路检验是可行的，现有的单片开关电容信道滤波器产品大都采用上述第二种工艺结构，实验表明。通过已论述的途径并作改进，可有效地进一步降低噪声，供需要低噪声的系统中应用。上述实验电路芯片是在清华大学微电子学研究所工艺组完成的，设计和测量过程中得到该所设计组、物理组、无线电系线路教研组和内蒙古大学电子系的有关同志的帮助，在此一并表示衷心的感谢。

参 考 文 献

- [1] P. R. Gray, *Analog MOS Integrated Circuits* New York Press, pp. 28—49, (1980).
- [2] D. Senderowicz, D. A. Hodges, and P. R. Gray, *IEEE J. Solid-State Circuits*, SC-13, 760—768. (1978).
- [3] P. R. Gray, and R. G. Mayer, *IEEE J. Solid-State Circuits*, SC-17, 969—981 (1982).
- [4] R. S. Ronen, *RCA Rev.*, 34, 280—307 (1973).
- [5] F. M. Klassen, *IEEE Trans. on Electron Devices*, ED-18, 887—891 (1971).
- [6] H. Mikoshiba, *IEEE Trans. on Electron Devices*, ED-29, 965 (1982).
- [7] D. L. Allstot and W. C. Black Jr. *Proceeding of the IEEE* 71, 967—986 (1983).
- [8] R. W. Brodersen, P. R. Gray, and D. A. Hodges, *Proceeding of the IEEE* 67, 61—75 (1979).
- [9] C. A. Gobet, *Inst. Elec. Eng. Electron Letters*, 17, 720—721, (1981).
- [10] C. A. Gobet and A. Knob, *IEEE Trans. on Circuits and Systems*, CAS-30, 37 (1983).

Noise Analysis and Low-Noise Design of MOS Analog Integrated Circuits

Wang Guoyu

(Nanjing Institute of Technology)

Nan Deheng

(TsingHua University)

Abstract

The noise in MOS devices and the analysis method of noise in circuits are introduced. The principle for lownoise design of MOS analog integrated circuits is presented. The $1/f$ noise and undersampling noise, which results from sample procedure, is described in detail. The noise analysis and low-noise design have been performed taking a NMOS operational amplifier and a switch capacitor integrator as examples. Finally, the design and measurement results of experimental circuits are reported.