

# 三维 CMOS 集成电路工艺及其性能研究

钱佩信 马腾阁 山 静

赵寅鹏 陈必贤 林惠旺

(清华大学微电子学研究所)

1985年11月14日收到

本文报道了一种三维(简写为 3D) CMOS 集成电路制造工艺及其性能。在 P 型单晶硅片上制作 NMOS 晶体管, 在连续氩离子激光再结晶的 N 型多晶硅膜上制作 PMOS 晶体管, 这两层器件之间用 LPCVD 生长的二氧化硅层作隔离。已制成  $5\mu\text{m}$  沟道长度的 9 级 3D-CMOS 环形振荡器, 每级门的延迟时间为  $2.7\text{ns}$ 。

## 一、引言

随着科学技术的发展, 对集成电路的集成度要求越来越高, 过去十几年主要是依靠缩小沟道长度和线条宽度来提高集成度, 但尺寸的不断缩小也必然产生一些新的问题, 如 MOS 器件的短沟效应和 CMOS 的可控硅效应(也即 Latch up)等, 因此不可能无限缩短沟道长度。为了进一步提高集成度, 近几年已有不少科技人员报道了多种三维集成电路的研究成果<sup>[1-6]</sup>, 这种由多层 MOS 晶体管组成的三维集成电路不仅能提高集成度, 而且能有效消除常规 CMOS 电路的可控硅效应, 并使超大规模集成电路技术中极其复杂的引线问题变得比较简单。

## 二、工艺

原始材料为〈100〉晶向的 P-Si, 电阻率为  $6-8\Omega \cdot \text{cm}$ 。首先用全离子注入常规硅栅 NMOS 工艺在该单晶片上制作 NMOS 晶体管, 其栅氧化层厚度为  $1000\text{\AA}$ , 然后在已制成的 NMOS 上用 LPCVD 方法沉积一层厚度为  $0.7\mu\text{m}$  的  $\text{SiO}_2$ , 作为两层 MOS 器件的绝缘隔离层。PMOS 就制作在该  $\text{SiO}_2$  绝缘层上面, 其制作步骤如下:

1. 用 LPCVD 方法在  $\text{SiO}_2$  层上淀积一层厚度为  $0.5\mu\text{m}$  的多晶硅层, 其晶粒大小约为  $500\text{\AA}$ 。
2. 用 LPCVD 方法在该多晶硅膜上淀积一层厚度为  $0.6\mu\text{m}$  的  $\text{SiO}_2$ 。当激光再结晶硅膜时, 此氧化硅复盖层可扩大适用的激光功率范围, 并使再结晶硅膜表面平坦。
3. 用连续氩离子激光聚焦束扫描多晶硅膜, 使其再结晶。该再结晶系统我们已在文献 [7] 中详细介绍。再结晶激光功率为  $6\text{W}$  左右, 聚焦后的激光束光斑直径约为  $70\mu\text{m}$ , 扫描速度为  $40\text{mm}/\text{秒}$ , 扫描步距为  $27\mu\text{m}$ , 硅片预热温度为  $529^\circ\text{C}$ 。再结晶后晶粒长大到几十微米。

4. 除去再结晶硅膜表面的氧化层后用离子注入掺磷( $100\text{keV}, 2 \times 10^{11}\text{cm}^{-2}$ )。
5. 用等离子刻蚀法除去 PMOS 晶体管区以外的再结晶硅膜, 形成了许多相互电绝缘的硅膜岛区。其后就在每个岛上制作一个 PMOS 晶体管。
6. 除了源漏注入后的退火工艺采用红外瞬态退火技术<sup>[3]</sup>外, 制造 PMOS 晶体管均采用常规工艺, 其栅氧化层厚度为  $500\text{\AA}$ 。

为了清楚起见, 三维 CMOS 主要工艺流程示于图 1。图 2(见图版 I)为 3D-CMOS 反相器的全貌扫描电子显微镜(SEM)照片, NMOS 的  $W/L$  为  $10\mu\text{m}/5\mu\text{m}$ , PMOS 的  $W/L$  为  $45\mu\text{m}/5\mu\text{m}$ 。图 3(见图版 I)为单个 3D-CMOS 反相器剖面的 SEM 照片, 由图可以看出, 经过多次热处理单晶片上的 NMOS 源漏结构有一些横向扩展, 但仅约  $0.3\mu\text{m}$ , 这是工艺所许可的。

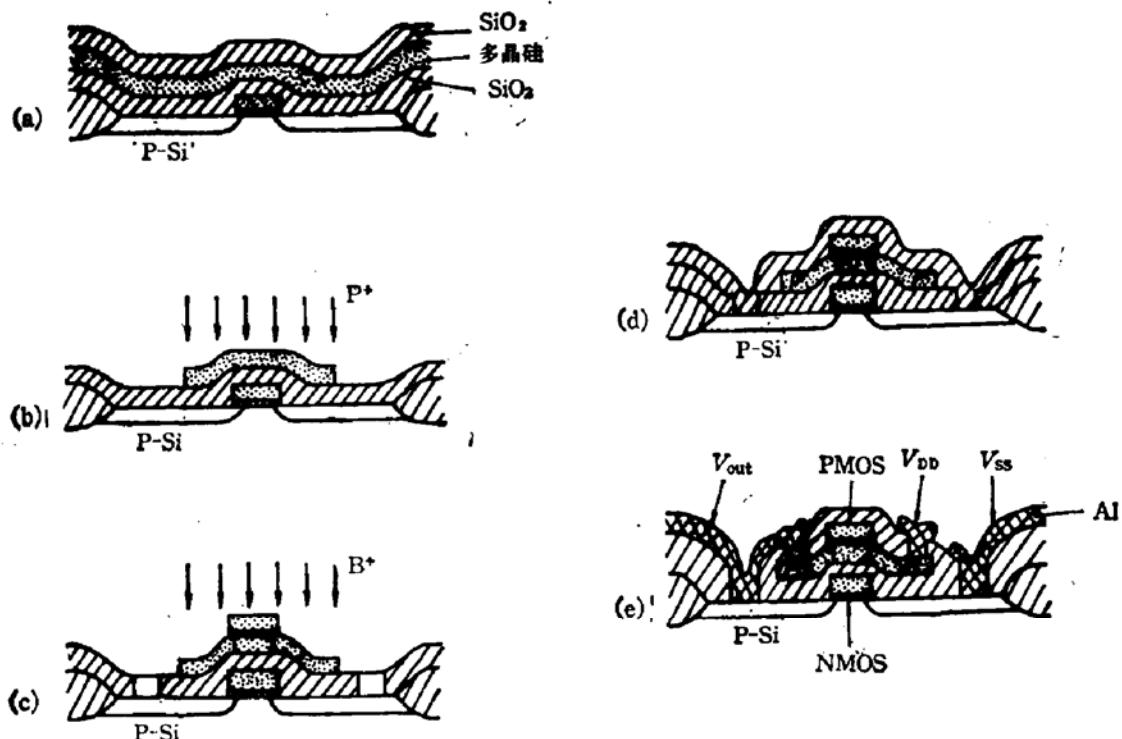


图 1 3D-CMOS 主要工艺流程图

(a) 激光再结晶 (b) 注磷、刻 PMOS 多晶硅岛 (c) 刻 PMOS 硅栅, 源漏注入 ( $B^+$ )、预刻 NMOS 引线孔 (d) LPCVD  $\text{SiO}_2$ 、红外瞬态退火 (e) 刻引线孔、蒸  $\text{Al}$ 、刻  $\text{Al}$ 、合金。

### 三、实验结果

图 4(a)、(b) 分别为单晶片上 NMOS 晶体管 ( $W/L$  为  $10\mu\text{m}/5\mu\text{m}$ ) 的输出特性和转移特性, 其开启电压为  $0.75\text{V}$ , 电子迁移率为  $480\text{cm}^2/\text{V}\cdot\text{s}$ 。图 5(a)、(b) 分别为再结晶硅膜 PMOS 晶体管 ( $W/L$  为  $45\mu\text{m}/5\mu\text{m}$ ) 的输出特性和转移特性, 其开启电压为  $-1.7\text{V}$ , 空穴迁移率为  $100\text{cm}^2/\text{V}\cdot\text{s}$ 。图 5(c) 是不同源漏电压下, 每微米沟道宽度的次开启电流  $I_s(\text{A}/\mu\text{m})$  与栅压的关系曲线, 这表明 PMOS 晶体管的次开启电流是比较小的。3D-CMOS 反相器的转移特性示于图 6, 由图可知其逻辑电平很好, 逻辑高电平为

$V_{DD}$  (5V), 逻辑低电平接近0V。为了测出每级反相器的平均延迟时间, 我们设计和制作了九级环形振荡器, 图7示出了3D-CMOS 9级环形振荡器全貌的显微照片。为了减小测试系统对环形振荡器振荡频率的影响, 在振荡器输出端加接了输出缓冲器, 该缓冲器由两级反相器组成, 前级的( $W/L$ )<sub>1</sub>和( $W/L$ )<sub>2</sub>完全和振荡级一样, 也即分别为 $10\mu\text{m}/5\mu\text{m}$ 和 $45\mu\text{m}/5\mu\text{m}$ , 而末级分别为 $60\mu\text{m}/5\mu\text{m}$ 和 $190\mu\text{m}/15\mu\text{m}$ 。振荡器的输出振荡波形示于图8, 其电源电压为10V, 由振荡周期可计算出每级反相器的平均延迟时间为2.7ns。S. Kawamura等人<sup>[1]</sup>曾报道沟道长度 $3.8\mu\text{m}$ 的3D-CMOS每级反相器平均延迟时间为8.2ns。

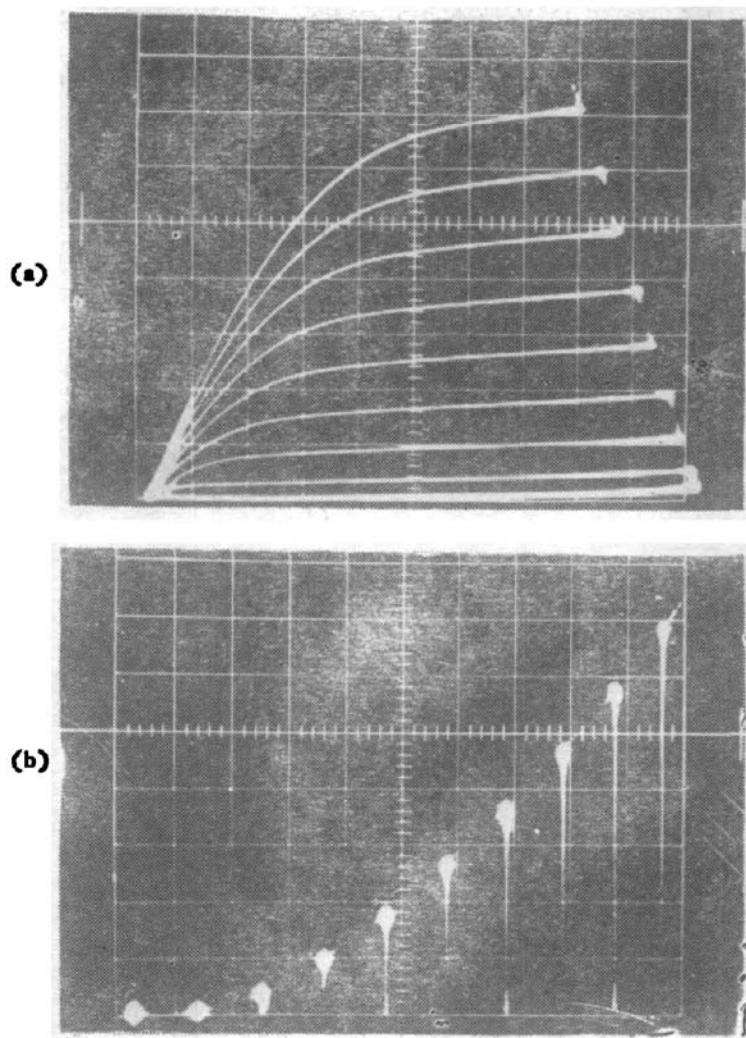


图 4

(a) 单晶片上 NMOS 输出特性 (Y轴为  $I_{DS}$ , 每格 0.1mA; X 轴为  $V_{DS}$ , 每格 1V;  $V_t$  为 1V/条)  
(b) 单晶片上 NMOS 转移特性 (Y 轴为  $I_{DS}$ , 每格 0.1mA; X 轴为  $V_{GS}$ , 每格 1V)

激光再结晶膜的P+N结反向击穿特性示于图9, 其击穿电压约为115V, 这数值与相同掺杂量情况下的单晶硅的PN结反向击穿电压一样。

#### 四、讨 论

##### 1. 多晶硅膜下面的不同结构对激光再结晶的影响

三维集成电路是由两层 MOS 器件组成, 因此多晶硅膜下面的结构很复杂, 不同区域

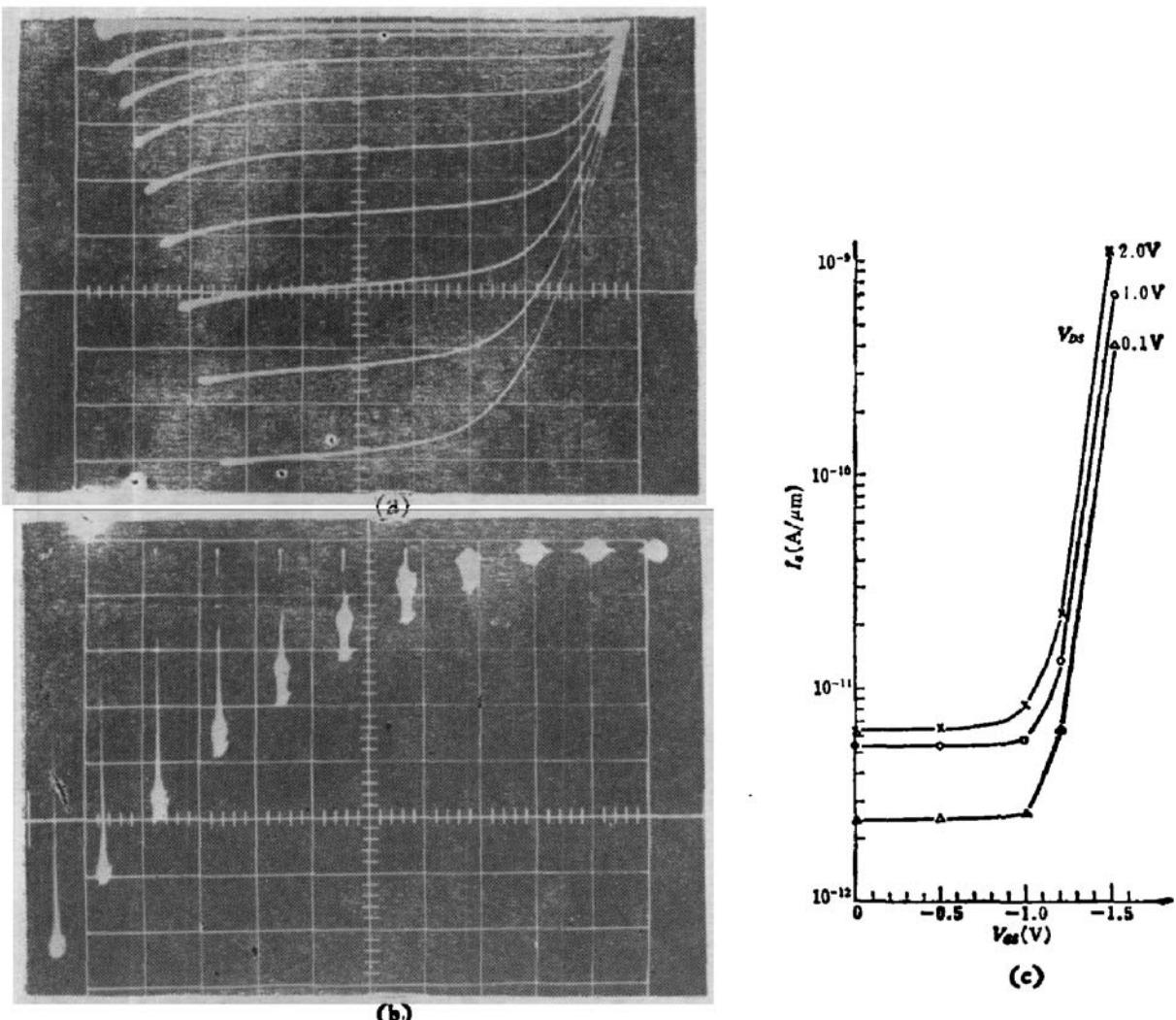


图 5 (a) 激光再结晶硅膜 PMOS 输出特性 (Y 轴为  $I_{DS}$ , 每格  $-0.2\text{mA}$ ;  
X 轴为  $V_{DS}$ , 每格  $-2\text{V}$ ,  $V_t$  为  $-1\text{V}/\text{条}$ )。  
(b) 激光再结晶硅膜 PMOS 转移特性 (Y 轴为  $I_{DS}$ , 每格  $-0.2\text{mA}$ ;  
X 轴为  $V_{GS}$ , 每格  $-1\text{V}$ )。  
(c) 不同源漏电压下, 激光再结晶硅膜 PMOS 的次开启电流  $I_s$  ( $\text{A}/\mu\text{m}$ ) 与栅压关系

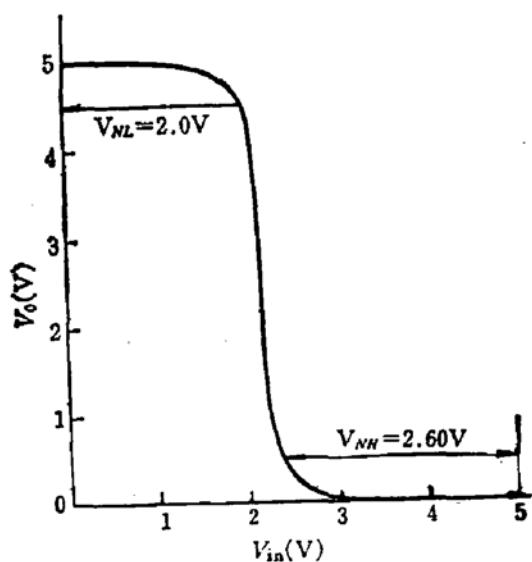


图 6 3D-CMOS 反相器的转移特性

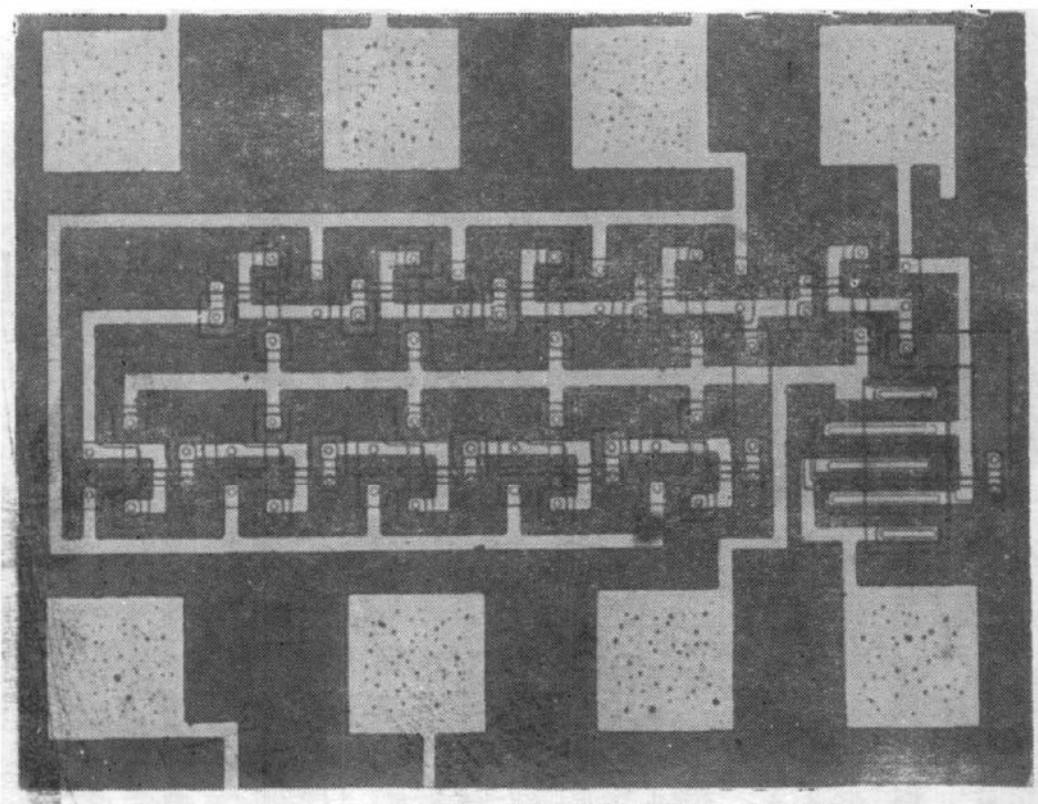


图 7 3D-CMOS9 级环形振荡器全貌的显微照片 ( $\times 160$ )

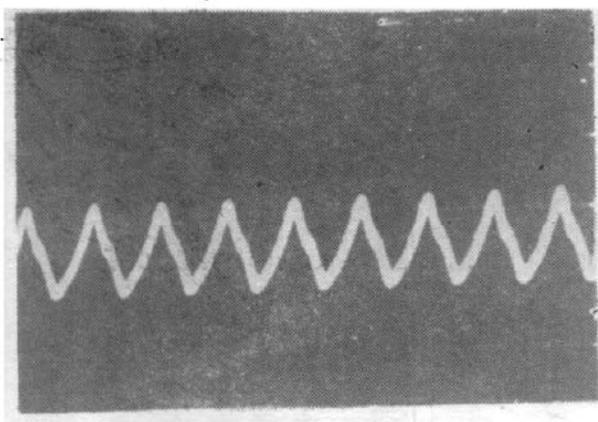


图 8 9 级环形振荡器输出波形  
(Y 轴每格为 500mV, X 轴每格为 50ns)

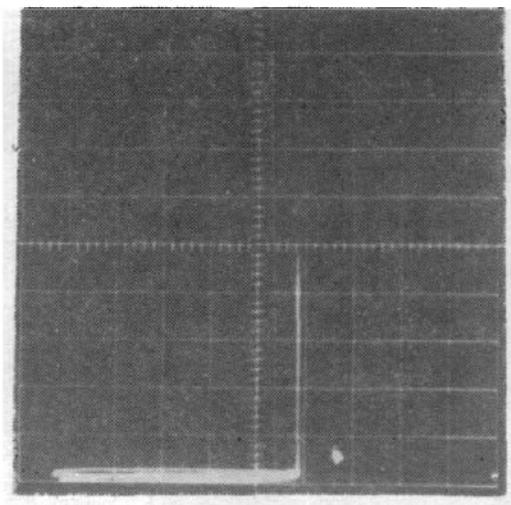


图 9 激光再结晶硅膜 P+N 结反向击穿特性 (Y 轴每格为 0.02mA X 轴每格为 20V)

的结构完全不同,大致可分成四种区域:

① NMOS 的栅引线区: 多晶硅膜——二氧化硅层 ( $0.7\mu\text{m}$  厚)——多晶硅膜 (NMOS 的多晶硅栅引线,  $0.5\mu\text{m}$  厚)——二氧化硅层 (NMOS 的场氧化层,  $1\mu\text{m}$  厚)——衬底硅;

② NMOS 的栅区: 多晶硅膜——二氧化硅层 ( $0.7\mu\text{m}$  厚)——多晶硅膜 (NMOS 的硅栅,  $0.5\mu\text{m}$  厚)——栅氧化层 ( $1000\text{ \AA}$ )——衬底硅;

③ NMOS 的场区: 多晶硅膜——二氧化硅层 ( $0.7\mu\text{m}$  厚)——二氧化硅层 (NMOS 的场氧化层,  $1\mu\text{m}$  厚)——衬底硅;

④ NMOS 源漏区: 多晶硅膜——二氧化硅层 ( $0.7\mu\text{m}$  厚)——衬底硅 (NMOS 源漏区);

因不同区域的传热情况不同, 在相同激光功率照射条件下, 不同区域的多晶硅膜温度相差很大, 因此结晶情况也很不相同。图 10 见图版 II (a) 是经 SeCCO 腐蚀液<sup>[9]</sup>腐蚀后再生结晶膜的显微照片, 由图可看出再结晶后④区晶粒最小, ①区晶粒最大。这是因为这一功率激光照射下①区的多晶硅膜温度高于④区, 当①区完全熔化时, ④区还不能完全熔化。但当提高激光功率使④区完全熔化时, ①区却因温度过高而破坏了多晶硅膜(见图 10(b))。

因此, 为了制出高性能的 3D-CMOS, 一方面必须采用合适的激光功率, 另一方面在版图设计时必须考虑这一特点, 使 PMOS 的栅区处于晶粒最大的区域。

## 2. 激光照射对二氧化硅层下面的单晶片上 NMOS 的影响

在最佳激光功率再结晶条件下, 实验结果表明对 NMOS 特性没有明显的影响, 在同一硅片上激光照射区和未照射区的 NMOS 晶体管的跨导与开启电压基本相同。为了研究激光照射对衬底材料的影响, 在制作 NMOS 的同时还制作了一个 MOS 电容(面积为  $250\mu\text{m} \times 250\mu\text{m}$ ), 我们测量了再结晶的 MOS 电容的 DLTS 谱, 在仪器的灵敏度范围内没有发现深能级 (DLTS 仪是南京大学、南京半导体器件总厂制造), 这进一步证明氩离子激光照射对下层器件影响不大。

## 3. PMOS 源漏注入后的退火

PMOS 源漏区高剂量注入后, 晶体损伤严重, 因此必须进行退火来消除损伤。但在 3D-CMOS 情况下不宜采用常规扩散炉热退火, 因高温长时间加热不仅会使已制成的 NMOS 晶体管性能变坏, 而且容易造成 PMOS 晶体管源漏穿通, 这是因为 PMOS 是制造在再结晶硅膜上的, 而该再结晶膜不是完美单晶体, 因此注入的硼原子在长时间高温下会沿晶粒间界或各种缺陷加速扩散, 在沟道短的情况下就会造成源漏极穿通。实验证明, 采用红外瞬态退火工艺制造  $2.5\mu\text{m}$  沟道长度的 PMOS 晶体管, 其源漏间不会形成穿通, 其输出特性如图 11 所示。

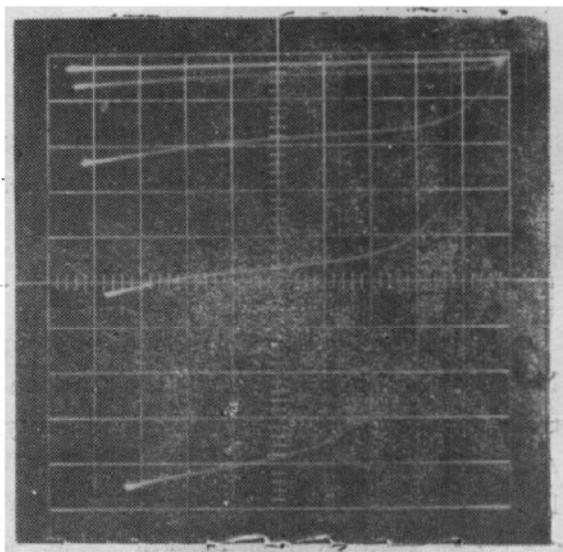


图 11 沟长  $2.5\mu\text{m}$  SOI-PMOS 输出特性  
 $(\frac{W}{L} = 10)$  Y 轴为  $I_{DS}$ , 每格为  $-0.1\text{mA}$   
X 轴为  $V_{DS}$  每格为  $-1\text{V}$ ;  $V_t$  为  $-1\text{V}/\text{条}$

## 五、结 论

用氩离子激光再结晶、红外瞬态退火和常规硅栅自对准集成技术制造出沟道长度为  $5\mu\text{m}$  的 3D-CMOS 9 级环形振荡器, 每级门的延迟时间为  $2.7\text{ns}$ 。实验证明, 激光再结晶多晶硅膜的 PN 结反向特性和 PMOS 晶体管特性都很好, 而且激光照射对硅单晶上的

NMOS 晶体管特性影响不大，由此我们认为三维集成电路是今后提高集成度的一种可行方法。

本项研究工作得到了德意志联邦共和国大众汽车厂基金会的部分财政资助，作者在此表示衷心感谢。该研究工作得到李志坚教授的指导，常规 MOS 工艺是由我所工艺室和离子注入组完成的，MOS 电容的 DLTS 谱是由赵晓军同学帮助测量的，作者在此表示衷心感谢。

### 参 考 文 献

- [1] J. F. Gibbons and K. F. Lee, *Electron Device Lett.*, EDL-1, 117(1980).
- [2] G. T. Goeloe, E. W. Maby, D. J. Silversmith, R. W. Mountain and D. A. Antoniadis, in IEDM Tech. Dig. p. 554(1981).
- [3] J. P. Colinge and E. Demoulin, in IEDM Tech. Dig. p. 557(1981).
- [4] J. F. Gibbons, K. F. Lee, F. C. Wu and E. J. Eggermont, *Electron Device Lett.*, EDL-3, 191(1982).
- [5] S. Kawamura, N. Sasaki, T. Iwai, M. Nakano and M. Takagi, *Electron Device Lett.*, EDL-4, 366(1983).
- [6] K. Sugahara, T. Nishimura, Y. Akasaka, and H. Nakata, Second International Symposium on VLSI Technology, Systems and Applications, Taipei, Taiwan (1985).
- [7] 林惠旺、钱佩信、马腾阁和李志坚, 半导体学报, 4, 287(1983).
- [8] 侯东彦、马腾阁、陈必贤和钱佩信, 半导体学报, 6, 503(1985).
- [9] F. S. Aragona, *J. Electrochem. Soc.*, 119, 948(1972).

### Three-Dimensional CMOS IC's Technology and Characteristics

Tsien Peihsin, Ma Tengge, Shan Jing, Zhao Yinpeng, Chen Bixian and Lin Huiwang  
*(Institute of Microelectronics, Tsinghua University)*

#### Abstract

This paper reports a three-dimensional (3-D) CMOS IC's technology and characteristics. N-MOS transistors have been fabricated on a p-type single crystal silicon substrate. P-MOS transistors have been fabricated in an n-type silicon-on-insulator films prepared by use of CW Ar<sup>+</sup> laser beam recrystallization. A LPCVD SiO<sub>2</sub> layer is an insulator between N-MOS and P-MOS Transistors. Nine-stage 3D-CMOS ring oscillators with a 5 μm channel length are made with a propagation delay of 2.7 ns each.