

JFET-双极高速宽带运算放大器的设计问题

易 明 锐

(北京半导体器件研究所)

1982年7月3日收到

提 要

本文讨论了 JFET-双极高速运放的设计问题。导出了 JFET 输入级的简单设计关系。基于简化的电路模型，获得了第二级频响问题的解析结果。也指出了正向压摆率实际上是受第二级的偏置电流限制的。

一、引言

近年来由于 A/D 变换器、有源滤波器等多方面应用领域的需要，人们对于发展高速宽带运算放大器已作出许多努力。但就电路设计方面来说，所采用的方法主要只有两种：直馈方法 (Feed-Forward Technique) 与极点分裂补偿方法 (Pole-Splitting Compensation)。直馈式运放的指标较高，然而稳定性较差，在一些深度负反馈运用条件下，容易产生振铃，甚至自激，很难补偿^[1]。实际上，在这一类放大器中有的不能在跟随器组态下运用，或者不得不大大降低指标^[2]。此外，直馈式运放需要较大的直馈电容 (100pF 以上)，占用芯片的面积较大。

极点分裂补偿式高速运放的电路比较简单，稳定性也好，易于补偿。这一类的产品都采用结型场效应晶体管 (JFET) 作输入级。JFET 具有低的跨导-电流比、高输入阻抗，和较好的频率响应。这些特点正适合于高速宽带运放的需要。同时，由于离子注入掺杂解决了 JFET 与双极工艺的相容性问题^[3]。因而使 JFET-双极运放成为廉价的，并有希望兼有高速、宽带与低漂移等特点的高性能通用运放。因此许多厂家曾竞相研制^[4,5]。比较著名的 LF356 与 TL081 系列^[6]便是这些努力的结果。然而，从速度与带宽指标来看，上述两者似乎都没有达到人们对 JFET-双极运放所期望的那样高。虽然较近报道了一些更好的结果^[7]，但其测试条件未加说明。

JFET-双极运放 (极点分裂补偿式) 的速度与带宽指标是否尚有提高的潜力，困难何在，如何克服，这就是本文打算讨论的问题。本文具体讨论如图 1 所示的电路，导出了输入级 JFET 的设计关系，分析了“第二级屏障”问题，并结合现有产品 BG313 运放的实验结果，详细讨论了限制带宽与速度的若干因素。

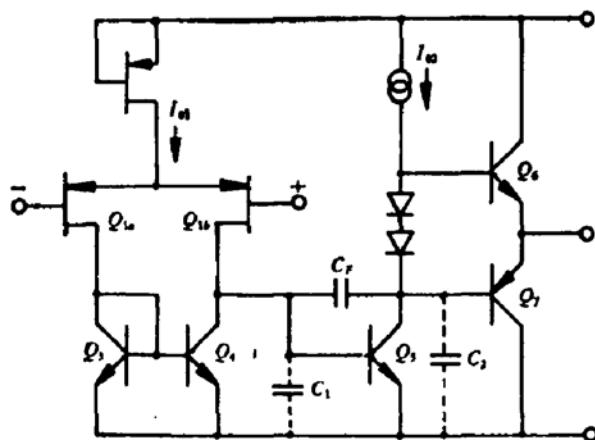
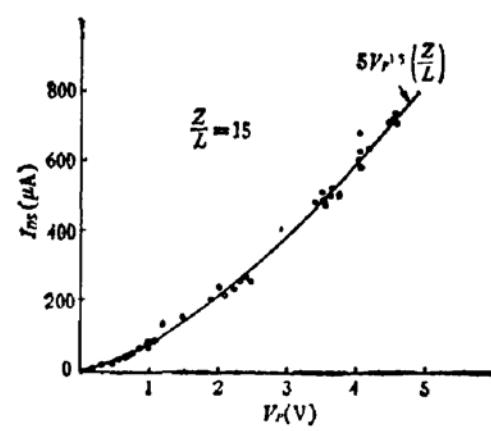


图1 JFET-双极运放(BG313)简化电路

图2 $I_{DS}-V_P$

二、离子注入沟道 JFET 特性

下面首先给出电路设计讨论中所必需的 JFET 的工艺与特性的某些结果。JFET-双极运放中的 JFET 工艺主要有一次注入(沟道掺杂)^[6]与两次注入(沟道掺杂与栅掺杂)^[7]两种。我们采用的是一次注入(硼),在隔离扩散后,npn 管基区扩散之前进行。注入能量 50 keV, 剂量为 $10^{13}/\text{cm}^2$ 。注入后的工艺过程与常规的双极工艺相同。退火与再分布利用 npn 管的一次氧化过程。 n^+ 棚区扩散与 npn 管发散区扩散同时进行。最终器件的击穿电压(BV_{DS})大于 35V, 转移特性符合平方律近似:

$$I_D = I_{DS0} \left(\frac{Z}{L}\right) \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (1)$$

其中 I_{DS0} 为单位面积沟道 ($Z/L = 1$) 的饱和漏极电流。图 2 为沟道长度 $L = 12.5\mu\text{m}$, 沟道

宽长比 $\frac{Z}{L} = 15$ 的实验器件的饱和漏极电流

$I_{DS} (= I_{DS0} \frac{Z}{L})$ 与夹断电压 V_P 的实测结果。发现 I_{DS0} 与 V_P 有如下实验关系:

$$I_{DS0} = 5V_P^{1.5} (\mu\text{A}) \quad (2)$$

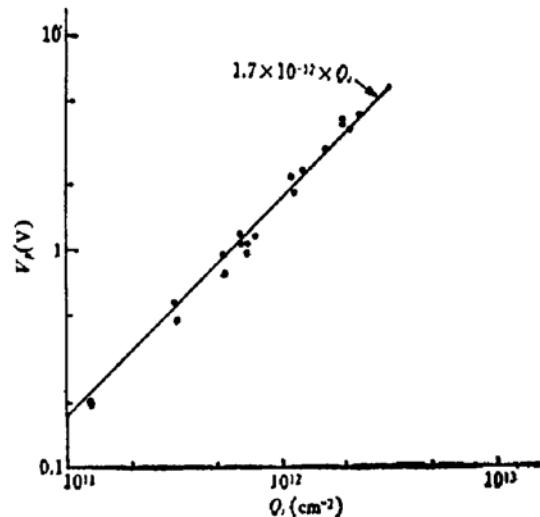
图 3 为 V_P 对沟道净掺杂量 Q_s (单位面积)的测量结果。二者之间近似成正比:

$$V_P \approx 1.7 \times 10^{-12} Q_s (\text{V})$$

这表明沟道掺杂剖面近似为高斯分布(分布的特征长度 $l \approx 0.2\mu\text{m}$)。以上结果为工艺过程中通过测试管的 I_{DS} 监控 JFET 参数,进而控制运放电路的总体指标提供了依据。

三、输入级的设计关系

对于极点分裂补偿式运放, Solomon 曾有过很精采的讨论^[10]。其中关于压摆率及增

图3 V_P-Q_s

益带宽积，分别有下述关系

$$SR = \frac{I_{01}}{C_F} \quad (3)$$

$$GBW = \frac{g_{m1}}{C_F} \quad (4)$$

其中（参见图1）， C_F 是补偿电容， I_{01} 是输入级偏置恒流源电流， g_{m1} 是输入级跨导。对JFET采用式(1)的平方律近似，那么由式(3)与(4)可得

$$SR = \frac{I_{DS1}}{C_F} \left(\frac{Z}{L} \right)_1 n \quad (5)$$

$$GBW = \frac{\sqrt{2n} I_{DS1}}{C_F V_P} \left(\frac{Z}{L} \right)_1 \quad (6)$$

其中， $n = I_{01}/I_{DS1}$ (I_{DS1} 为输入级JFET的饱和漏极电流)， $\left(\frac{Z}{L} \right)_1$ 为输入级JFET的沟道宽长比。

式(5)与(6)是输入级工作电流与器件参数设计的依据。为了避免JFET的栅极出现正向偏置状态，其中的n值不允许大于1。式(5)与(6)表明，对给定的n与 C_F ，增加JFET的沟道宽长比对于提高速度与带宽都是重要的。为了明了 V_P 的影响，下面我们引入“速度带宽积”指标。由式(5)与(6)，有

$$SR \times GBW = \frac{\sqrt{2}}{C_F^2} \frac{I_{DS1}^2}{V_P} \left(\frac{Z}{L} \right)_1^2 n^{3/2} \quad (7)$$

再利用式(2)的实验关系，则*

$$SR \times GBW \propto V_P^2 \quad (8)$$

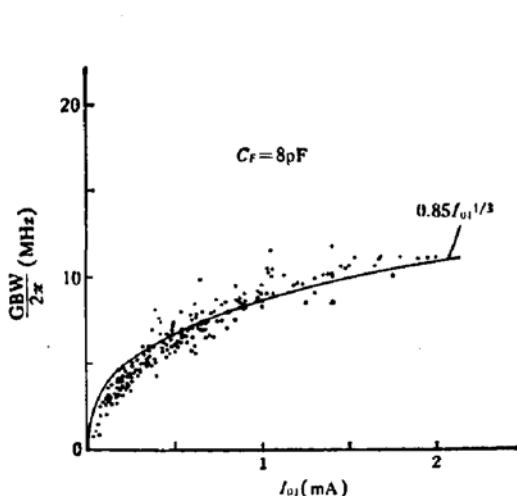
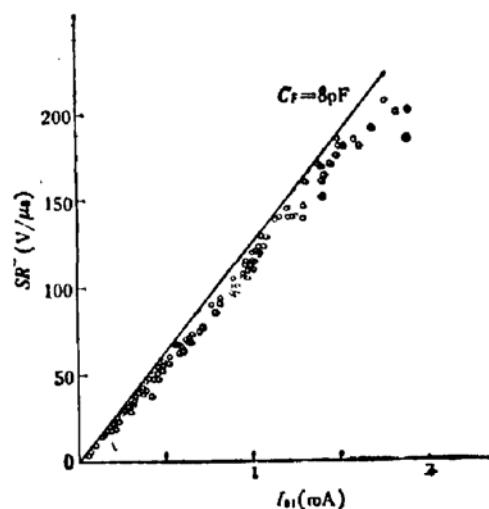
由上式可见JFET-双极运放的速度带宽积与 V_P^2 成正比，因而提高 V_P 是实现高速宽带的重要设计途径之一。但是，由于共模电压范围的要求，在设计上 V_P 存在上限。对于图1的电路，容易算出，其共模输入电压的正向界限(CMV^+)接近于正电源电压 V_{cc} ，而负向界限(CMV^-)则为

$$CMV^- \approx -V_{EE} + V_P + 2V_{BE} \quad (9)$$

其中 V_{EE} 为负电源电压(绝对值)， $V_{BE} \approx 0.7V$ 。设 $V_{EE} = 15V$ ， $V_P = 3V$ ，则 $CMV^- \approx -10.6V$ 。显然，对于标准设计， V_P 不应超过3V。这样，对给定的 C_F (关于 C_F 的考虑将在后面讨论)，可以确定JFET的沟道宽长比 $\left(\frac{Z}{L} \right)_1$ 。作为例子，取 $V_P = 3V$ ，从而 $I_{DS1} = 5 \times 3^{1.5} \approx 26\mu A$ ，并设 $C_F = 10pF$ ， $n = \frac{1}{2}$ ，则为了达到 $SR = 50V/\mu s$ 以及 $GBW = 2\pi \times 10MHz$ ，或者 $SR = 100V/\mu s$ ， $GBW = 2\pi \times 5MHz$ 的设计指标，由式(7)可算得 $(Z/L)_1 = 53$ 。

为了检验上述的理论关系，实际测量了如图1所示电路的集成JFET-双极运放BG313。其输入级的设计参数为： $(Z/L)_1 \approx 50$ ， $n \approx 0.5$ 。补偿电容 C_F 由引出端外接。

* 对于不同的JFET工艺，速度带宽积与 V_P 的关系可能有所不同。但增大 V_P 总是有利的，现在从理论上估计。对JFET沟道采用薄层近似模型，可以得到 $V_P \approx qQ_s/C_s$ ， $I_{DS1} \approx q\mu Q_s V_P / 2 = \mu C_s V_P^2 / 2$ 。考虑到沟道迁移率 μ 与栅电容 C_s (单位结面积)对沟道掺杂量 Q_s 的关系较弱，而且彼此相反，则可以近似有 $I_{DS1} \propto V_P^2$ ，从而 $SR \times GBW \propto I_{DS1}^2 / V_P \propto V_P^3$ 。对于重掺杂栅，可设 $C_s \propto \sqrt{Q_s}$ ，则有 $I_{DS1} \propto V_P^{1.5}$ ， $SR \times GBW \propto V_P^2$ 。

图 4 $GBW - I_{01}$ 的实测结果图 5 $SR^- - I_{01}$ 的实测结果

夹断电压 V_P 由工艺过程控制, 在宽范围内改变(从而同时改变了输入级恒流源 JFET 的电流 I_{01})。图 4 与图 5 是增益带宽积及倒相器组态下, 负向压摆率与 I_{01} 关系的实测结果。外接 $C_F = 8 \text{ pF}$ (加上管座电容与芯片内部分布电容, C_F 的实际值大约为 9 pF)。图 5 的结果表明, SR^- 与式(3)符合良好(正向压摆率 SR^+ 将在后面讨论)。对于 GBW , 将上述设计数据($n = 0.5$, $Z/L = 50$)代入式(6), 并利用式(2), 得到理论预期的 $GBW / 2\pi \approx 8I_{01}^{1/3}/C_F$ (MHz), 其中 C_F 的单位为 [pF], I_{01} 为 [μA]。从图 4 可见, GBW 对 I_{01} 的理论预期关系与实验结果也符合较好。

四、带宽限制——“第二级屏障”

从式(7)看到, 速度带宽积与补偿电容 C_F 的平方成反比。因此, 减小 C_F 显然是富于诱惑力的设计途径。然而, 减小 C_F 受到可以获得的稳定的单位增益带宽(ω_a)的限制。而人们在试图展宽 ω_a 时, 发现各级电路的影响都将接踵而至。特别是第二级, 是首先遇到的障碍。而且问题十分复杂, 这在宽带极点分裂式运放设计中被称作“第二级屏障”(the second stage bump)^[10]。虽然已经提出一些解决办法, 但是它们的有效性如何并不清楚, 而且有的看来是相互矛盾的。下面我们将试图得出解析的结论。

图 1 中第二级的实际电路如图 6(a)所示, 其中 C_1 与 C_2 是寄生分布电容。这一电路并不很复杂。但是, 由于必须考虑放大管 Q_2 的寄生串联电阻, 同时, 其频响的计算至少要达到三阶, 严格的解析分析实际上相当困难。为此我们将射极输出管 Q_1 当作理想的电压跟随器与其射极电阻 r_{e1} 的串接, 如图 6(b) 所示, 并应用约束网络分析方法, 得到第二级的传输阻抗为

$$\frac{v_o}{i_1} \simeq \frac{1}{sC_F} \frac{1 - s\tau_{01}}{1 + s\tau_2 + s^2\tau_2\tau_3} \quad (10)$$

从而总的电压传输函数为

$$A(s) \simeq \frac{1}{s\tau_1} \frac{1 - s\tau_{01}}{1 + s\tau_2 + s^2\tau_2\tau_3} \quad (11)$$

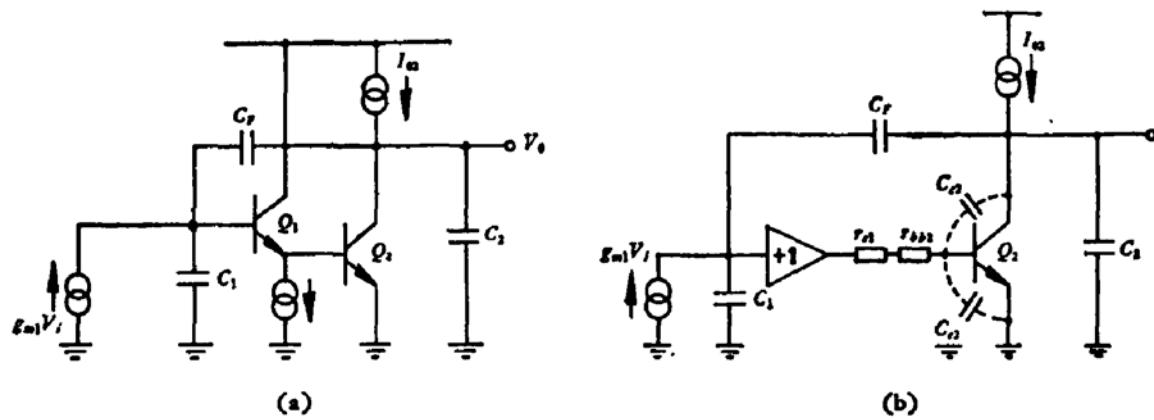


图 6 第二级电路分析

其中 $\tau_1 \simeq C_F/g_{m1}$, $\tau_{01} \simeq r_{e1}C_F$,

$$\tau_1 \simeq r_{e1} \left(C_1 + C_2 + \frac{C_1 C_2}{C_F} \right) \quad (12)$$

$$\tau_3 \simeq (r_{e1} + r_{bb2}) \left(C_{e2} + \frac{r_{cs2}}{r_{e2}} C_{cs2} \right) \quad (13)$$

对于宽带运放, 在上述时间常数中实际上将有 $\tau_1 < \tau_3$, 因而 $A(s)$ 具有一对复数共轭极点

$$A(s) = \frac{\omega_1}{s} \frac{1 - s/\omega_{z1}}{1 + 2\xi s/\omega_n + s^2/\omega_n^2} \quad (14)$$

其中 $\omega_1 = 1/\tau_1$, 即增益带宽积; $\omega_{z1} = 1/\tau_{01}$ 是右半平面零点 (“反零”); ω_n 与 ξ 为复数共轭极点对的自然频率与衰减系数;

$$\omega_n = \frac{1}{\sqrt{\tau_1 \tau_3}} \quad (15)$$

$$\xi = \frac{1}{2} \sqrt{\frac{\tau_1}{\tau_3}} \quad (16)$$

由于“反零” ω_{z1} 频率较高, 影响不显著。而复共轭对可能使 $A(s)$ 的幅频响应出现隆起。尤其是当放大器接成电压跟随器时, $A(s)$ 的复共轭对在闭环传输函数 $G = \frac{A}{1+A}$ 中仍然构成复共轭对, 其自然频率与 $A(s)$ 的相同 (式 (15)), 但衰减系数将由式 (16) 的 ξ 减小为

$$\xi' = \xi - \frac{\omega_1}{2\omega_n} = \xi(1 - \omega_1 \tau_3), \quad (17)$$

因而在跟随器组态下幅频响应很容易产生尖峰。

为了克服第二级出现的困难, 文献 [10] 中曾开列了一个处方, 其中包括: 增大 C_1 或 C_2 , 减小 C_F , 提高射随器 Q_1 的工作电流和减小放大管 Q_2 的工作电流, 以及减小 Q_2 的基极电阻 r_{bb2} 等。根据上面的分析结果来看, 前三项措施似乎在于增大 τ_1 , 从而增大衰减系数 ξ 。然而与此同时 ω_n 也将下降, 并且 C_F 的减小还将导致 ω_1 上升, 从而使 ξ' 减小。由此看来, 增大 C_1 或 C_2 只是权宜之计, 减小 C_F 也将受到稳定条件的严格限制。图 7 是 JFET-双极运放 BG313 一只典型样管 ($I_{o1} \simeq 1\text{mA}$, $I_{o2} \simeq 1.8\text{mA}$) 的开环幅频特性。其

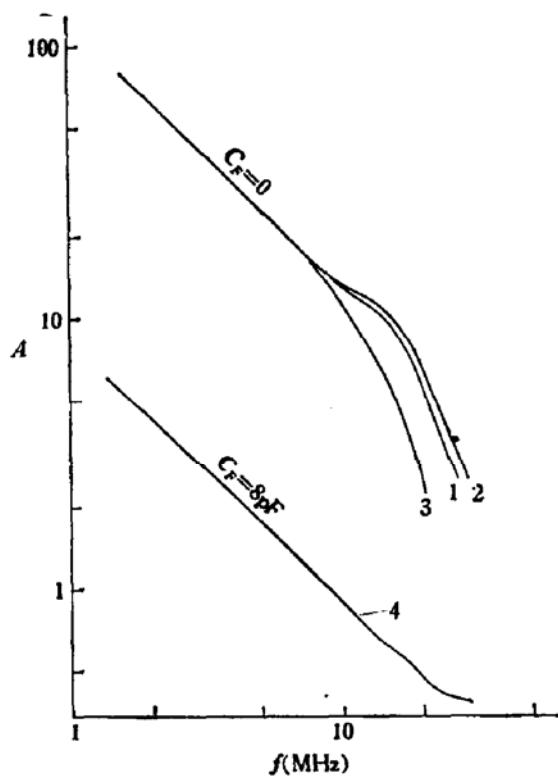


图 7 BG313 典型样品的开环增益幅频特性
(高频部分)

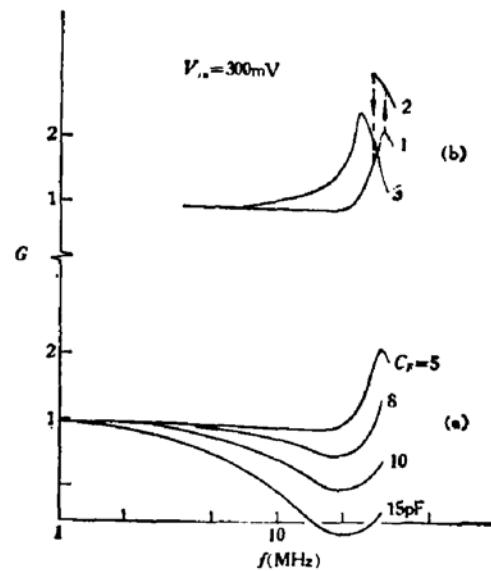


图 8 图 7 样管在跟随器组态的频率响应
(a) 不同补偿条件下的情形；(b) $C_F = 5\text{pF}$ 。曲线 1*: 原始情况 ($I_{O2} = 1.8\text{mA}$)；曲线 2*: I_{O2} 增加到 3mA；曲线 3*: C_L 增加 10pF

中曲线 1* 未经补偿(内部寄生补偿电容约为 0.5pF)，曲线 2* 是将 I_{O2} 由原来的 1.8mA 增加到 3mA 时的情形，曲线 3* 为 C_L 外加 10pF 后的结果，曲线 4* 为补偿后的特性 ($C_F = 8\text{pF}$)。比较曲线 1*、2*、3* 可以看出，增加 C_L 似乎确实表现出衰减系数 ξ 增大。而 I_{O2} 增加(即 r_{o2} 减小)表现出 ξ 减小，这与式(12)的 τ_2 减小看来是一致的。图 8 是该样管在跟随器组态的频响特性。图 8(a) 表明， C_F 下降时， ξ' 也减小，这与式(17)的预期一致。图 8(b) 中的曲线 1*、2*、3* 分别与图 7 中的 1*、2*、3* 对应，但补偿电容 $C_F = 5\text{pF}$ 。比较图 8(b) 曲线 3* 与 1* 可以看出，在跟随器组态下， C_L 增加并不导致 ξ' 的增加，因为 ω_n 也随之降低。而曲线 2* 表明，由于 ξ 随 I_{O2} 增加而下降，甚致产生了非线性跳跃现象。

以上的理论分析与实验结果表明，为了改善放大器的频率稳定性，降低第二级工作电流是必要的。然而下面我们将看到，降低 I_{O2} 与提高压摆率相矛盾。因此，突破“第二级屏障”的根本措施看来应该是减小串联电阻 r_{bb2} 与 r_{cs2} (并适当减小 r_{e1})，从而减小 τ_3 ，这样即增大了衰减系数 ξ ，也提高了自然频率 ω_n 。

五、正向压摆率

1. 第二级电流的限制

在 Solomon 的工作中^[10]，关于压摆率的分析只考虑了输入级电流的限制。对于通用型运放这是正确的。然而在高速运放中，由于前述的稳定性以及降低功耗等考虑，第二级

对输入级的工作电流比远远低于通用型运放。对于图 1 所示的 p -JFET 输入运放来说，这将成为对补偿电容 C_F 的充电速度限制。由于 I_{02} 要对 C_F 与 C_2 两个电容充电（参见图 6），因而第二级限制的正向压摆率为

$$SR^+ = \frac{I_{02}}{C_F + C_2} \quad (18)$$

显然，为了避免第二级对 SR^+ 的限制， I_{02} 应满足下式

$$I_{02} \geq \frac{C_F + C_2}{C_F} I_{01} \quad (19)$$

例如设 $C_F = C_2$ ，则应设计 $I_{02} \geq 2I_{01}$ 。对一给定的运放， I_{01} 、 I_{02} ，以及 C_2 均已给定。因而 C_F 由大而小变化时，不等式 (19) 可能由满足变成为不满足。

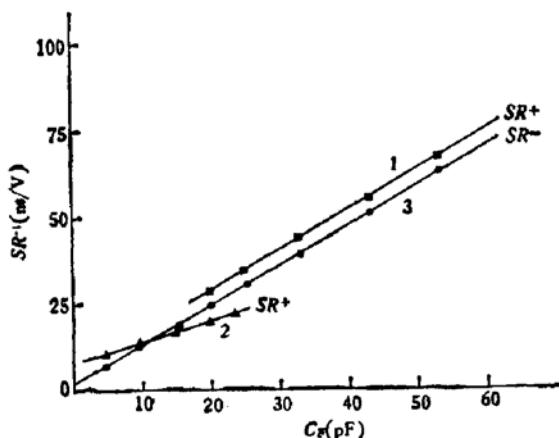


图 9 $\frac{1}{SR} \sim C_F$ (倒相器组态; 被测管:
 $I_{01} \approx 0.9 \text{ mA}$, $I_{02} \approx 1.6 \text{ mA}$)

图 9 为一只样管在倒相器组态下压摆率随 C_F 变化的测量结果。其中 SR^- (曲线 3*) 与式 (3) 一致，其斜率等于 I_{01} 。 SR^+ 在 C_F 较大时 (曲线 1*) 也与 Solomon 的理论相符：曲线 1* 相对于 3* 的平移是由于输入级尾电容的结果^[10]。然而在 C_F 较小时， SR^+ (曲线 2*) 显然已转入式 (18) 的规律，曲线斜率等于 I_{02} 。顺便指出，由曲线 2* 外推，可以得到该样管的寄生电容 $C_2 \approx 12 \text{ pF}$ 。

2. 镜像负载饱和效应

按照上面的讨论，当式 (19) 满足时， SR^+ 应受输入级电流 I_{01} 的限制。因而 SR^+

不可能大于 SR^- 。然而从图 9 中曲线 2* 可以看出，在 $C_F > 10 \text{ pF}$ 的一部分区间内， SR^+ 仍然服从式 (18) 的规律，并大于 SR^- 。实验研究表明，这是由于输入级镜像负载饱和的结果。由于第二级不可避免的存在时间延迟，当输入级在阶跃信号作用下 I_{01} 已完成由 Q_{1b} 到 Q_{1a} 的转换时 (参见图 1)，输出电压 V_o 不会立即进入压摆期。因而 C_F 不会立即被 I_{02} 充电。在此期间，镜像器的 Q_4 没有集电极电流通路，将进入饱和状态。从而使随后的正向压摆过程不受 I_{01} 的限制，而仍然取决于 I_{02} ，直到 Q_4 退出饱和区。这样，若 Q_4 在压摆中途退出饱和，那么 SR^+ 的波形将明显地分为两段，如图 10 所示。其中初始快速 SR^+ 阶段服从式 (18)，随后的较慢的阶段服从 Solomon 理论。简单的分析可以得到，两段之间的转折点高度 ΔV_o 为

$$\Delta V_o = \frac{\Delta Q}{C_F - \frac{I_{01}}{I_{02}}(C_F + C_2)} \quad (20)$$

其中 ΔQ 为镜像器 Q_4 管退出饱和所需抽出的超量存储电荷。按式 (20)， $(\Delta V_o)^{-1}$ 对 C_F 具有直线关系。图 11 为一样管的实验结果。在已知电流比 I_{01}/I_{02} 时，从直线斜率可得到 ΔQ 。

顺便指出，文献 [9] 中对 TL081 的计算机模拟结果没有出现分段压摆，但其中的实

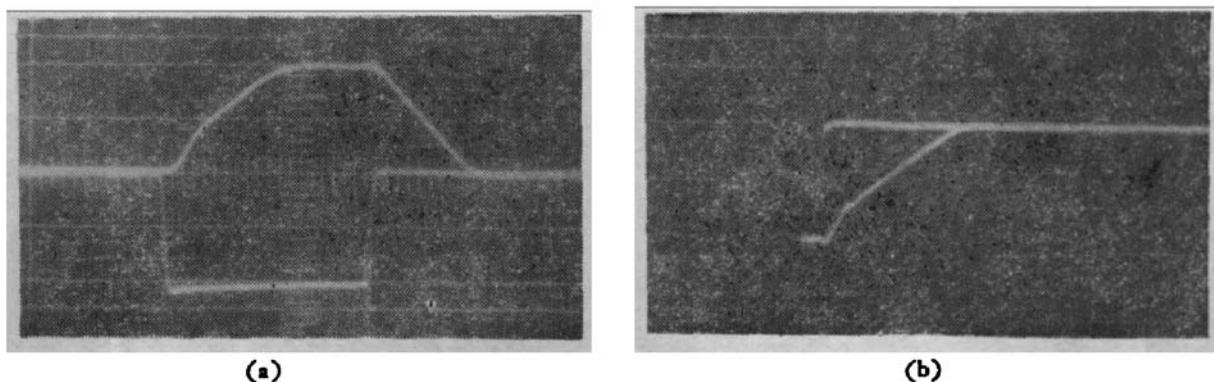


图 10 分段正向压摆的输出与输入波形

(a) 倒相器, (b) 跟随器(标尺: y 轴, 5V/格; x 轴, 0.1μS/格)

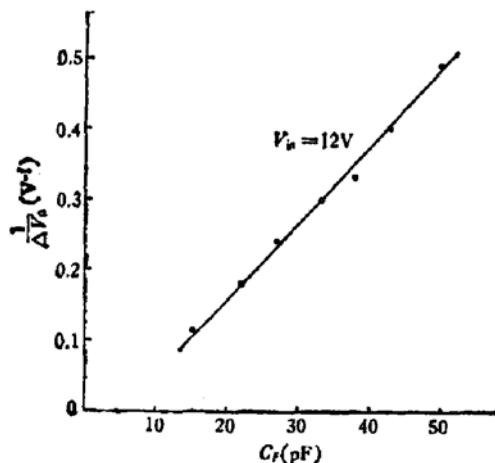
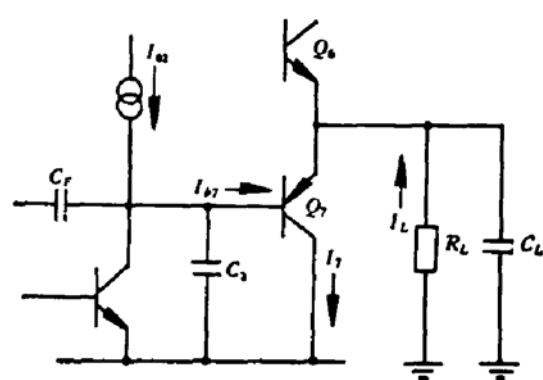
图 11 $\frac{1}{\Delta V_o} \sim C_F$ (倒相器, $V_{Bz} = 12V$)

图 12 分析负载效应的电路

测波形也存在类似的分段现象。

3. 负载效应

在上述关于 I_{02} 限制的正向压摆分析中, 没有考虑输出级的影响。由于输出级的衬底 pnp 管 (Q_7) 基区较厚, 在负载条件下它对 SR^+ 的影响将不可忽略。

图 12 为输出级的负电压输出电路。当存在负载电阻 R_L 时, Q_7 中的电流为

$$I_7 = I_{07} + I_L^- - I_{07} - \frac{V_o(t)}{R_L} \quad (21)$$

其中 I_{07} 是输出级的静态工作电流。设 Q_7 的基区渡越时间为 τ_F , 则 Q_7 基区中的瞬时少数载流子电荷为 $Q_{b7} = I_7 \tau_F$ 。当 V_o 由负电压输出幅度 V_{om}^- 向正向变化时, Q_{b7} 随之减小, 从而有多数载流子(电子)从基极流出, 产生的基极电流为

$$I_{b7} = \frac{dQ_{b7}}{dt} = \tau_F \frac{dI_7}{dt} = \tau_F \frac{SR^+}{R_L} \quad (22)$$

由于 I_{b7} 占用 I_{02} , 对 C_F 与 C_2 的充电电流将减少为 $I_{02} - I_{b7}$, 从而得到

$$SR^+ = \frac{I_{02}}{C_F + C_2 + \frac{\tau_F}{R_L}} \quad (23)$$

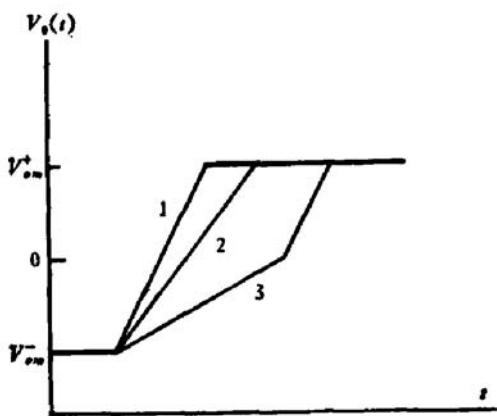


图 13 电阻负载减速的正向压摆过程

1-空载, 2-轻负载, 3-重负载。

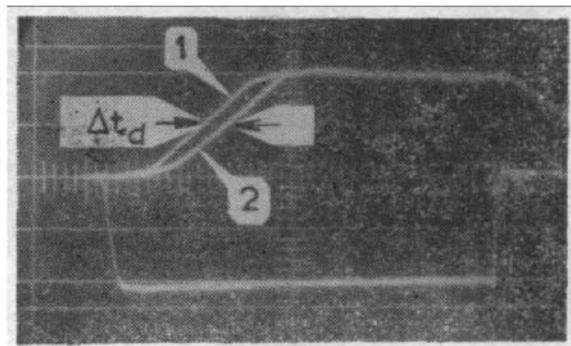
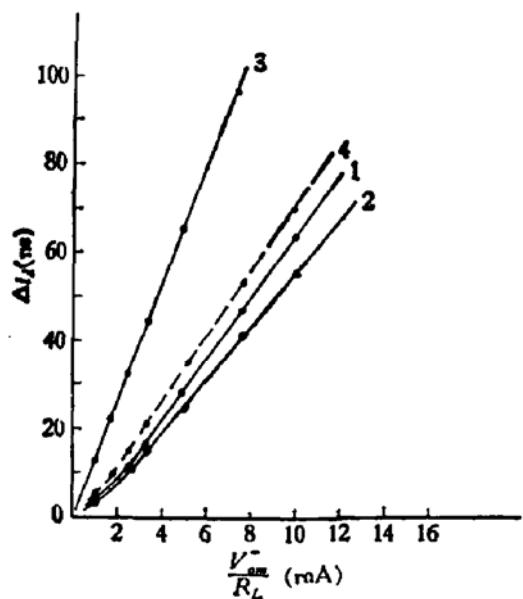


图 14 倒相器正向延迟压摆波形

$C_L = 100 \text{ pF}$, ① $R_L = \infty$,
 ② $R_L = 2 \text{ k}\Omega$ (标尺: y 轴
 5V/格; x 轴 50nS/格)

由于衬底 pnp 管的 τ_F 较大, 重负载导致的 SR^+ 降低将是显著的。不过这一现象主要发生在负输出电压范围内。在 V_o 为正时, Q_1 截止, SR^+ 将由式(23)回升到式(18)的值。只是在轻负载条件下, 由于 Q_1 中原有的静态工作电流 I_{o2} , 使得负载减速的压摆过程一直维持到正输出电压范围内。图 13 给出了电阻负载减速的压摆过程示意图。

图 15 $\Delta t_d \sim \frac{V_{om}^-}{R_L}$ ($C_L = 100 \text{ pF}$,
 $V_{om}^- = -5 \text{ V}$)

曲线 1: 1# 管 $I_{o2} = 2.2 \text{ mA}$
 曲线 2: 3# 管 $I_{o2} = 2.4 \text{ mA}$
 曲线 3: 16# 管 $I_{o2} = 1.1 \text{ mA}$
 曲线 4: 16# 管 $I_{o2} = 1.1 + 1.2 \text{ mA}$

在电容负载情形, 由于负载电容 C_L 上的电压滞后, 当输出电压由 V_{om}^- 开始向正向压摆时, Q_1 的 EB 结已趋向反偏状态。但在 Q_1 的基区电荷被抽尽以前, 输出电压将不能迅速上升。因而明显的压摆过程将在延迟时间 t_d 之后才出现。 t_d 等于输出电压在 V_{om}^- 时所对应的 Q_1 的基区电荷被抽尽的时间, 即

$$t_d = \frac{Q_{b1}(V_{om}^-)}{I_{o2}} = \tau_F \left(\frac{I_{o2}}{I_{o2}} + \frac{V_{om}^-}{I_{o2} R_L} \right) \quad (24)$$

从上式可以看到, 在存在 C_L 时, R_L 的存在将使 t_d 增加 $\Delta t_d = \tau_F V_{om}^- / I_{o2} R_L$ 。即 SR^+ 过程表现为延迟压摆, 而不再是减速压摆, 如图 14 所示。图 15 是几支样管的延迟时间对负载电流 (V_{om}^- / R_L) 的实测结果。指出下述是有趣的: 在已知 I_{o2} 时, 由 Δt_d 对 V_{om}^- / R_L 的直线的斜率可以计算出衬底 pnp 管 Q_1 的基区渡越时间 τ_F 。图 15 中三支样管的 τ_F 均在 14—16nS 范围内, 相应的 $f_T \approx 10 \text{ MHz}$ 。

六、讨论与结论

1. 本文引入了速度带宽积指标, 导出了输入级 JFET 的几何尺寸与夹断电压的设计

关系(式(7)与(8))。

2. 对第二级采用适当简化的电路模型后, 获得了“第二级屏障”问题的解析结果(式(11)至(16)), 表明麻烦来自复共轭极点对。由解析结果得出的结论是:

(1) 增大分布电容 C_1 与 C_2 和降低第二级电流 I_{o2} 都能使衰减系数增大, 改善稳定性。但同时也将使自然频率 ω_n 下降, 不能有效地展宽频带。但是这也从反面说明, 盲目地减小分布电容和提高工作电流 I_{o2} 是无益的。

(2) 减小补偿电容 C_F 可以增加(开环)衰减系数。但是由于增益带宽积 ω_t 的上升, 将使跟随器组态的衰减系数(式(17))减小。因而 C_F 的减小受到稳定性的严格限制。

(3) 减小放大管的寄生串联电阻(r_{bb2} 与 r_{cs2})既可以增大衰减系数, 又提高了复极点频率, 是提高稳定的单位增益带宽的根本途径。同时应适当增加射随管的电流(即减小 r_{e1})。

3. 对正向压摆过程的分析与实验表明, 由于第二级稳定性的要求和降低功耗等考虑, 限制了 I_{o2} 的增加, 同时由于输入级镜像器瞬时饱和等原因, SR^+ 实际上将受 I_{o2} 的限制。

为了获得大致对称的正、负向压摆率, 第二级与第一级的工作电流比应当满足: $\frac{I_{o2}}{I_{o1}} = 1 + \frac{C_2}{C_F}$ (式(19))。这一条件也成为对减小 C_F 的限制。如果 C_F 过小, 则 SR^+ 将远低于 SR^- , 或者不得不大大增加 I_{o2} , 而这与稳定性要求相矛盾。 C_2 的值实际上是图1中 Q_5 、 Q_7 及偏置二极管等隔离区电容之和, 典型值大约 10pF 。取 $C_F = 10\text{pF}$, 则 $I_{o2}/I_{o1} \approx 2$ 。这一比值是适当的。

4. 在负载条件下, 输出级衬底 pnp 管对正向压摆过程的影响是不可忽略的(式(23)与(24))。它所引入的极点导致的稳定的单位增益带宽下降更是显著的。BG313 在跟随器组态和不同负载条件下的典型结果如下表:

功耗 (I_{CC}) (mA)	SR (V/ μs)	单位增益带宽 (MHz)	负载条件	C_F (pF)
3.4	75	8	$5\text{k}\Omega, 10\text{pF}$	8
	40	4.5	$2\text{k}\Omega, 100\text{pF}$	15

可以看到, 在较重的负载条件下, 由于衬底 pnp 管的影响, 不得不加大补偿电容, 使速度与带宽都大约减小一半。但速度带宽积仍比国外同类产品 TL081 与 LF356^[6] 高两倍。进一步提高衬底 pnp 管的 f_T (适当减薄外延层厚度) 和减小第二级放大管的串联电阻 r_{bb2} 与 r_{cs2} 有可能将极点分裂补偿式 JFET-双极运放的速度和带宽指标再提高一倍。然而在标准负载条件下, 稳定的单位增益带宽超过 10MHz , 压摆率超过 $100\text{V}/\mu\text{s}$ 看来是困难的。

参 考 文 献

- [1] R. N. Caffin, *IEEE J. Solid-State Circuits*, SC-10, 503(1975).
- [2] G. Erdi, *ibid.*, SC-16, 653(1981).
- [3] R. W. Russell and D. D. Culmer, 1974 *IEEE International Solid-State Circuits Conf. Dig. of Tech. Papers*, p. 140, p. 243(1974).
- [4] Rod Russell and Tom Frederiksen, *Electronics*, 51, 113(1978).

- [5] J. Metzger, *Electron. Products Mag.*, **20**, (1), 51(1977).
- [6] 倍皮, 清康, 電子展望(日), **18**,(5), 37(1981).
- [7] D L Cave and W. R. Davis, *IEEE J. Solid-State Circuits*. **SC-12**, 382(1977).
- [8] S. D. S. Malhi, C. A. T. Salama and W. R. Donnison, *ibid.*, **SC-16**, 669(1981).
- [9] G. Krajewska and F. E. Holmes, *ibid.*, **SC-14**, 1083(1979).
- [10] J. E. Solomon, *ibid.*, **SC-9**, 314(1974).

Design Considerations in High-Speed, Wideband JFET-Bipolar Operational Amplifiers

Yi Mingguang

(Beijing Research Institute of Semiconductor Devices)

Abstract

The design of high-speed, wideband JFET-bipolar operational amplifiers is discussed. Simple design equations are given for the JFET-input stage. Based upon a simplified circuit model, an analytical result for "the second stage bump" is obtained. It is also shown that the positive going slew rate SR^+ will, in practice, be limited by the biasing current source of the second stage.