

研究简报

硅外延层错退火的研究

蔡田海

(中国科学院半导体研究所)

1982年9月8日收到

提 要

本文报道,通过重复腐蚀研究 $\langle 111 \rangle$ 和 $\langle 100 \rangle$ 两种晶向外延硅中层错的退火现象,发现退火后层错的消除并不都是从外延层表面开始的,往往也会发生在外延层中部的面角位错处或层错起源处。透射电镜观察分析表明,不易退火消除的稳定层错是本征型的。

在硅外延层中常常出现堆垛层错,它的存在对半导体器件的性能产生不良影响,因此研究外延层中层错的退火消除现象具有一定的实际意义。本文报道通过重复腐蚀的蚀象,研究 $\langle 111 \rangle$ 和 $\langle 100 \rangle$ 两种晶向外延硅中层错的退火现象,发现退火时层错的消除并不都是从外延层表面开始的;往往也会发生在外延层中部的面角位错处或层错起源处。

硅外延层是在水平反应器中,1150°C下用氢还原四氯化硅法制得。使用了 $\langle 111 \rangle$, $\langle 100 \rangle$ 两种晶向的衬底硅片,电阻率分别为 6×10^{-3} 欧姆·厘米和8—10欧姆·厘米。退火温度范围为400°C至1150°C,退火时间为2分钟至1小时。

进行重复腐蚀的步骤是: 使用Wright腐蚀剂对外延层腐蚀几十秒钟,形成第一次蚀象,经不同条件热处理后,用碘腐蚀剂去除适当厚度的外延层,再用Wright腐蚀剂作第二次腐蚀。由于退火后未被消除的层错依然存在,原位上再次显现出层错蚀坑。但是已消除的层错不复出现,只留下退火前腐蚀的痕迹,从而将可消除和难以消除的这两类层错区别开来。用此法一直腐蚀到衬底,我们可以将一个立体结构的层错多面体中沿外延层倾斜伸展的层错面投影在衬底上,从层错投影图可以了解层错是否消除、部分消除或者难以消除。图1为层错重复腐蚀的蚀象(见图版I)

图2(见图版I)为有层错的 $\langle 111 \rangle$ 晶向Si外延样品在氢气氛中900°C下经3分钟热处理后作三次重复腐蚀后的光学显微照片。图2(a)中一部分层错退火后仍保留,但A层错退火后已被消除,而且它的三个顶角a,b,c具有不同的腐蚀特征:a角有明显的蚀坑,b角不甚明显,c角却完全没有坑。图2(b)显示出一列层错在退火后的行为,发现在退火后右边都消除了,而左边仍然存在。

图3(见图版I)为 $\langle 100 \rangle$ 晶向外延Si中层错的退火情形,样品的退火实验条件与 $\langle 111 \rangle$ 晶向样品相同。图3(a)是已消除和未被消除的两类层错的分布照片。深色部分是未被退火掉的层错蚀象,浅色的四边形和半四边形是已被退火消除的层错痕迹。从图上可看出大约有60%的层错在退火后被消除了。图3(b)显示出层错退火可从面角位错处

开始。图3(c)说明面角位错处的退火也可能从深处发生，然后向面角位错两侧扩展。图4(a)是深部面角位错处的退火消除现象，而从图4(b)的层错b处又可看到退火消除开始发生在表面上(见图版II)

以上实验结果充分说明：外延Si中层错的退火消除并不总是如Takaya Suzuki^[1]提出的模型那样只是从外延层表面局部处开始的，而是具有更为复杂的机制。

为了了解难以退火消除的层错的本质，生长了厚度为 $0.2\mu\text{m}$ 的外延层，经退火处理后作了透射电镜观察。图5(见图版II)为操作矢量 $\mathbf{g} = [02\bar{2}]$ 时摄取的层错中心暗场像。由于采用 $\mathbf{g} = [02\bar{2}]$ 属B型 \mathbf{g} 矢量并且指向层错表面暗条纹，因此根据鉴定层错的法则^[2,3]，判定层错为本征型。

层错退火是比较复杂的现象，上述Si外延层中复杂退火行为可以在空位转移结合杂质钉扎作用的基础上作出一定程度的解释。

本文得到褚一鸣，范缇文以及韩文蔷，何宏家，钱家骏，王凤莲、邓宝珠等同志的帮助，作者一并表示感谢。

参 考 文 献

- [1] Takaya Suzuki, Mitsura Ura and Takuzo Ogawa; *Jpn. J. Appl. Phys.*, 11, 666 (1972).
- [2] Gevers, R., *Phys. Stat. Sol.*, 3, 1563 (1963).
- [3] 范缇文，半导体学报，1,274(1980)。

A Study of Annealing Behaviour of Stacking Faults in Silicon Epitaxial Layers

Cai Tianhai

(Institute of Semiconductors, Academia Sinica)

Abstract

The annealing behaviour of stacking faults in $\langle 111 \rangle$ and $\langle 100 \rangle$ silicon epitaxial layers is studied by means of chemical etching and TEM.

The elimination of stacking faults during the annealing process does not always start at the surface, but at the stair-rod dislocations under the surface of $\langle 100 \rangle$ layers. Studied through TEM, the nature of the stable stacking faults in silicon epitaxial layers is determined to be of intrinsic type.