

# 用拼版法研制大规模集成电路的掩膜版

林 雨

(中国科学院半导体研究所)

1982年7月21日收到

## 提 要

本文讨论一种能立足于中小规模集成电路制版设备、通过设计与制版的密切配合以制备大规模集成电路掩膜版的方法——拼版法。简介了用拼版法设计大规模集成电路掩膜版的程序、拼版制版的工序及研制的结果。着重分析用拼版法制版为什么能够提高原设备可制备集成电路掩膜版的规模的道理及拼图设计的原则,以说明此方法应用的前景。

## 一、用拼版法研制大规模集成电路掩膜版

由于大规模集成电路的图形十分复杂,国内外要制备大规模集成电路掩膜版需要价格昂贵的精密的制版设备,并且为使用这些设备必须配以计算机及其他设备形成计算机辅助制版系统,否则是难以使用的。建立计算机辅助制版系统需要大量人力、技术与资金。因此,目前我国能够研制中小规模集成电路掩膜版的厂家很多,而能够制备大规模集成电路掩膜版的单位不多,并且大多数是用从国外引进的设备。能否立足于中小规模的制版设备的基础上稍加改造来制备大规模集成电路掩膜版?为此我们进行了用拼版法研制大规模集成电路掩膜版的研究。

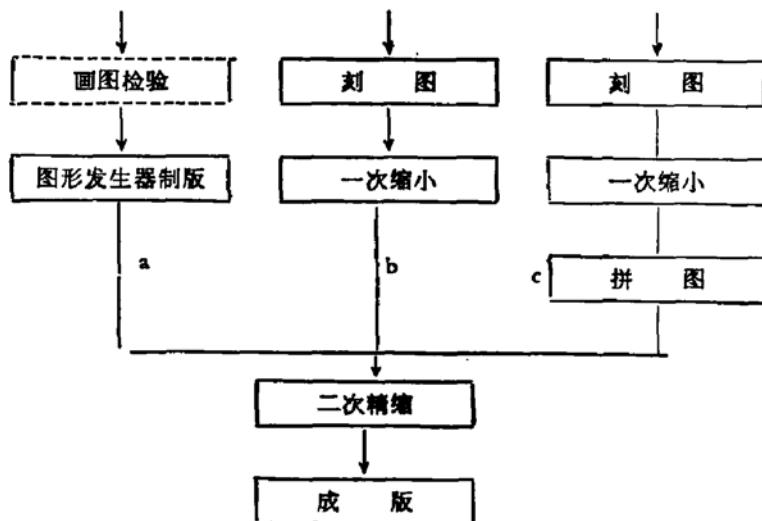


图1 制版工序的比较

用拼版法研制大规模集成电路掩膜版的思路是设计方法与制版方法必须紧密结合。

设计上采用分块设计模块，而后拼接模块而成大规模集成电路的版图，其相应的制版方法则采用分块制版后，拼接成大规模集成电路的掩膜版，用常规的制备中、小规模集成电路掩膜版的方法（刻图后一次缩小照相）制成分块版图，引进拼图工序，将分块图拼接成版。

拼版法制备的工序与常规制版方法的工序比较于图1。从图可知拼版法制版必须增

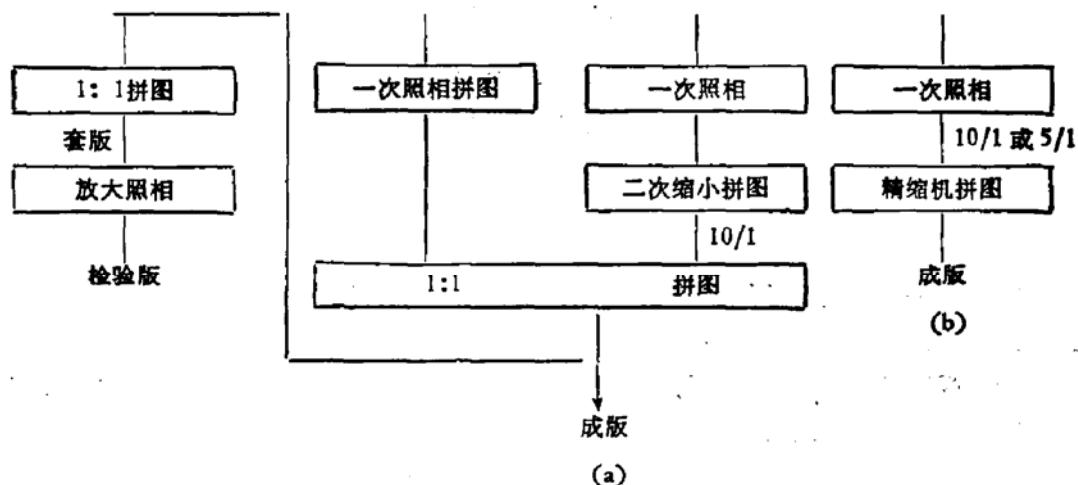


图2 (a) 用 1:1 拼图机的制版工序 (b) 用 精缩机的拼图制版工序

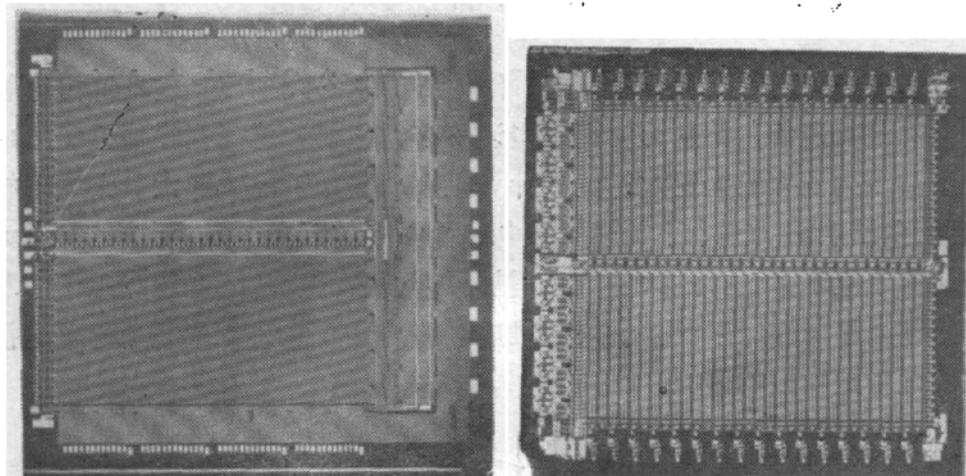


图3 用拼版法制备的 8K RAM 的掩膜版(铝版场版与栅版)

加拼版工序，正因为增加此工序及在设计上变革，使得能够立足于中小规模的制版设备，制备大规模集成电路的掩膜版。

我们用一台光刻机改装成接触式的(1:1)拼图机，用一台精缩机改装成投影式(4:1)的拼图机，并建立了二种拼图工序如图1所示成功研制了多种大规模集成电路的掩膜版。

1:1的拼图机引进拼图工艺中十分有用，用它不但可以反复进行拼图，而且可以十分方便地改版及套版以检验拼成的版图。

我们研制的几种大规模集成电路掩膜版及投片后芯片的照片如图。

我们认为成功的关键在于改革设计方法使其适合于拼图制版工艺，并提出设计的原则以消除由于增加拼图工序引进的误差，在此基础上进一步提出拼图设计大规模集成电路的步骤。

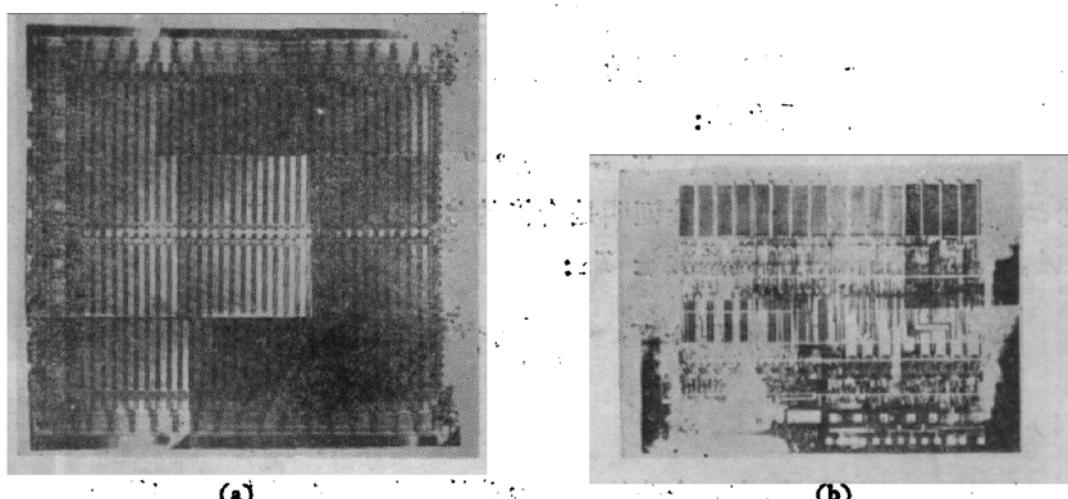


图4 投片后芯片的照片  
(a) 8K RAM (b) 16位微处理器的控制器

## 二、拼版法制版能够提高原设备制备大规模集成电路的掩膜版的规模

以下就制版的规模及精度两个方面讨论这个问题。常规的制版方法是刻图后一次缩小形成电路的中间掩膜版，而拼图法是把大规模集成电路的母图分为若干分块，用刻图后一次缩小的方法形成分块版图，再通过拼图工序将其拼接成中间掩膜版。

乍看起来，用拼图法制版的好处仅是能立足于中小规模的制版设备，其缺点是增加工序、费时间。实际上如果考虑事件成功的几率及大规模集成电路版图的周期性，即使有大型刻图机的单位，使用拼图法制版也有好处的。

### ▲ 利用拼图法提高制版的成功率，缩短研制周期

假定刻图机工作的时间为 $t$ 时，无失误的几率为 $P$ ，即：

$$P = e^{-t/T_s} \quad (1)$$

$T_s$ 为刻图机失效的周期。

当一个大规模集成电路掩膜版图的刻图时间为  $t$ , 即获得合格版图所需的时间为  $T_1$

$$T_1 = \frac{t}{P} = t e^{t/T_a} \quad (2)$$

当引进拼图工序后, 可将版图分为  $n$  个分块。假定制备第  $i$  个分块所需的时间为  $t_i$ , 即此小块的成功几率为

$$P_i = e^{-t_i/T_a} \quad (3)$$

获得此块合格版图的时间为  $T_i$ :

$$T_i = \frac{t_i}{P_i} = t_i e^{t_i/T_a} \quad (4)$$

完成  $n$  个块所需的总的时间为  $T_2$ :

$$T_2 = \sum_{i=0}^n T_i = \sum_{i=0}^n t_i e^{t_i/T_a} \quad (5)$$

而将  $n$  个分块拼接在一起所需的时间为  $n\Delta t$ , 拼图的失效周期为  $T_b$  时, 成功地将  $n$  块分块电路拼成版图, 所需时间为  $T_3$ :

$$T_3 = n\Delta t e^{n\Delta t/T_b} \quad (6)$$

由于分块制备后, 可经过中间检验证明是合格的分块才用于拼图, 因此认为各分块是合格, 所以, 拼图成版所需的时间总共是  $T_2$ :

$$T_2 = T_1 + T_3 = \sum_{i=0}^n t_i e^{t_i/T_a} + n\Delta t e^{n\Delta t/T_b} \quad (7)$$

假定 1)  $t_i = \frac{t}{n}$

2) 由于版图的周期性, 在  $n$  个分块中有  $m$  分块是与其它相同。这些块无须制备, 拼图时可分步重复利用, 时间可忽略不计。

于是

$$T_2 = \frac{(n-m)}{n} t e^{t/nT_a} + (n-m)\Delta t e^{(n-m)\Delta t/T_b} \quad (8)$$

拼图法制版能够缩短制版时间的条件是  $T_2 < T_1$  即:

$$t e^{t/T_a} > \frac{(n-m)}{n} t e^{t/nT_a} + (n-m)\Delta t e^{(n-m)\Delta t/T_b} \quad (9)$$

假定:

$$\frac{t}{nT_a} \ll 1 \quad \frac{(n-m)\Delta t}{T_b} \ll 1,$$

即有:

$$e^{t/T_a} > (n-m) \left( \frac{1}{n} + \frac{\Delta t}{t} \right). \quad (10)$$

我们认为制版成功与否取决于刻图, 而不是照相, 因此上面未考虑照相所需的时间, 当然由于采用拼图法制版后分块多照相工作量大, 但不会影响成功率。

随着集成电路规模的增加, 即  $t$  增加, 而刻图机的  $T_a$  是恒定的, 因此总是能够显示出拼图制版的优越性。所以用拼图法能够制备比原有设备更大的集成度的版图。

另外,由于采用拼版法制版将大大缩小了改版所需的时间,用常规的方法,即使改动一点,也需从头至尾全部重新刻图(为保证精度用手工无法补图).所需的时间乃为  $T_1$ ,而采用拼图法一般只需改动一个分块电路.所需的时间为  $T_2$ :

$$T_2 = \frac{t}{n} e^{t/nT_1} + (n-m)\Delta t e^{(n-m)\Delta t/T_1} \quad (11)$$

$T_2 < T_1$ ,因此拼图的应用将有效缩短时间.如果能采用1:1的拼图机,改版则更方便.只需将已制好的版图翻版,用1:1的拼图机将修改的部分曝光(抹黑),而后再翻版.用1:1拼图机加上修改部分的电路.即可以改变此分块.由于拼图法改版易,可把关键电路集中于某一分块拼出版图,进行方案对比实验.因此拼图法适合于研制新型的大规模集成电路.当大量设计大规模集成电路,开发系列电路时,利用拼图法研制大规模集成电路还可共用相同的分块电路,因此拼图法研究有助于开展大规模集成电路的用户设计.

### b) 用拼图法制版将可扩大电路的规模

用刻图照相方法制备集成电路掩膜版,当可实现刻图与剥离红膜的最小尺寸为  $D$  时,当集成电路上器件线条的最小尺寸为  $d$  时,即一次缩小与二次缩小的总倍数  $K$ ,应满足:

$$K > D/d \quad (12)$$

当照相机的屏幕尺寸为  $R$  时,即用常规方法所能形成的最大芯片的尺寸为  $L$ :

$$L = \frac{R}{K} < \frac{d}{D} \cdot R \quad (13)$$

而电路的集成度  $N$  可表为:

$$N = \eta \left[ \frac{L}{d} \right]^2 < \eta \left[ \frac{R}{D} \right]^2 \quad (14)$$

$\eta$  对于不同种类的大规模集成电路是不同的,对于存储器,设计表明, $\eta$  约为 0.01 至 0.001 之间.

对于 16 K RAM  $d = 6\mu\text{m}$ ,  $L = 6\text{mm}$  即  $L/d = 10^3$ .

对于进入超大规模范围的 64K 存储器.即  $d = 2\mu\text{m}$ ,  $L = 6\text{mm}$ ,  $L/d = 3 \times 10^3$ .

当刻图与剥图的最小尺寸  $D = 1\text{mm}$  时,即 16 K 存贮器的要求  $R = 1\text{m}$ .而当研制 64 K 存贮器时即要求  $R = 3\text{m}$ .而目前一般一次照相机的屏幕小于 2 m 因此要用刻图的方法研制此种规模的集成电路掩膜版就要借助于拼图了.当将版图分为  $n$  块后,即小块的尺寸为  $\frac{1}{\sqrt{n}}$ .

因此拼图法所能实现的集成度是:

$$N = \eta n [R/D]^2 \quad (15)$$

我们的研究表明:对于半导体存贮器,由于其结构周期性强,因此其  $n$  可以大于 100 倍.而对于随机逻辑集成电路即  $n$  只能取 16 至 30 倍.总之,拼图法的引用,将提高用刻图照相方法形成大规模集成电路掩膜版的集成度.

用手工刻图的方法误差大,可能实现的  $D$  为 3mm,所以,要制备大规模集成电路就必须引进拼图工序了.

### c) 用拼图法制版的套刻精度

大规模集成电路的掩膜版不仅线条细，而且各工序的掩膜版套刻的精度必须十分高，因此，还必须讨论拼图制版对于掩膜版套刻精度的影响。假定利用精缩机实现拼图，由于对准及步距的偏差等原因，精缩机的实现套刻精度为  $\delta_0$ ，当精缩的倍数为  $K_0$  时，那用同台精缩机拼图后再精缩，精度为  $\delta_1$

$$\delta_1 = \left(1 + \frac{1}{K_0}\right) \delta_0 \quad (16)$$

影响套刻精度的另一个因素是刻图时标记的误差  $\Delta$ 。用常规的方法精缩时，需先对准标记，因此总的误差为：

$$\delta_2 = \delta_0 + \frac{\Delta}{K_1} \quad (17)$$

$K_1$  为两次缩小的总倍数。

而引进拼图后，需两次对准标记，其误差为：

$$\delta_3 = \frac{\Delta_1 + \Delta_2}{K_2} + \delta_0 \left(1 + \frac{1}{K_0}\right). \quad (18)$$

由于精缩时的标记可以用同一个图形上、下、左、右四次曝光产生，因此  $\Delta_2$  很小，而  $\Delta_1 \approx \Delta$ ，所以  $\delta_3 = \frac{\Delta}{K_2} + \delta_0 \left(1 + \frac{1}{K_0}\right)$ 。又因  $K_2 \gg K_1$ ，( $K_2$  是拼图后缩小的总倍数)

所以：  $\left(\frac{\Delta}{K_1} - \frac{\Delta}{K_2}\right) > \frac{\delta_0}{K_0}$ ，即  $\delta_3 < \delta_2$ 。  $\quad (19)$

因此用拼图法制版将改善套刻精度。

当用手工刻图时，刻图误差  $\Delta$  大，要制备大规模集成电路掩膜版就必须拼图了。

## 三、拼版法制版与拼图设计

上节从制版的时间及精度等方面分析说明拼版法制版在研制大规模集成电路的优点，本节讨论由于拼版法制版采用大的积木块及用刻图照相方法在另一台设备上制备积木块所带来的问题，即拼图误差，及如何从设计上解决这问题。

当用照相的方式形成积木块时，缩小的倍数为  $K_1$ ，即与轴心相距  $R_1$  之点成像后与轴心之距为  $r_1$ 。

$$r_1 = \frac{R_1}{K_1} \quad (20)$$

这里  $K_1$  为一次照相及拼图工序的总缩小倍数，由于照相缩小的倍数不易精确控制及镜头像场畸变等原因造成放大倍数不准，从而使得分块图形的尺寸与原设计尺寸有所偏离，这个误差，称为拼图的误差  $\delta$

$$\delta = \frac{R_1}{K_1} - \frac{R_1}{K_0} = \frac{R_1}{K_0} \left( \frac{\delta K}{K_0} \right), \quad (21)$$

式中：

$$\delta K = K_1 - K_0.$$

由此可见拼图误差随着积木块的增大而增加，拼图法采用大的积木块（比图形发生器

大十倍),就必须从设计上考虑消除其影响,即为使得在缩小倍数偏大时分块图形不重叠,拼图设计要求设计之分块的尺寸 $L$ 必须略大于分块版图的实际尺寸 $L_0$ 。

即

$$L = L_0 \left(1 + \frac{2\delta K}{K_0}\right). \quad (22)$$

为此使用拼图法将造成芯片面积的增长是:

$$\frac{A}{A_0} = \left[1 + \frac{2\delta K}{K_0}\right]^2, \quad (23)$$

增加的面积为:

$$\frac{\Delta A}{A} = \left[\left(1 + \frac{4\delta K}{K_0}\right)^2 - 1\right] = \frac{4\delta K}{K_0}. \quad (24)$$

按我们的经验当 $L < 6\text{mm}$ ,  $\frac{\delta K}{K_0} < 0.1\%$ , 即 $\frac{\Delta A}{A_0} \leq 0.4\%$ 。

由于布图造成面积浪费较大,这点面积浪费对于大规模集成电路来说是许可的。

当缩小倍数偏小时各分块图形之间形成缝隙,如果有源元件跨过缝隙,由于拼图误差将严重影响有源元件的参数,为此拼图设计要求分块包含完整的电路(因此称它为模块)。跨过接缝的仅是连线。为接合方便规定:连线仅水平与垂直两方面走线,两个方向用不同层的布线(对于硅栅MOS电路,一个方向走的是铝线,另一个方向走多晶硅线与扩散区线)。

为拼图方便,各分块尽量成矩形,在个别地方有困难时也可采用台阶形,以保证引线垂直于缝隙及分块包含完整电路的要求。

为了保证两块间引线的连接必须进行接线的留头的设计,由于拼图的误差,接线的留头必须作相应的延伸方能保证接上,因此引线必须伸出的长度为 $\Delta L = L_0 \frac{\delta K}{K_0}$ 。除考虑到引线方向伸缩之外,由于侧向的错位,将引起线宽度及线间距减少,因此接头处之线宽度及线之间距必须增加 $\Delta d$ :

$$\Delta d = d_0 \frac{\delta K}{K_0}$$

式中 $d_0$ 为相邻两分块轴心之距离。因此拼图设计要求相邻单元轴心尽量接近。

此外,为了能够实现拼图,各分块必须设计上对准的标记,拼图设计要求标记的位置各分块必须一致,并位于图形的轴线,标记采用的图形应容易设计及容易对准,因此不同的拼图工艺应采用不同的对准标记。

按以上原则设计的分块版图如图5所示。

当符合上述设计原则后,将有效消除拼图误差,保证制备大规模集成电路掩膜版的精度。

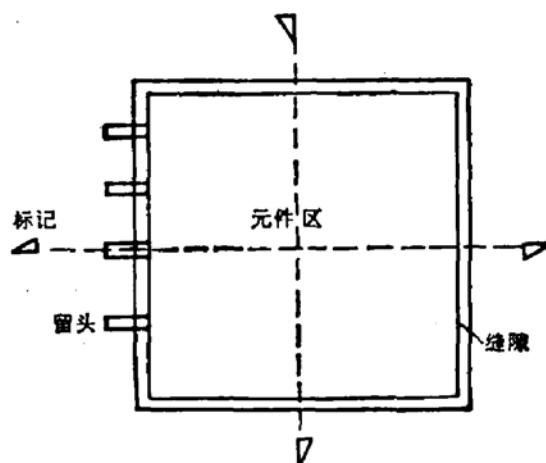


图5 分块图

上述拼图的设计规则是为了适应拼图制版工艺、消除拼图误差所必须，这是拼图设计的一部分，拼图设计的另一些规则是针对拼图法研制大规模集成电路的特殊情况而规定的。

拼图法制版是由分块拼图成版，除分块的版图是用刻图方法产生，便于对准检验，由于各分块包含完整的电路，因此还可以对关键的分块进行投片试验，为了测试分析要加上简单的外围电路——跟随器及压点等。这种为试验电路而设计的外围分块称为测试块。

总结上述的考虑，形成拼图法研制大规模集成电路掩膜版的程序是：一、逻辑设计；二、电路设计；三、电路布局设计；四、版图布局设计；五、布线；六、分块；七、分块设计；八、拼接关键分块电路的实验版；九、拼成大规模集成电路图版。

从拼图法的设计步骤看来，后四步是拼图法的特点，前五步是一般大规模集成电路设计所具有的，但在拼图设计中为了能够按拼图规则分块，即从逻辑设计开始就必须考虑拼图设计的特点。使电路之布局落成版图后，不但能满足分块的原则，而且各分块能够轴心对准及完成特定的功能，以便于测试分析。因为轴心对准后，分块间的接缝便成直线，补线十分容易，因此可扩大作为总线区，来联结各分块，以构成积木式的子系统。而随机逻辑大规模集成电路即是这种子系统。

#### 四、结 论

通过上述分析我们认为：

- 1) 应用拼版法可以提高原制版设备的制版规模，试验证明，用手工刻图，小屏幕的照相设备即可研制大规模集成电路的掩膜版。
- 2) 拼版法是设计方法和制版工艺相结合的产物，其成功的关键是确定拼图设计的原则以克服由拼图工艺引进的误差。
- 3) 拼版法的缺点是增加工序，且不易自动化，以及为消除拼图工艺的误差，必须采用拼图设计的规则，从而增加了版图设计的困难，这是拼版法仅在我所研究成功(做出合用的大规模集成电路掩膜版)及影响普遍推广的原因。

拼版法制版的原理是王守觉老师首创的积木式图形发生器的发展。参加此项工作的有杨柳林、陈宝钦、赵群增、勘学芝、傅淑桂、姜爱华、田宁等同志。在此对以上同志表示感谢。

#### 参 考 文 献

- [1] 中国科学院半导体研究所自动制版研究组，物理学报，25，88 (1976)。
- [2] 王守觉、杨柳林、田肇雪，积木式图形发生器及其发生方式，中国科学院半导体研究所研究报告，1977—1978，pp.21—23。

## Mask Making for Large Scale Integrated Circuits by Using Pattern Synthesis Method

Lin Yu

(Institute of Semiconductors, Academia Sinica)

### Abstract

Pattern Synthesis, a new mask-making method for LSI circuits, is discussed. It only needs simple equipment adequate for SSI or MSI mask making. The procedure and technology of the pattern synthesis as well as the experimental results are introduced. The emphasis is placed on why larger scale masks can be made using the equipment adequate for SSI or MSI mask making and on what the design principles of pattern synthesis are, thus providing the prospect for the application of the method.