

离子注入氮化硅隔离的 CMOS 器件

刘 忠 立

(中国科学院半导体研究所)

伏·车慈曼 依·罗伯特 格·启姆

(西德多特蒙德大学电子系)

1982年10月23日收到

提 要

本文描述用离子注入氮化硅层隔离的单晶硅膜制作的 CMOS 器件。给出这种 CMOS 器件的工艺方法以及晶体管和倒相器的特性,讨论这种技术的发展前景。

前 言

作为蓝宝石外延硅(SOS)技术的一种替代方法,已有些作者采用在氧离子注入形成的隐埋 SiO_2 上外延硅膜的结构。他们利用这种结构成功地制作出 CMOS 器件^[1]。Dexter 等曾设想采用氮离子注入代替氧离子注入,用类似的注入隐埋氮化硅隔离结构来制作半导体器件^[2],但是这种设想至今尚未见有作者实现过。

我们从 Dexter 的设想出发,但对这种设想进行修改,即不做外延而是直接利用离子注入形成的隐埋氮化硅上的单晶硅膜制作 CMOS 器件。本文介绍我们研制的这种 CMOS 器件的工艺方法,给出 CMOS 晶体管及倒相器的特性,并对这种技术的发展前景进行讨论。

工 艺 方 法

如图 1 所示,首先将磨片抛光后的 20 $\Omega\text{-cm}$ P型 $\langle 100 \rangle$ 硅片进行氧化,形成厚约 200 \AA 的 SiO_2 层作为离子注入的缓冲层。采用能量为 300 keV 剂量为 $1.5 \times 10^{18}/\text{cm}^2$ 的 N 离子对硅片进行注入。此后片子在温度为 1200°C 及氮加 10% 氧的气氛下退火 2 小时。实验表明,上述条件是形成所希望结构的最佳条件^[3]。Auger 能谱分析及选择性腐蚀台阶测厚的结果^[3]给出,在硅表面下面形成约 0.4 μm 厚的连续 Si_3N_4 隐埋层,而氮化硅上面留下的单晶硅膜约为 0.5 μm 。用研磨斜面的方法(斜面同片子表面大约成 3° 角),在光学显微镜下可以看出各层的分布。图 2 示出这种分布的显微照片。

采用光刻技术形成薄层单晶硅岛,它们分别作为 P沟 MOS 晶体管及 N沟 MOS 晶体管的有源区(见图 3)。此后即按照标准的 N阱全离子注入硅栅 CMOS 工艺^[4]制作二种沟

道的 CMOS 晶体管及 CMOS 倒相器。

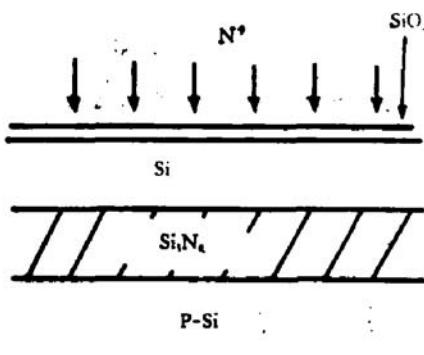


图 1 用氮离子注入形成的埋氮化硅隔离结构

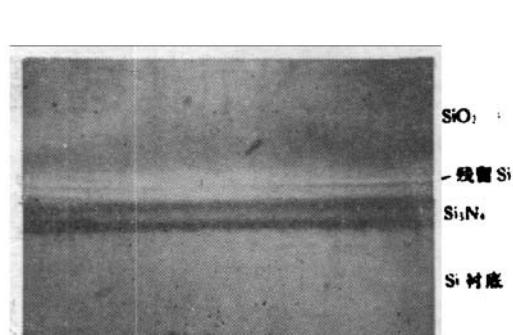


图 2 埋氮化硅层隔离结构研磨斜面的显微照片。斜面同硅片表面约成 3° 角, $\times 1000$

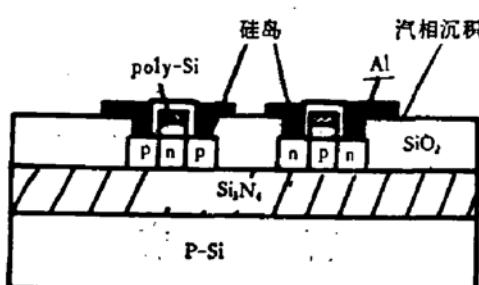


图 3 埋氮化硅层隔离的 CMOS 晶体管工艺剖面

CMOS 晶体管及倒相器的特性

图 4(a)一(d)给出几种不同尺寸的 N 沟及 P 沟晶体管的电流-电压特性曲线。为了反映晶体管的漏电电流水平, 图 4(a)及(b)给出的是小电流范围的特性曲线。可以看出漏电电流是相当小的。另外从图 4(c)及(d)可以看出, 两种沟道的晶体管各在某一漏电压下出现特性曲线的“扭曲”(kink)现象, 在此之后电流随电压的饱和特性有所变化。这是由于绝缘氮化硅层上晶体管的浮硅膜衬底效应造成的, 并且同器件的沟道类型, 几何尺寸以及栅压有着复杂的关系。很多作者对 SOS 结构 MOS 晶体管的类似效应进行过详细的分析^[5], 本文不在此赘述。

表 1 给出离子注入氮化硅隔离的 CMOS 晶体管及同样原始衬底体硅 CMOS 晶体管

表 1 氮化硅隔离及体硅 CMOS 晶体管的某些电学参数

	N 沟 MOS 管		P 沟 MOS 管	
	零场迁移率 μ_0 ($\text{cm}^2/\text{V} \cdot \text{s}$)	阈电压 V_T (V)	零场迁移率 μ_0 ($\text{cm}^2/\text{V} \cdot \text{s}$)	阈电压 V_T (V)
氮化硅隔离	360	1.6	120	-1.1
体硅	660	0.9	220	-0.8

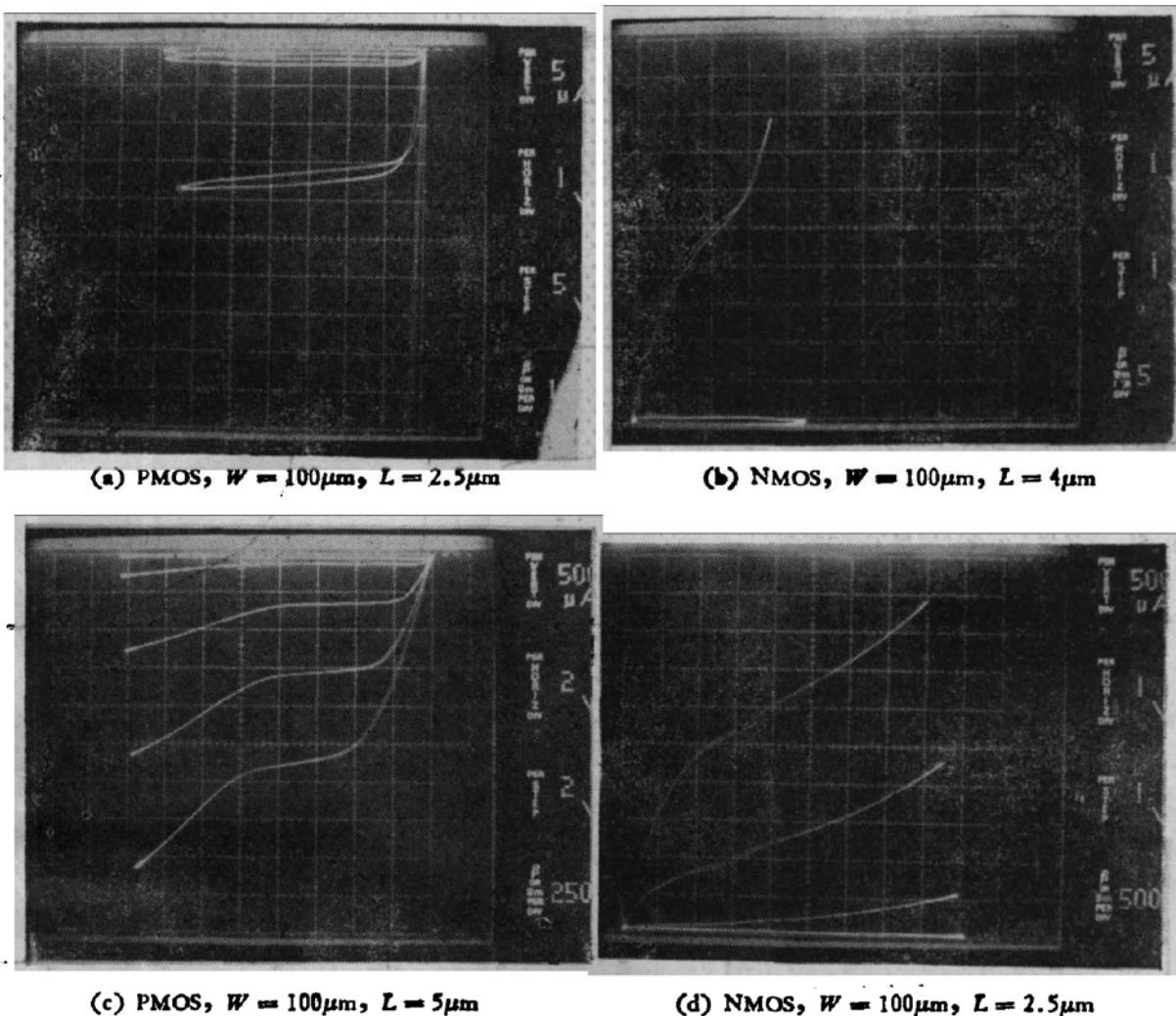


图4 几种不同尺寸的N沟及P沟MOS晶体管的电流-电压特性曲线. W 为沟宽, L 为沟长.

的某些电学参数. 注入氮化硅隔离 MOS 晶体管的零场迁移率同良好的 SOS 结构晶体管的相近, 优于某些作者报道的激光多晶硅重结晶类 SOS 结晶体管的迁移率值^[6].

图5给出用这种工艺制作的CMOS倒相器的显微照片. 倒相器的NMOS管 $W=10\mu\text{m}$, $L=5\mu\text{m}$; PMOS管 $W=10\mu\text{m}$, $L=2.5\mu\text{m}$. 图6给出该倒相器的测量转移特性及电流特性. 可以看出, 倒相器工作的最低电源电压为1.5伏, 电流的对称性很好.

讨 论

本文报道的离子注入氮化硅隔离 CMOS 结构, 是一种用硅材料形成的类 SOS CMOS 结构. 由于无需外延工艺, 不仅工艺得到简化, 背界面(在 SOS 结构中即外延硅同蓝宝石的界面)的影响是小的. 所得到的 MOS 晶体管载流子迁移率良好, 而且预料进一步提高迁移率比 SOS 结构容易, 因为埋埋氮化硅上的硅膜厚是本体硅的一部份, 不会像外延硅膜那样存在大量难以消除的层错. 离子注入可能造成损伤, 但这一损伤是可以通过恰当的退火消除的.

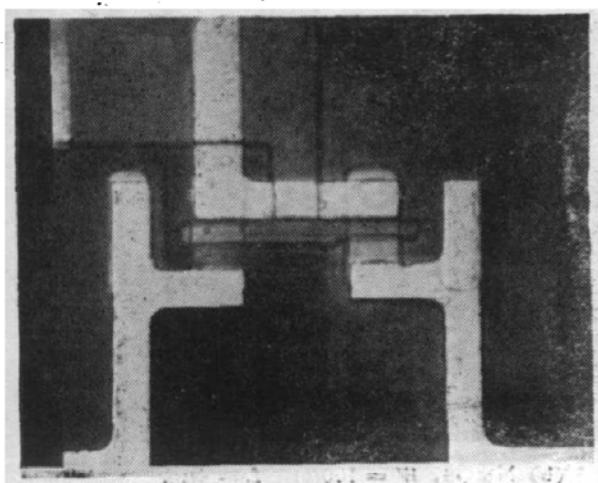


图5 离子注入氮化硅隔离 CMOS 倒相器的显微照片

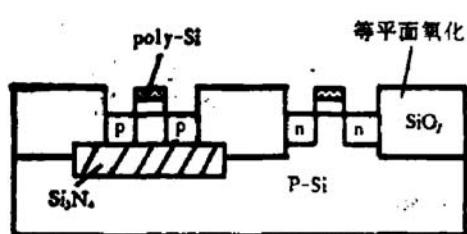


图7 绝缘层隔离同体硅结合的技术。
这里N管直接做在P型硅衬底上

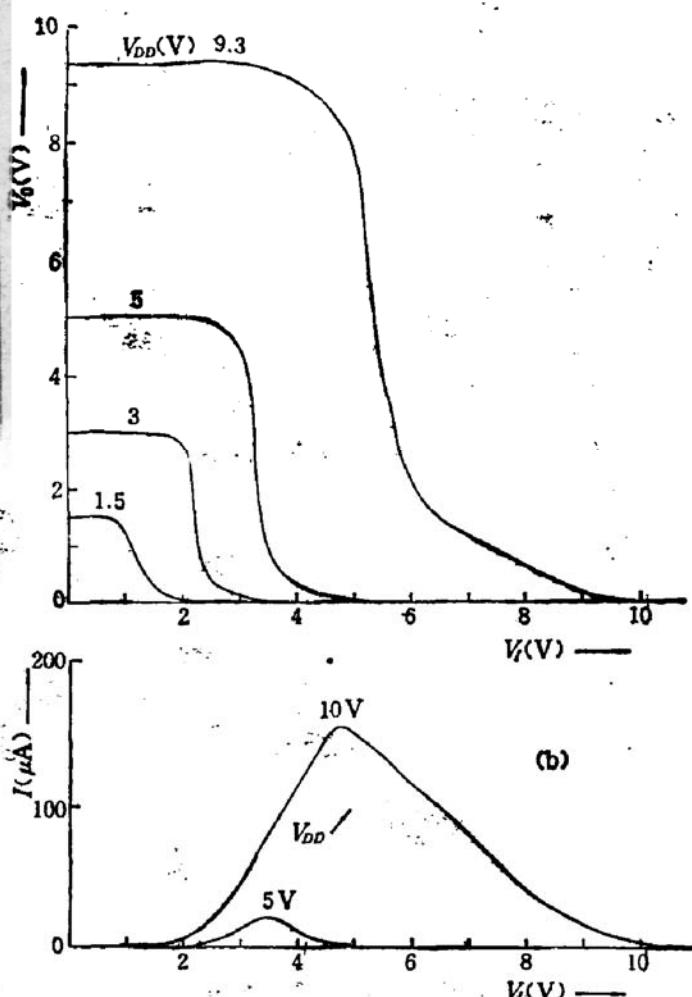


图6 a) 离子注入氮化硅隔离 CMOS 倒相器的
转移特性 b) 电流特性

为了进一步减小源漏 p-n 结的侧面电容, 可以考虑减薄硅膜厚度, 这一厚度用改变离子注入能量可以精确控制。为了提高 N 沟晶体管的迁移率, 可以考虑利用局部氧化方法, 将 N 管直接作在硅衬底上 (见图 7), 或者为提高 P 管迁移率, 可以用 N 型衬底硅作氮离子注入, 而将 P 管做在衬底硅上。这样便将绝缘层隔离技术同体硅技术结合起来了。

隐埋氮化硅隔离技术要求高剂量的氮离子注入 (剂量 $\geq 1 \times 10^{18} N^+/\text{cm}^2$), 以形成良好的绝缘氮化硅层。为了适应大量生产, 希望采用大电流的离子注入机。随着半导体加工设备的进展, 这种机器已逐渐发展起来, 因此, 采用此种工艺代替 SOS 工艺的现实性是存在的。

参 考 文 献

- [1] K. Izumi, M. Dokem and H. Ariyoshi, *Electron. Lett.*, **14**, 593 (1978).
- [2] R. J. Dexter, S. B. Watelski and S. T. Picraux, *Appl. Phys. Lett.*, **23**, 455 (1973).
- [3] G. Zimmer, W. Zettsman, Z. L. Liu and E. Neubert, 4th International Conference on Ion Implantation, Equipment and Techniques, September 13—17, 1982, Berchtesgaden, West Germany (待发表).
- [4] Zimmer, G., Hoefflinger, B., Neubert, E., Vogt, H., NTG-Fachtagung Grobintegration, Baden-

- Baden, März, 1981, NTG-Fachberichte, Band 77, pp. 18—21.
[5] Dawon Kahng, Silicon Integrated Circuits, Part A, Academic Press, New York and London, 1981.
[6] Theodore I. Kamins, Silicon Integrated Circuits Using Beam-Recrystallized Polysilicon, Hewlett-Packard Journal, August, 1982, pp. 11—13.

CMOS Devices Isolated by an Implanted Silicon Nitride Layer

Liu Zhongli

(Institute of Semiconductors, Academia Sinica)

W. Zetzmann, E. Neubert and G. Zimmer

(Department of Electronics, University Dortmund, West Germany)

Abstract

CMOS device fabricated in the silicon wafer isolated by an implanted silicon nitride layer is described. The process description, together with the characteristics of CMOS transistors and inverter, is given. Future prospect of the technology is also discussed.