

ECL 1024 字×1 位随机存储器

张 敏 杨华丽 罗杏珍 余北梁 陈明琪 郑应杨

(中国科学院 上海冶金研究所)

1981年2月19日收到

提 要

研制成功的 ECL 1024 字×1 位随机存储器的地址取数时间为 20ns、功耗 500mW、芯片面积 11.4mm^2 。它是高速电子计算机不可缺少的关键性器件。采用 $4\mu\text{m}$ 设计原则以及薄外延层、浅结、漂发射区和双层金属布线等工艺。本文报道了设计、工艺以及性能特点。

半导体双极型存储器的主要特点是工作速度快，是大型计算机的高速存储部分的基础元件。本文报道的 ECL 1024 字×1 位随机存储器是在双层金属布线 ECL 256 字×1 位随机存储器^[1-3]的基础上进行设计和制造的。它与 256 RAM 相比，具有相同的 500mW 功耗，而存储容量扩大四倍，取数速度则增加不到一倍，典型值是 20ns。

1024 RAM 的逻辑框图如图 1 所示。芯片的存储单元组成 32×32 矩阵。行方向有相应的 32 个驱动电路，由 5 个地址码 (A_0-A_4) 的译码电路选中其中的一行。列方向有

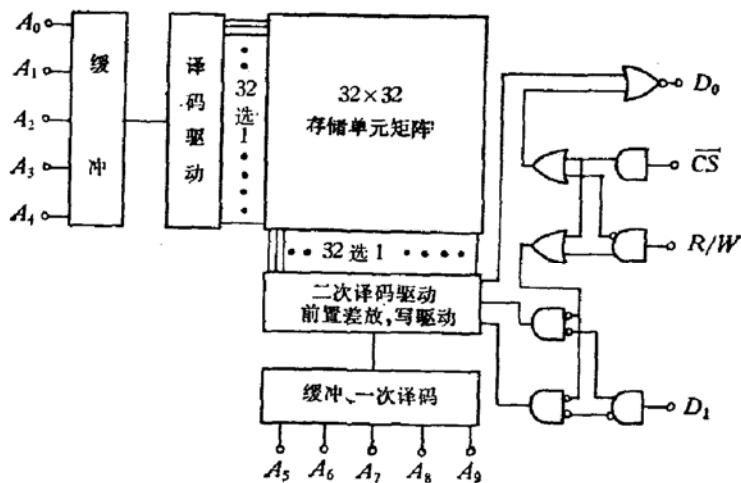


图 1 逻辑框图

相应的 32 个列选和前置读出电路，也由 5 个地址码 (A_5-A_9) 的译码电路选中其中的一列。选中行和列交叉的这个单元可以进行读出和写入，其它单元均被封锁，组成 1024 字×1 位工作方式。芯片是否进入工作状态由片选脉冲 (\bar{CS}) 控制，进行读操作或写操作由读/写脉冲 (R/W) 控制，数码输入 D_i ，数码输出 D_0 有较大驱动能力。加入 -5V 电源输入端，共有 16 条外引线，按照国际通用的 ECL 10k 系列相应组件的顺序排列。

表1是这个存储器的逻辑功能真值表。

表1 逻辑真值表

操作	输入			输出
	<u>CS</u>	<u>R/W</u>	<u>D_i</u>	<u>D_o</u>
禁止	H	—	—	—
读“0”	L	H	—	L
读“1”	L	H	—	H
写“0”	L	L	L	L
写“1”	L	L	H	L

以下分别介绍它的设计、工艺及性能特点。

一、设计特点

存储单元是决定存储器性能、功耗与集成度的重要因素。通过ECL系列64—256 RAM^[3]的研制，证明并联二极管的双稳态触发器是一种较合理的单元形式。就是触发器的集电极负载电阻R与二极管D和电阻r并联，如图2。其特点之一就是既能以低功耗维持状态，而选中工作时又允许有较大电流达到较快速度。为使整个电路功耗合理分配，1024RAM的单元维持电流设计值 $I_H = 35 \mu A$ ，读写电流 $I_R = 0.3 mA$ ， $I_R/I_H = 8.6$ ， I_H 由行恒流源控制，每行32个单

元合用一个行恒流源，整个电路共32路。 I_R 由列恒流源控制，因每列有“0”线和“1”线，共有64路。设计双射极管 $\beta = 30$ 、 $R = 12k\Omega$ ，可以保证维持时集电极电位差 $> 0.2V$ 。设计 $r = 420\Omega$ ，能在截止变通导的瞬间建立 $> 0.12V$ 的集电极电位差，促使触发器翻转稳定。

单元的特点之二是可以做到集成密度高、工艺参数容差范围大。 D 是寄生二极管^[3]。 $12k\Omega$ 不要求有准确数值，因而采用2□磷扩散区下面的基区电阻，即挤压电阻。其阻值与工艺中控制的 β 值十分有关。根据多批实验结果统计(图3)，当 β 在30—60范围内变化时， R 相应为10—30k Ω 。尽管 R 有几倍的变化，但对电路的合格率并没有什么影响(图4)，单元仍能正常工作。这是因为对于恒定的 I_H ，当 R 增大则维持状态时二极管就通导。这时通导管基极电流在 R 上的压降略有增加，但仍能维持 $> 0.2V$ 的集电极电位差。可见这样设计的单元，既使得元件密度高，而工艺上又容易制造。

行地址译码电路与256RAM不同，采用多射极管译码方式，如图5所示。每个地址缓冲门输出的同相端 A_i 和反相端 \bar{A}_i 分别负载16路多射极管的发射极进行译码。缓冲级电流开关门的集电极负载电阻采取树枝形状。多射极译码电路采用将集电极负载电阻上的电压反馈到基极的不饱和电路。多射极管的集电极输出通过射极跟随器的输出去驱动存储单元的上字线 W_+ 。未选中时，驱动器输出低电平—1.6V。选中的多射极译码管的所有发射极均为高电平，使它截止，则驱动器输出高电平—0.8V。

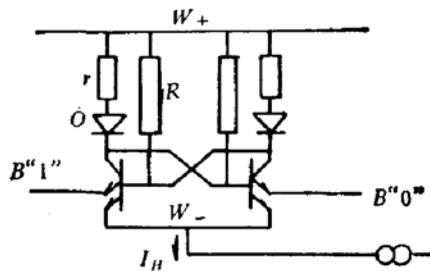
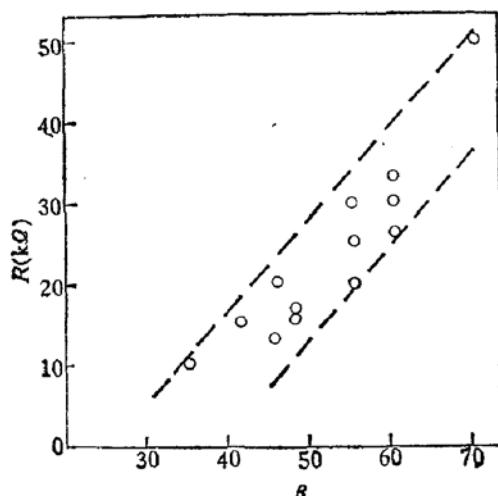
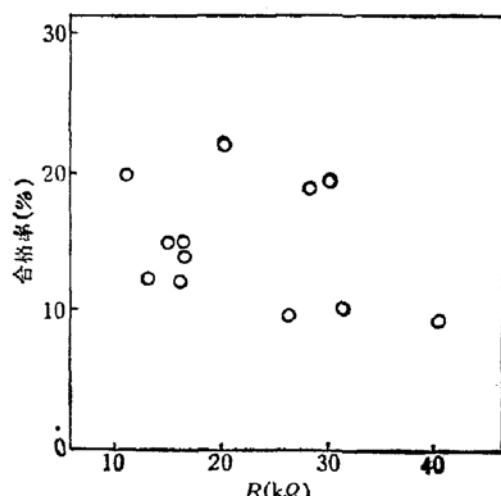


图2 单元线路

图3 R 与 β 关系图4 合格率与 R 关系

32 个多射极译码管中,任何时候有一个选中,使电流截止,其它31路工作电流是由5个地址缓冲电流开关门的恒流源控制,成立以下关系.

$$5I_1 + 31I_2 = 5I_e,$$

$$(R_1 + R_c)I_1 = V_{be} + \frac{\beta + 2}{\beta + 1} I_2 R_2.$$

未选中多射极管的集电极电压由它的基极电压乘上系数 $(R_2 + R_3)/R_2$ 确定. 为保证输出低电平时不饱和, 要使 C_3 不高于 $-0.4V$.

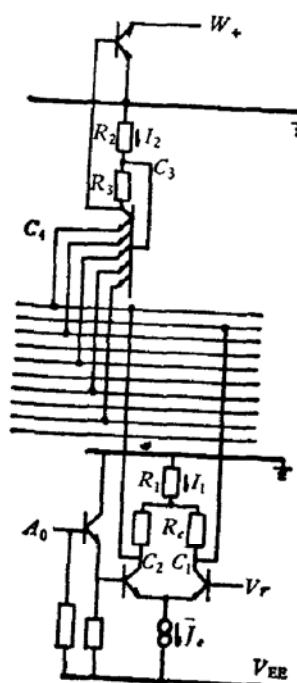
考虑整个电路的功耗分配, 设计 $I_e = 2.9mA$, 即行地址缓冲门和译码用 $14.5mA$, 并取 $I_2 = 0.32mA$. 驱动器输出给未选中行的电流为 $\sim 1.1mA$ ($32I_H$), 对选中行为 $\sim 1.4mA$ (加上选中单元的工作电流 I_R 以及因二极管通导引起寄生 PNP 管对衬底的微小漏电流). 根据上面关系式可得

$$R_1 = 300\Omega, R_2 = 1.5k\Omega, R_3 = 1.0k\Omega, R_c = 1.2k\Omega.$$

多射极译码方式与 256RAM 的行译码方式相比优点

是速度快, 输出低电平较稳定, 因决定于地址缓冲门及译码管负载电阻的相对比值, 且有反馈作用. 再者, 这种译码方式元件少, 10 条译码线可以在多射极管及其负载电阻上通过, 简化布局设计和缩小所占面积. 但另一方面, 这种设计对工艺要求较高. 每个多射极管有 5 个发射极, 而且通过它的 5 条译码长线是与 80 个发射区相联. 只要有一个漏电, 就不能截止电流进入选中. 多射极管基区面积也较大. 射极之间的交叉漏电 β 为 0.002, 可以忽略不计. 目前的多批实验结果表明, 工艺上能与这样的设计相容, 行地址功能出差错的情况较少.

列地址译码及前置读出电路与 256RAM 略有不同. 5 位地址的译码是由两个四选一译码电路的 8 条线和 1 个地址缓冲门的双相输出线组成, 分别加到选列管基极, 然后由选



列管的射极低电平点与译码，见图 6。每列单元的“0”线和“1”线都分别有三个选列管。这三个选列管的射极与单元的读出射极以及读写参考管射极组成射极耦合电流开关。读操作时，读写参考管基极维持相同读参考电平 $-1.35V$ ，被选中单元的状态与之比较即可在前置读出端得到高低电平差。写操作时，两个参考管基极为一高一低，对于选中单元进行一推一拉强迫写入数码。选中行中与未选列相对应的 31 个单元属于半选状态，这时单元通导管的基极电位与选列管的基极电位接近，致使列恒流源电流有一小部分由通导管流入，造成前置读出端的低电平抬高。必须选取适当的读出电阻，使在有漏电流时“0”线和“1”线差值 $>0.4V$ ，保证差分读放能正确鉴别信息。位半选状态单元无漏电流。

片选、读/写控制、数据输入和数据输出电路都与 256RAM 的类同，只是某些阻值作了变化。读出放大电路为了克服信号的离散性采用前置差分放大后再经缓冲整形输出。为了提高速度，前置差分级电流开关的电流设计为 0.8mA。为保证负载能力，输出级电流设计为恒流 5mA。输出低电平设计值略低以提高温度特性。

参考电平电路输出两种-1.2V 和一种-2.0V，以及恒流源的参考电平。后者能跟踪电源电压变化保持恒流，又具有负温度特性，使温度升高电路功耗减少，由它控制了整个电路中 117 股恒流电流。参考源中决定电平的电阻都采用数字电阻。

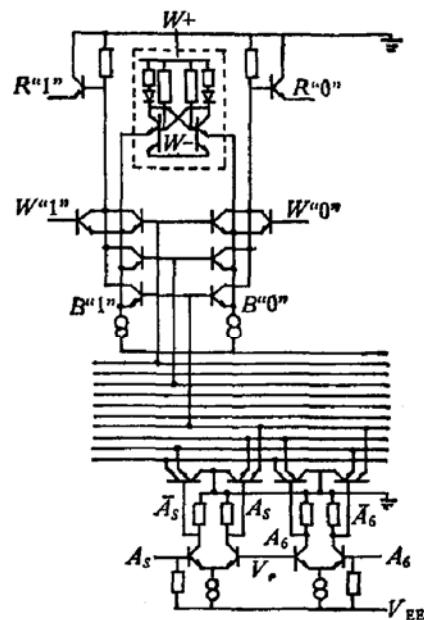


图 6 列地址译码及读出电路

二、设计规则

ECL 1k RAM 的版面布局设计规则列于表 2. 图 7 是整个电路.

表 2 设计规则

最细线条	$4\mu m$
最小发射区	$5 \times 7\mu m^2$
基区和隔离间距	$7\mu m$
第一层铝线宽和间距	$6\mu m, 5\mu m$
第二层铝线宽和间距	$10\mu m, 8\mu m$
最小层间穿通孔	$10 \times 14\mu m^2$
基区薄层电阻	$200\Omega/\square$
V_{be}	$0.76V$
单元尺寸	$66 \times 98 = 6468\mu m^2$
芯片尺寸	$2.89 \times 3.94 = 11.4mm^2$

制成电路是采用改进的双极型集成电路工艺。工艺特点如下：外延层厚度 $3.6\mu\text{m}$ 、发射结深 $0.7\mu\text{m}$ 、基区宽度 $0.3\mu\text{m}$ 、对通PN结隔、漂发射区和双层金属布线等。衬底材

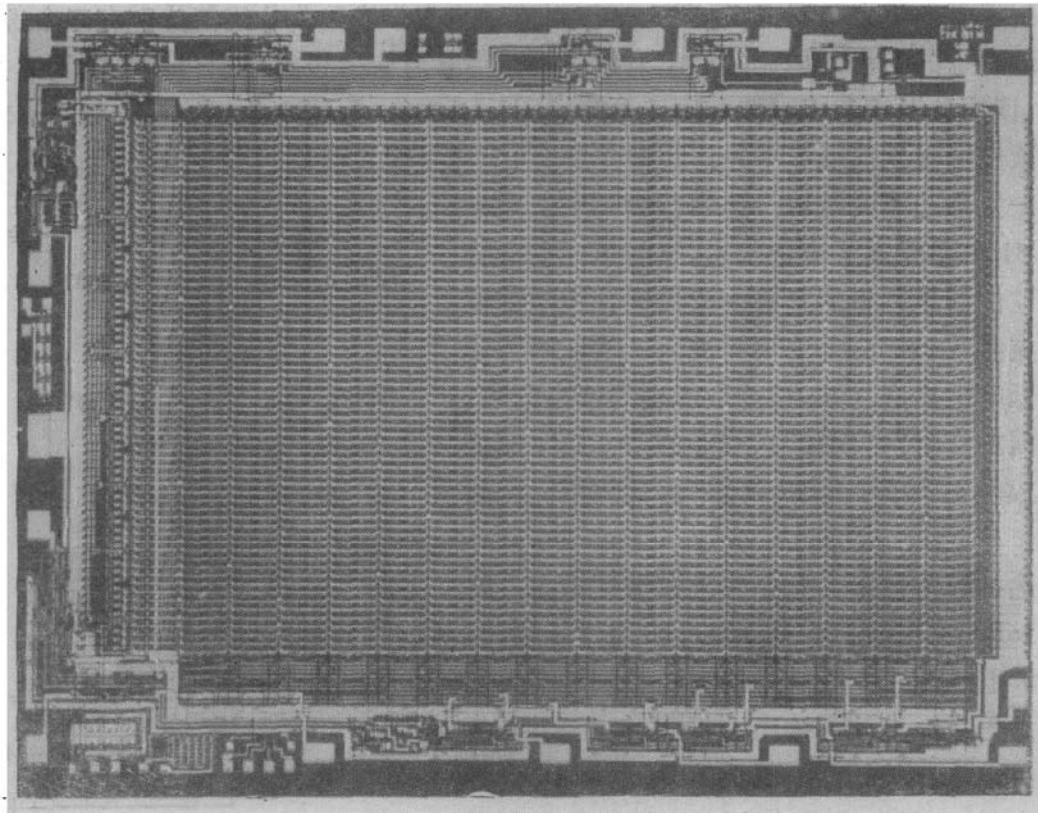


图 7 ECL 1024×1 RAM

料是 P 型(111)硅单晶片。由于电路的芯片面积较大以及制造工序繁复,为提高电路的合格率,在工艺上需要解决以下问题:控制工艺参数的均匀性和重复性、控制单晶片缺陷密度、检查外延层质量、完善硅片清洗和工艺卫生制度、提高完好光刻图形数,做好第一层铝硅布线薄膜与硅的低阻接触以及两层布线薄膜在穿通孔中有低阻接触等问题。为减少电路性能的离散性对合格率的影响,就需要对芯片电路内部各点的工作电平进行检测和修正,使设计和工艺制度都逐步达到最佳化。

三、特 性

1. 特性参数

ECL 1k RAM 在研制取得样管后,又经过小批量的制造,证明其特性参数是优良的,并在制造中能获得较好的合格率。表 3 列出动态和静态参数。测试设备为 T320/20/30 大规模集成电路测试仪。测试时接 -2V、 50Ω 和 30pF 负载。

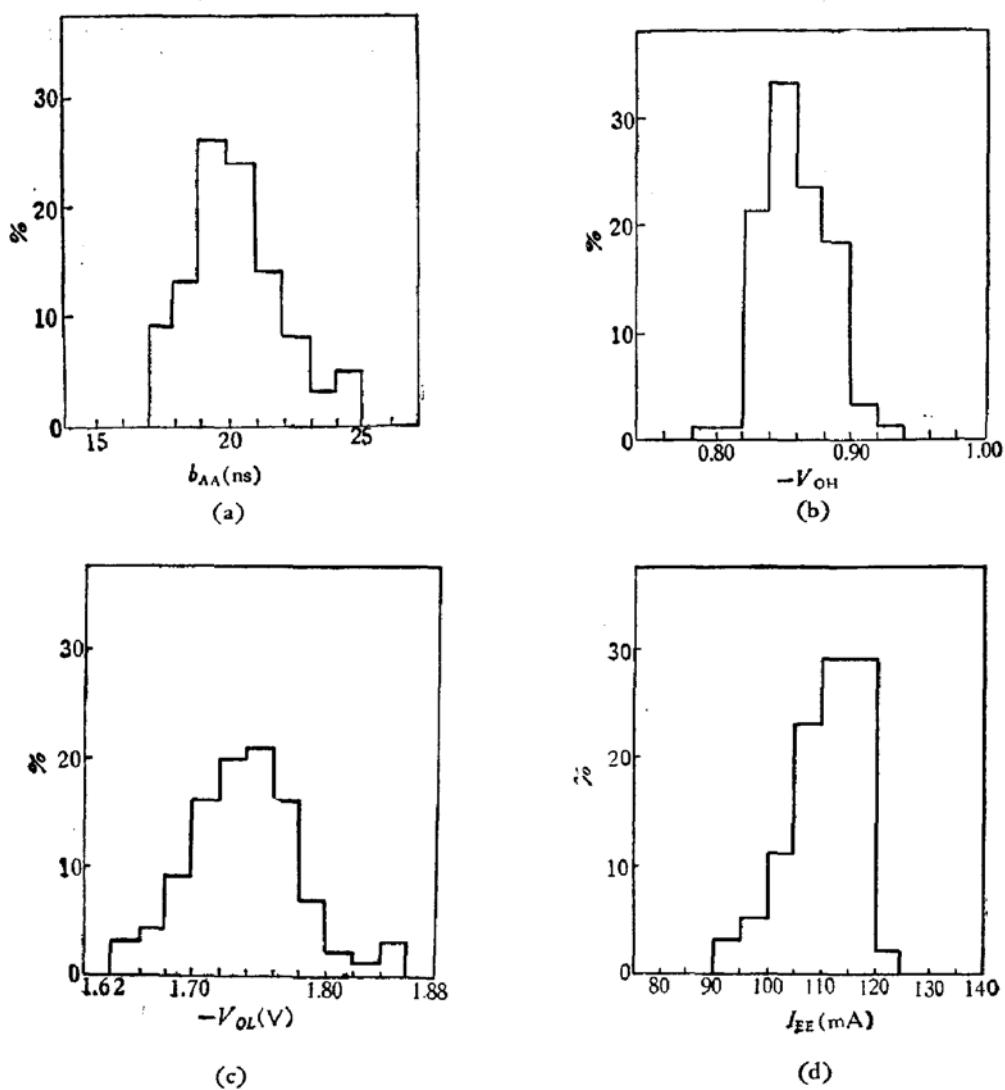
统计 100 个电路的特性测试结果,地址取数时间的典型值为 20ns(图 8(a)), V_{OH} 的典型值为 -0.85V(图 8(b)), V_{OL} 为 -1.76V(图 8(c)),典型的功耗电流 I_{EE} 为 110mA(电源 -5V、图 8(d))。从这些图表看来,电特性参数离散性小。

2. 与电源电压关系

电特性随电源电压 V_{EE} 变化的关系见图 9。 t_{AA} 、 V_{OH} 、 V_{OL} 随电源变化很小,变化系

表3 动态、静态特性

	最 小	典 型	最 大	单 位
地址取数时间 t_{AA}	18	20	25	ns
片选取数时间 t_{ACS}	—	7	—	ns
最小写脉冲宽度 t_W	10	—	—	ns
写恢复时间 t_{WR}	—	14	16	ns
输出高电平 V_{OH}	-0.90	-0.85	-0.80	V
输出低电平 V_{OL}	-1.85	-1.75	-1.65	V
输入高电平电流:				
A_0-A_4 , I_{IH}			200	μA
\overline{CS}, A_4-A_9 , I_{IH}			300	μA
$R/W, D_i$, I_{IH}			50	μA
输入低电平电流:				
A_0-A_4 , I_{IL}			150	μA
\overline{CS}, A_4-A_9 , I_{IL}			250	μA
$R/W, D_i$, I_{IL}			1	μA
功耗	400	550	600	mW
允许环境温度变化	-55		125	°C
允许电源电压	-4.5		-5.5	V

图8 特性参数的分布 (a) t_{AA} ; (b) V_{OH} ; (c) V_{OL} ; (d) I_{EE} .

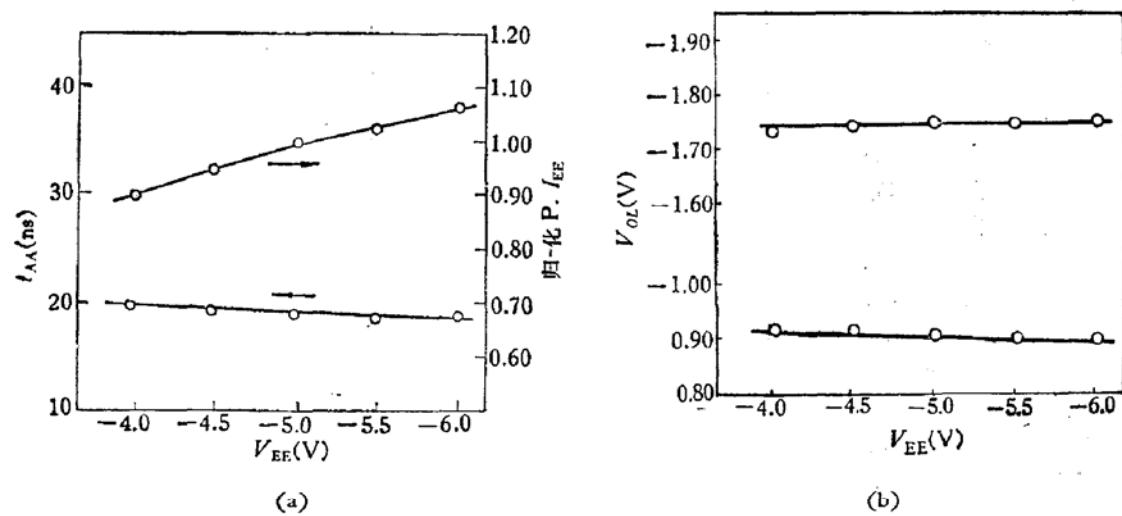


图 9 电特性与电源电压关系
(a) t_{AA} , P ; (b) V_{OH} , V_{DL}

数约为 $dt_{AA}/dV_{EE} \approx 0.5 \text{ ns/V}$ (图 9(a))、 $dV_{OH}/dV_{EE} \approx -10 \text{ mV/V}$ 、 $dV_{DL}/dV_{EE} \approx +5 \text{ mV/V}$ (图 9(b))。电路在供电 -4.0 — -6.0 V 范围内能正常工作, 功耗变化大约为 5—10% (图 9a)。这是由于设计恒流源的参考电平能基本跟随 V_{EE} 的变化。因而在应用这个器件时对电源的稳定性要求不高。

3. 与环境温度关系

电特性随环境温度 T_a 变化的关系见图 10。 $T_a = 125^\circ\text{C}$ 工作时, t_{AA} 的典型值不大于 25 ns , $dt_{AA}/dT \approx 0.02 \text{ ns/}^\circ\text{C}$ (图 10(a))、 $dV_{OH}/dT \approx 1.0 \text{ mV/}^\circ\text{C}$ 、 $dV_{DL}/dT \approx 2.5 \text{ mV/}^\circ\text{C}$ (图 10(b))。随环境温度升高, 器件的功耗减小, $dP/dT \approx -1.5 \text{ mW/}^\circ\text{C}$ (图 10(a))。这是由于在设计中已考虑整个电路的恒流源对温度变化的过补偿作用, 使器件能在高温工作时功

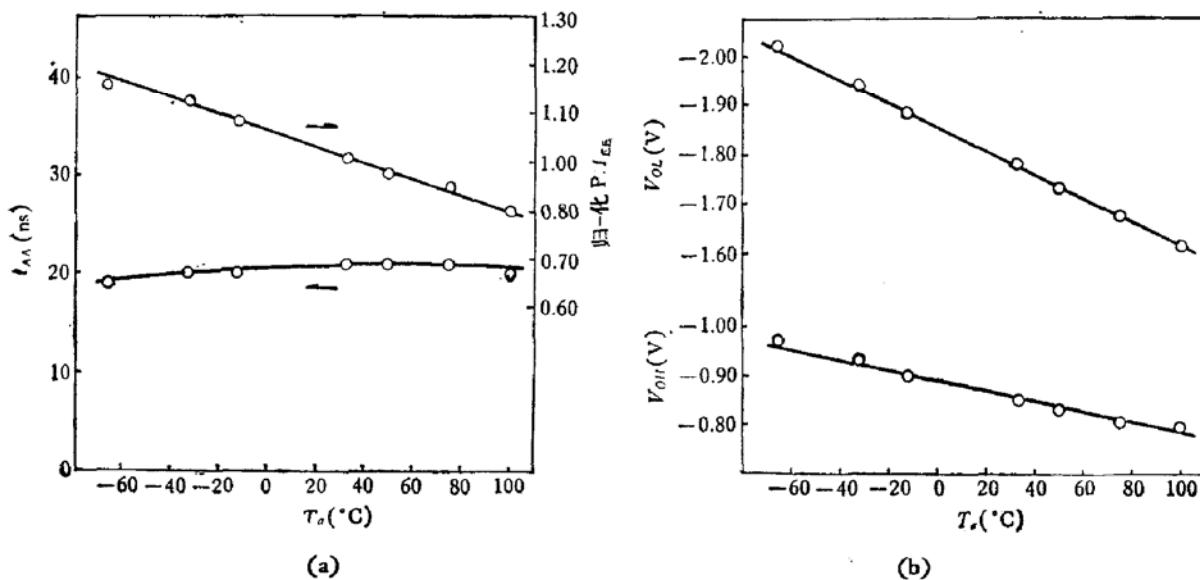


图 10 电特性与环境温度关系
(a) t_{AA} , P ; (b) V_{OH} , V_{DL}

能稳定,抗温度变化特性好。 V_{OL} 的温度系数略偏大,原因是在读出放大电路中也采用这种对温度有过补偿作用的恒流源形式。随温度升高,这一级的工作电流也变小,致使摆幅变小。但在125°C环境温度工作时, V_{OL} 仍能 $<-1.50V$,有足够的噪声容限。

四、结 论

在合理的线路和版面设计基础上以及采用改进的双极型工艺,研制得到的ECL 1k RAM,性能是优良的。它的地址取数时间典型值为20ns,能在电源电压-4.0—6.0V以及环境温度-55—125°C范围内正常工作。在125°C工作时,取数时间小于25ns。这个组件与国际上通用的ECL 10k系列的相应组件在性能和使用上能完全相容和互换,能满足目前高性能计算机的要求。并且由于工艺技术的改进以及参数控制的容差范围大,制造时适合目前国内情况,并已取得初步满意的生产合格率。

作者感谢徐元森同志提出很多指导性意见。共同参加研制工作的有一室双极型组、制版组、CVD组、抛光组、计算机测试组以及其它很多方面给予重要的技术支持。线路设计是与中国科学院计算技术研究所协作完成的。

参 考 文 献

- [1] 双层布线 ECL 256 位高速随机存储器,中国科学院上海冶金研究所科技通讯, 1978, No. 4.
- [2] ECL 256 位高速随机存贮器,电子技术, 42, 97(1979); 42, 147(1979).
- [3] 张敏、陈业新、杨华丽、罗杏珍,半导体学报, 1, 54(1980).

An ECL 1024 × 1 Bit RAM

Zhang Min, Yang Huali, Luo Xingzhen, Yu Beiliang,
Chen Mingqi and Zheng Yingyang
(Shanghai Institute of Metallurgy, Academia Sinica)

Abstract

A 1024 word × 1 Bit ECL RAM has been developed with the major electrical characteristics summarized as follows. The typical address access time and minimum write pulse width are less than 20 ns and 10 ns, respectively, under 500 mW power dissipation ($V_{SS} = -5V$). The ambient temperature is allowed to change within $T = -55—125^{\circ}\text{C}$, and supplied voltage, $V_{SS} = -4—6\text{ V}$. The maximum address access time of 25 ns can be obtained up to $T = 85^{\circ}\text{C}$. A chip size of 11.4 mm^2 has been realized adopting 4 μm design rule. The device circuits, technology and characteristic performance are described in this paper.