

晶体管分流限制饱和 TTL 电路*

许居衍
(四川固体电路研究所)

提 要

本文提出并讨论分析了一种晶体管分流限制饱和 TTL 电路。该方法采用了双发射极倒相放大管结构，并在第二发射极和输出管集电极之间接入限制饱和回路以加速截止过程。计算和实验表明，电路的平均时延比标准 TTL 电路降低了一个数量级。晶体管分流电路保留了标准 TTL 电路的全部优点而无需改变制造工艺，且不必增加电路元件。在同一条制造线上，通过与肖特基限制饱和 TTL 电路的对比说明，该电路室温时延接近后者，但具有更好的噪声余量和高温性能，而且也更适宜于双极型集成电路制造工艺。

一、引言

高电平晶体管、晶体管逻辑 (TTL) 电路应用十分广泛。但是该电路输出管因受前级倒相放大管的隔离作用，在截止渡越中，很难迅速退出饱和区，因而增大了电路的截止延迟。为了减小饱和效应，一个较理想的办法是采用肖特基二极管钳位技术^[1, 2]。但是它除了要增加金属势垒结工艺以及由于钳位作用而降低了电路噪音余量外，还由于金属势垒结和 p-n 结温度性能不同，而减弱了高温下的限制饱和效果。另一种办法是在输出管的基区增加一个短接的发射结，由反向电流控制晶体管饱和深度^[3]；或者在输出管基极并接一个有源泄漏回路以减小饱和深度。但是所有这些方法其效果均不显著。向井久和^[5]提出了一种控制饱和型二极管、晶体管逻辑 (DTL) 电路，把 DTL 电路的开关速度提高到了一般 TTL 电路水平，效果较好。但是该方法对晶体管的压降配合有一定的要求，而且输出低电平也较大。

本文针对高电平 TTL 电路的特点，采用双发射极倒相放大管结构和一个限制饱和加速回路，在不增加元件数和不改变工艺条件下，提出了一种限制饱和 TTL 电路 (LSTTL)^[6]。该电路保留了标准 TTL 电路的全部优点，但大大提高了其开关特性，并且具有优良的时延-电源电压特性和功耗-频率特性。这种电路不仅可作为系列品种，而且也可作为高速缓冲半导体存贮器的写入门电路^[7]。

二、电路结构

电路如图 1 所示。它和标准 TTL 电路不同点仅仅是将原达林顿结构中的一个晶体

* 1980 年 1 月 5 日收到。

管改接作为控制饱和回路晶体管 Q_c 。 Q_c 的集电极接在倒相放大管 Q_A 的第二发射极上，因而其电位也将和基极、发射极电位一样，完全跟随 Q_A 集电极电位变化，具有相似的开关转换特性。在输入低于门限电平时，电路截止， Q_c 基射极正向通导 Q'_A 的电流，给输出负载电容充电。这时， Q_c 集电极浮空，其电位略低于基极电位。当输入高于门限电平后，电路导通， Q_c 集电极零偏或弱反偏，工作在有源区，分流 Q_A 的电流，从而减小了输出管 Q 的基区驱动电流 I_b ，限制其饱和深度。因为 Q_c 的分流 I_p 仅发生在 Q 管进入饱和之后，所以限制饱和回路并不增加电路的通导时间。相反，在 Q_A 开始通导时， Q_c 通过 Q_A 双发射极交叉电流放大系数的作用，在 Q 管通导之前就已预充 Q 管基区，因而加速了电路的通导过程。这一点已在实验中得到证实（参看图 8）。

限制饱和回路的工作特性与反馈电阻 R_c ，倒相放大管集电极电位 V_{cA} 以及钳位二极管的正向压降 V_D 有关。反馈电阻 R_c 仅改变 Q_A 的电流分配，对输出低电平 V_{ces} 影响甚微。在 R_c 较小时， Q_c 对 Q_A 电流的分配作用比较明显。反之，当 R_c 较大或开路时，因 Q_A 集电极电位仅是一个饱和压降和一个正向压降之和，不足以使 Q'_A 和 Q_c 完全通导，因而分流减弱（图 2）。但是在这一情况下，当电路从通导向截止态过渡开始后，由于输入管 Q_g 的强反抽作用， Q_A 先于 Q 向截止过渡， V_{cA} 迅速上升。如果这时 Q 管仍处于饱和状态， Q_c 将充分通导而把几乎全部的电流抽走（图 3），因而也加速了 Q 管的截止过程。 Q_c 回路分流作用随倒相放大管集电极电位 V_{cA} 或钳位二极管前压降 V_D 变化趋势如图 4 和图 5 所示。

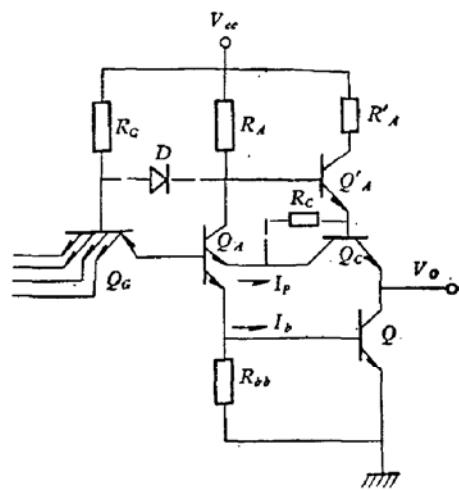
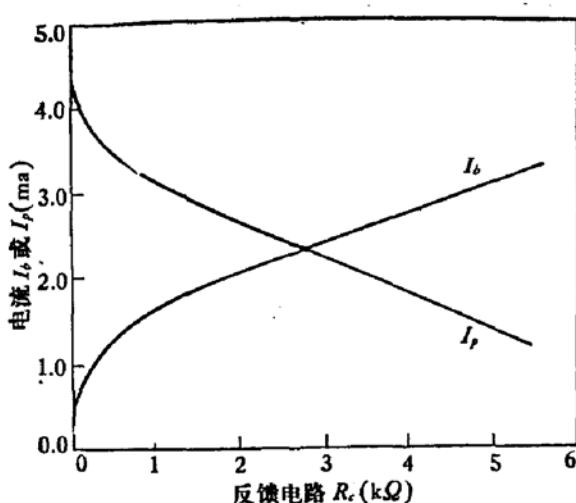
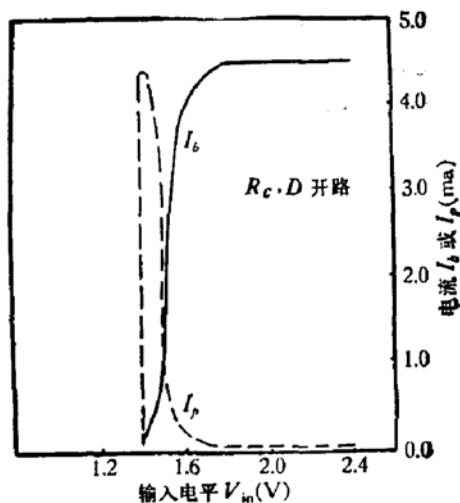
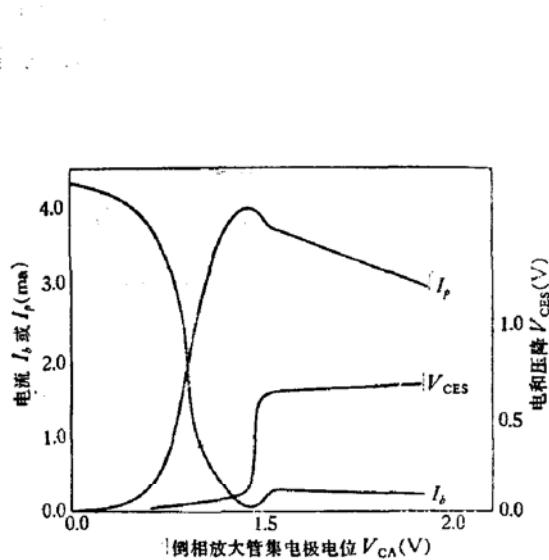
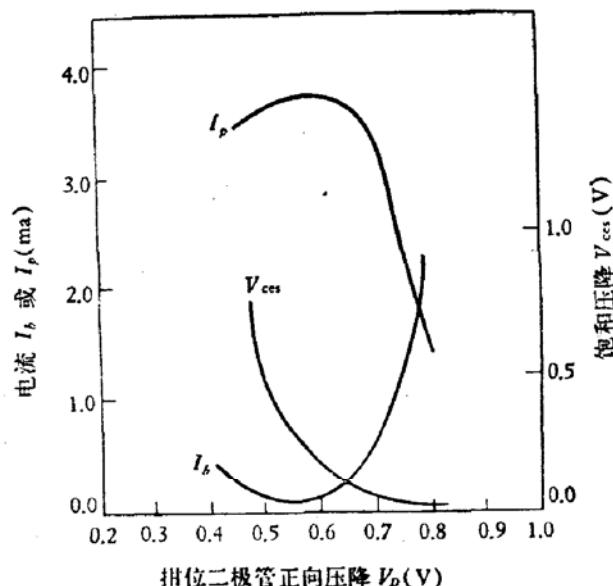


图 1

图 2 Q_c 分流特性对反馈电阻的关系图 3 在输入讯号下降时， Q_c 回路对 Q 管基流的反抽作用

图4 Q_c分流特性对倒相放大管集电极电位的关系图5 Q_c分流特性对钳位二极管正向压降的关系

三、存贮时间分析

上节分析指出，限制饱和回路既有加速截止作用又有加速通导作用，因而给瞬态分析带来麻烦。特别在截止相，在Q管加速退出饱和区后，限制饱和回路Q_c管将从有源区短暂进入饱和区，使电压上升的后半部(在50%以上)的波形变差。有关上升边的分析和改进将在另一篇文章中讨论。

考虑到Q_c回路主要作用是加速输出管Q退出饱和区，因此这里仅分析该回路对缩短贮存时间的作用。所用的理论是Ebers-Moll非线性模型^[8]。因为寄生电容主要影响上升和下降波形，所以模型中略去这些电容贮存电荷的效应。再则，考虑到Q管进入饱和后，Q_c工作在有源区，在这段时间内Q_c管的延迟又为Q管延迟所覆盖，因而分析时也略去Q_c

的影响。于是用于分析的简化等效电路如图6所示。其中I_R和I_F是集电结和发射结二极管正向电流，它们对基极电流I_b、集电极电流I_c的关系为

$$I_R = \frac{\alpha_F}{1 - \alpha_F \alpha_R} (I_b - I_c / \beta_F) \quad (1)$$

$$I_F = \frac{1}{1 - \alpha_F \alpha_R} [I_b - I_c (1 - \alpha_R)] \quad (2)$$

由图6可得

$$I_b = I_A - I_P \quad (3)$$

$$I_c = I_L + I_p / \alpha_{Fc} \quad (4)$$

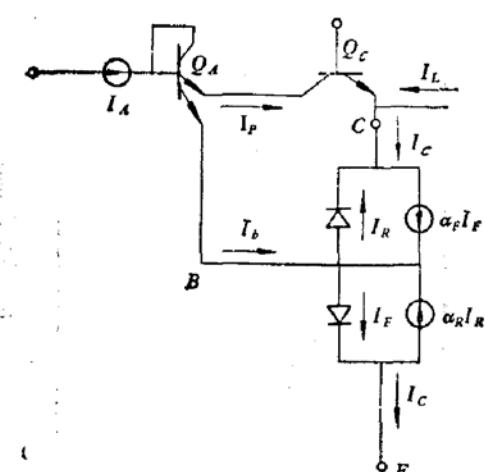


图6 用于分析贮存时间的等效线路

其中 α_{Fc} 是Q_c共基极正向电流增益，其他符号均为常用符号。流出Q_A发射极的电流I_A在钳位二极管D开路下由下式表示

$$I_A = \frac{1}{R_A} \left[\left(1 + \frac{R_A}{R_g} \right) (V_{CC} - V_{BES}) - \frac{R_A}{R_g} (V_{BESA} + V_{BEG}) - V_{CESA} \right] \quad (5)$$

在饱和开关中, I_A 几乎全部供作 Q 管的基极驱动电流, 而使 Q 管进入深饱和。但在有 Q_c 回路时, 经简单推导可以得到 Q 管的过剩贮存总电荷为

$$Q_s = \tau_s \frac{1 - \alpha_F \alpha_R}{\alpha_F} I_R + \tau_{BF} \frac{I_p}{\alpha_{FC}} \quad (6)$$

其中 τ_{BF} 是正向基区时间常数, 与 f_T 成反比; τ_s 是贮存时间常数。由上式可见, 在形式上它比饱和开关多了一个与分流 I_p 有关的电荷项。其物理意义是在 Q_c 回路分流下, Q 管集电极电流较饱和开关多出 I_p/α_{FC} , 因而基区中应增加相应的电荷以维持多出的这部分集电极电流。但是, 正是由于这一分流的作用, 使得饱和下的集电结正向电流 I_R 大大减下, 从而降低了贮存总电荷。与饱和型开关的过剩贮存总电荷 Q'_s 比较, 降低的倍数 N 可由式(1)、(3)、(4) 和 (6) 求得

$$N = \frac{Q'_s}{Q_s} = 1 / \left[1 - \left(1 + \frac{1}{\beta_F \alpha_{FC}} - \frac{\tau_{BF}}{\tau_s \alpha_{FC}} \right) I_p / (I_A - I_L / \beta_F) \right] \quad (7)$$

为了估计 N 的数值, 我们假设限制饱和回路阻抗 λ , Q 管工作在临界饱和态边沿, 则式(5)可改写为

$$I_p = \frac{\beta_F \alpha_{FC}}{1 + \beta_F \alpha_{FC}} (I_A - I_L / \beta_F) \quad (8)$$

代入式(7)可得

$$N = \frac{1 + \beta_F \alpha_{FC}}{\beta_F} \cdot \frac{\tau_s}{\tau_{BF}} \quad (9)$$

这一结果表明, 饱和开关的过剩贮存总电荷与贮存时间常数 τ_s 成正比, 而充分限制饱和开关则只与基区时间常数 τ_{BF} 成比例。在双极集成电路工艺中, $\tau_s \approx \tau_{BF} + \tau_{es}$, 而 $\tau_{es} = \tau_{pc}/2$ 。 τ_{pc} 是集电区少子寿命。在不掺金或掺金不充分的情况下, τ_{pc} 可从几十毫微秒变到几百毫微秒, 而在高速电路中, 晶体管的 τ_{BF} 则只有几毫微秒。由此可见, 减小的倍数 N 可达 1 个数量级以上。

在限制饱和情况下, 输出管的饱和压降会略有增加, 从而降低了噪音余量。经过类似的推导可以求得在限制饱和下的输出电压的增加量 ΔV_{cE} 为

$$\Delta V_{cE} = \frac{kT}{q} \ln \left\{ \frac{1 + \left(\frac{1 - \alpha_R}{\alpha_{FC}} - 1 \right) I_p / [I_A + I_L(1 - \alpha_R)]}{1 - \left(\frac{1}{\beta_F \alpha_{FC}} + 1 \right) I_p / (I_A - I_L / \beta_F)} \right\} \quad (10)$$

在 $\alpha_R = 0$, $\alpha_F = 1$ 的近似下, 对比式(7)可得

$$\Delta V_{cE} \approx \frac{kT}{q} \ln N \quad (11)$$

由此可见, 限制饱和开关的输出电平的抬高和贮存电荷的减小倍数 N 有关。当 $N = 100$ 时, $\Delta V_{cE} < 120$ mV。但在铝肖特基钳位限制饱和开关中, 其 ΔV_{cE} 则可达 300 mV 以上。

下面分析限制回路对贮存时间的影响。在贮存相, 当基流从 I_{b_1} 转向关闭值 I_{b_2} 时,

Q管退出饱和区，其电荷满足以下方程

$$-I_{b_2} - \frac{I_L}{\beta_F} - \frac{Q_s}{\tau_s} = \frac{dQ_s}{dt} \quad (12)$$

利用分离变量法，很容易解得在限制饱和下的贮存时间为

$$\tau_s = \tau_s \ln \left\{ 1 + \frac{I_A - I_L/\beta_F}{I_{b_2} + I_L/\beta_F} - \frac{\left(1 + \frac{1}{\beta_F \alpha_{Fe}} - \frac{\tau_{BF}}{\alpha_{Fe} \tau_s} \right) I_p}{I_{b_2} + I_L/\beta_F} \right\} \quad (13)$$

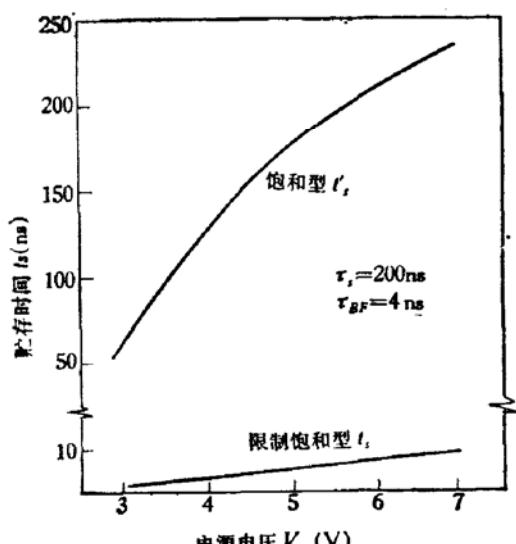


图 7 计算曲线

上式比饱和开关多了第三项。由式可见，分流 I_p 愈大或 τ_s 愈大，则贮存时间的改进效果就愈显著，为比较起见，将上式计算结果示于图 7，其中 t_s' 是饱和开关的贮存时间。计算时所用的电路参数 $R_g = 3.2 \text{ k}\Omega$, $R_A = 916 \Omega$, $R_{bb} = 516 \Omega$ ，均为样品电路的实测值。由图可见，其数值和变化趋势大致与图 9 中的实验结果相符。由于单独测量 Q 管贮存时间比较困难，因此只作了如上的半定量比较。

四、实验结果

用介质隔离工艺制造了图 1 的四输入端与非门电路。版图设计最小条宽为 6μ ，基区扩散

结深约 1.3μ 。在这些工艺条件下，制出了平均传递延迟为 $4\text{--}6 \text{ ns}$ 的电路样品。实验中摸索了不同工艺条件下硅单晶厚度对截止延迟时间的影响关系。结果表明，随着单晶层的减薄，电路的截止延迟时间和功耗电流也随之减小。在我们具体情况下，当单晶层厚度等于 $24 \mu\text{m}$ 时，室温下电路的截止延迟可控制在 $1\text{--}7 \text{ ns}$ ；与其他工艺条件有关。为了考察电路 (LSTTL) 的控制饱和能力，测量了其中一批样品 69-11-6 电路的延迟时间对电源电压、环境温度，以及电路平均功耗电流对工作频率的关系曲线，其典型结果 (样品 69-11-6-2) 如图 8-10 所示。各图中也同时示出了同一电路在切断限制饱和回路 (成为标准 TTL 电路) 后的测量数据。由图可见，限制饱和 TTL (LSTTL) 电路的抗饱和性能十分优良，电路的延迟时间和平均功耗电流不仅在数值上大为降低，而且几乎不随电源电压、环境温度或工作频率变化。但是切断限制饱和回路后的同一电路，其延迟时间和平均功耗随环境条件变化则十分急剧。以上测量中所用的频率均为 3 MHz ，占空比为 $1:1$ 。但在这一测试频率下，由图 10 可见，去限制饱和回路后的同一电路，其平均功耗电流则已大到不能容忍的地步 (20 mA)。

应该特别指出，限制饱和回路对通导过程的加速作用也比较明显。从图 8 可见，在不同电源电压下，LSTTL 的通导延迟时间 t_{on} 均比去限制饱和回路后的 TTL 小二倍以上。例如电源电压 3 V 时，前者为 7 ns 而后者达 21 ns ；电源电压 7 V 时，前者可小到 1 ns 而后者仍可达 3 ns 以上。

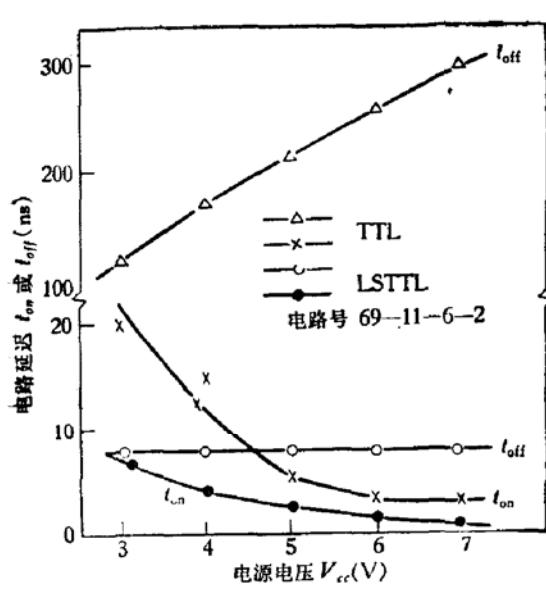


图 8 电路通导延迟 t_{on} 和截止延迟 t_{off}
对电源电压的变化曲线

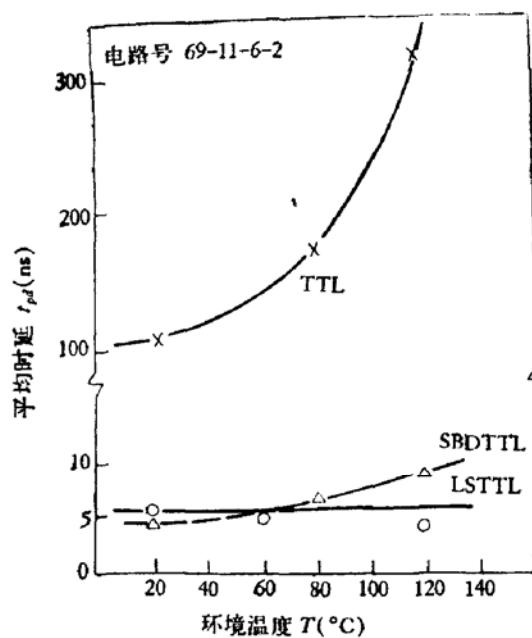


图 9 电路平均延迟时间对环境
温度的变化曲线

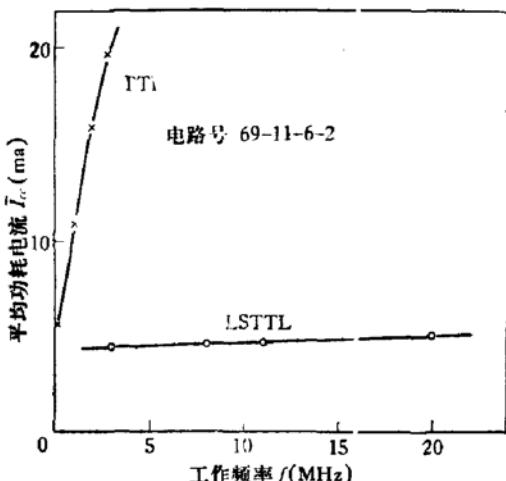


图 10 电路平均功耗电流对工作频率的变化曲线

为了和肖特基钳位技术比较，在同一工艺上制造了铝 SBDTTL，测得其平均传递延时时间 t_{pd} 随温度的变化曲线亦示于图 9 中。由图可见时延随温度增加略有上升。在这种电路中，我们测量了肖特基二极管分流 I_p 对基极驱动电流 I_b 的比值 I_p/I_b 随温度的变化，在 20°C 下比值为 7，但在 100°C 下，比值降到 1 左右。这是由于两种势垒结的温度性能不同所导致的。在我们情况下，铝肖特基势垒结的温度系数为 $-1.2 \text{ mV}/\text{C}$ (1 mA) 或 $-0.6 \text{ mV}/\text{C}$ (5 mA)，而 p-n 结的温度系数则大约为 $-2.5 \text{ mV}/\text{C}$ 。

五、结 论

本文提出的限制饱和加速回路，不仅可以大大缩短电路的贮存时间，加速截止过程；

而且对电路的通导过程也有加速作用。电路的延迟时间几乎不随环境温度和电源电压变化;其动态工作功耗也基本不随时钟频率变化。这些特点不仅特别适合军用环境的要求;而且由于电路开关参数对掺金和电流放大系数等工艺的调整依赖性不大,从而大大提高了工艺成品率,降低了成本。

此电路的缺点是负载能力较差,不宜作缓冲驱动器用。

作者对陈谋礼所长、慈云桂教授、王龙兴、苗根、肖启银等同志一一致以谢意。

参 考 文 献

- [1] K. Tada and J. L. R. Laraya, *Proc. IEEE (Lett.)*, **55**, 2064 (1967).
- [2] E. R. Chenette, R. A. Pedersen, R. Edwards and J. J. Kleimack, *Proc. IEEE (Lett.)*, **56**, 232 (1968).
- [3] R. T. Murphy and V. J. Gliuski, *IEEE J. Solid-State Circuits*, **SC-3** 261 (1968).
- [4] F. Capocaccia, *IEEE J. Solid-State Circuits*, **SC-3**, 267 (1968).
- [5] 向井久和, 研究实用化报告 **17**, 995(1968).
- [6] 许居衍, 抗饱和技术研究小结(1969).
- [7] 周堤生, 苏长生, 徐荣生, 工学学报 **15**(1974) 或计算机工程与科学, **1**, 223(1980).
- [8] J. J. Ebers and J. L. Moll, *Proc. IRE.*, **42**, 1761 (1954).

Transistor Shunt Limited-Saturation TTL Circuits

Xu Juyan

(Sichuan Solid State Circuits Research Institute)

Abstract

A transistor shunt limited-saturation TTL circuit has been described. In this circuit, a dual-emitter transistor is used for inverter and a connection is made between the second emitter and the collector of the output transistor so as to speed up the turn-off action. It is shown by experiment and calculation that the average propagation delay is reduced by one order of magnitude.

The transistor shunt circuit maintains all the advantages of the ordinary standard TTL circuit without any additional component and any change in manufacturing process. The experimental results show that the propagation delay of the transistor shunt limited-saturation TTL circuit at room temperature is very close to that of SBD TTL circuit made in the same production line. However, the transistor shunt circuit offers advantages in noise margin and high temperature performance and is more suitable for bipolar process.