

钛在硅浅结互连中引进深能级的研究*

李秀珍

中国科学院微电子中心, 北京 650 信箱 100010

卢励吾** 陈维德***

中国科学院半导体研究所, 北京 100083

(1991年10月7日收到, 1992年1月19日收到修改稿)

钛在硅浅结互连中作为铝硅阻挡层已成功地应用在器件工艺中。但它在 P-Si 一侧引进一个深能级中心, 其能级位置在 $E_V + 0.38\text{eV}$, 浓度分布为 $(1-3) \times 10^{11}\text{cm}^{-3}$; 在 N-Si 一侧引进三个深能级中心: $E_c - 0.22\text{eV}$, $E_c - 0.40\text{eV}$ 和 $E_c - 0.55\text{eV}$, 其浓度分布在 $(1.6-2.6) \times 10^{11}\text{cm}^{-3}$ 。有关参数表明, 它对器件的性能有一定的影响。

PACC: 7155, EEACC: 2550B, 2530D

一、引言

我们采用一种新的半导体掺杂方法——电子束掺杂^①制备浅结, 深能级瞬态谱分析结果表明, 电子束掺杂法不会在硅中引入任何深能级。但是, 我们发现作为阻挡层的钛会在硅中引入有关深能级。近些年来, 钛及钛的硅化物作为欧姆接触和互连中阻挡层, 在集成电路工艺中得到广泛的应用。但它们是否会在硅中引入有关深能级以及它对集成电路器件的影响, 人们研究得很少。本文研究在互连和欧姆接触中作为阻挡层的钛与铝、硅之间的相互作用及有关界面特性, 着重研究它在硅衬底中引进的深能级及对器件特性带来的影响。

二、样品制备及实验条件

本实验中所用的硅衬底分为两组: (1) P-Si(100), $\rho = 3-5\Omega\text{cm}$; (2) N-Si(100), $\rho = 3-6\Omega\text{cm}$ 。经清洁处理后, 第一组样品分别采用扩散法和电子束掺杂法形成浅结(结深 $0.3-0.1\mu\text{m}$), 并分别用铝(膜厚 8000\AA)形成欧姆接触和互连(下面称无钛法); 溅射钛膜(1000\AA 左右)后再在钛膜上蒸 8000\AA 的铝膜, 形成欧姆接触和互连(下面称“有钛法”)。第二组用电子束掺杂法形成结深 $0.1\mu\text{m}$ 的浅结, 采用“有钛法”形成欧姆接触和互连。将以上两组样品分别制成实用的光伏硅光电池, 然后进行各种参数测量。

* 国家自然科学基金资助项目。

** 超晶格国家重点实验室。

*** 表面物理国家重点实验室。

利用美国 PHI610 俄歇电子谱仪分析钛在欧姆接触和互连中阻挡层作用;用匈牙利 Semitrap 公司的高灵敏度锁相深能级瞬态谱仪 DLS-82E 进行有关深能级测量。

三、实验结果和讨论

俄歇电子谱分析结果表明,用电子束掺杂法掺硼和“有钛法”制备欧姆接触和互连的样品,一旦将铝和钛层腐蚀后,在硅衬底中仍可检测到痕量的钛。图 1 是用电子束掺硼和“有钛法”制备的样品的深度俄歇分布。从图中清楚地看到在 Al-Ti-Si 系统中钛是起到阻止铝扩散到硅中的阻挡层作用。因此,铝并没有将结深为 $0.1\mu\text{m}$ 的浅结刺穿,从而可得到优良的器件性能。

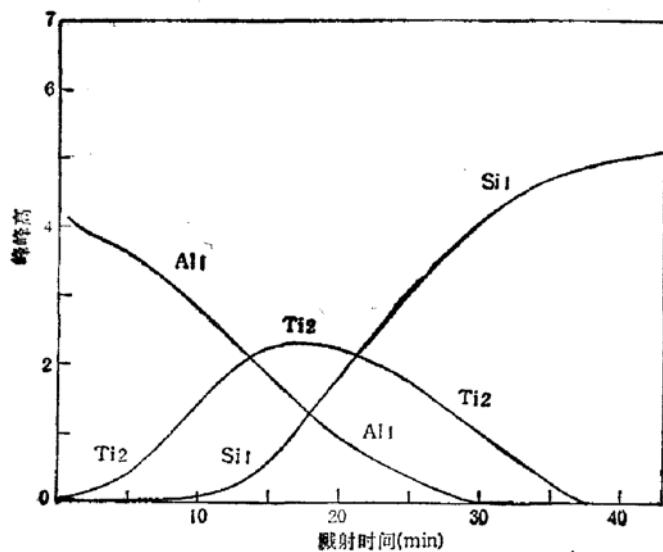


图 1 Al-Ti-Si 系统的深度俄歇分布

散法或电子束掺杂法制备的 N^+P 浅结均出现能级位置在 $E_V + 0.38\text{eV}$ 的深能级,浓度为 $(1-3) \times 10^{12}\text{cm}^{-3}$,其俘获截面为 $6.5 \times 10^{-16}\text{cm}^2$ 。

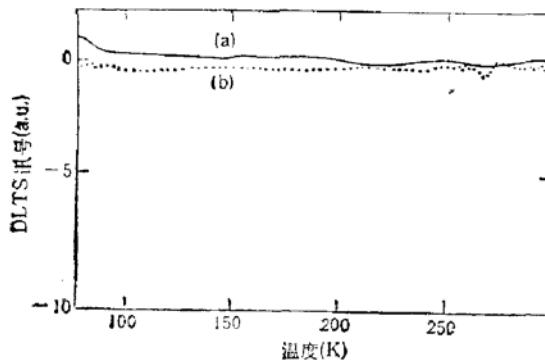


图 2 用“无钛法”制备的 N^+P 浅结中的 DLTS 谱
(a) 扩散法, (b) 电子束掺杂法。DLTS 测量条件: $V_R = -2.5\text{V}$, $V_i = -0.5\text{V}$, $f = 22.6\text{Hz}$

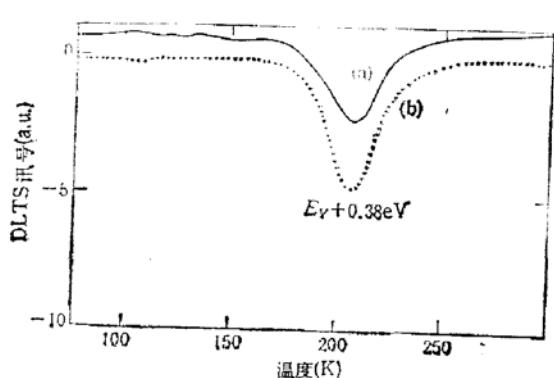


图 3 用“有钛法”制备的 N^+P 浅结中 DLTS 谱
(a) 扩散法, (b) 电子束掺杂法。DLTS 测量条件: $V_R = -2.5\text{V}$, $V_i = -0.5\text{V}$, $f = 22.6\text{Hz}$

我们分析了可能引进深能级的工艺并作了相应的对比实验。为了避免等离子刻蚀可

能引进的深能级，我们采用等离子刻蚀前的样品，在同样浅结制备工艺条件下测量 DLTS 谱，得到与“有钛法”同样的结果。从以上事实可以初步认为可能是溅射的钛在 P 型硅衬底中引进了有关深能级。这一结果与 Salama 等人在 N⁺P 二极管中发现的与钛有关的 $E_V + 0.39\text{eV}$ 能级相似^[3]。

对掺硼的浅结，采用电子束掺杂和“有钛法”形成 P⁺N 浅结，其结深约为 0.1 μm，DLTS 谱测量结果指出，有三个深能被引进到 N-Si 一侧，其能级位置分别为 $E_c - 0.22\text{eV}$ 、 $E_c - 0.40\text{eV}$ 和 $E_c - 0.55\text{eV}$ ，它们浓度范围为 $(1.6-2.6) \times 10^{11}\text{cm}^{-3}$ ，俘获截面分别为 $5.1 \times 10^{-17}\text{cm}^2$ 、 $8.5 \times 10^{-16}\text{cm}^2$ 和 $3.4 \times 10^{-17}\text{cm}^2$ ，如图 4 所示。其中 $E_c - 0.22\text{eV}$ 与 Fahrner 和 Goetzberger 用钛注入 SiO₂/Si 界面时发现的 $E_c - 0.21\text{eV}$ 很相似^[4]。Chen 等人^[5]对 1200°C，48 小时硅中扩钛的样品进行霍尔测量，也观察到 $E_c - 0.22\text{eV}$ 能级存在。同时，他们使用单晶生长时掺钛的硅样品，经 1200°C 退火后的 DLTS 测量结果表明，在 N-Si 样品中存在 $E_c - 0.55\text{eV}$ 能级。以上文献中虽然没有给出捕获截面的数值，但是他们是在人为地引进钛后出现的深能级。这与我们器件工艺中由于采用溅射钛膜而出现的深能级同属于钛引进而出现的同类问题。我们进一步的研究表明，即使在室温下溅射钛也会引入深能级，详细结果将在另文发表。

随着测量方法和测量仪器的不断改进，半导体中杂质和缺陷在禁带中引入的深能级中心越来越受到人们关注，但它们如何影响器件性能的报道却不多，特别是包括 Co 和 Ti 等过渡金属。对于 Co 在溅射过程中引进的深能级，国内已有报道^[6]，对于 TiSi₂ 形成期间钛扩散与 TiSi₂ 浅结漏电流关系也做了一些工作^[7]。我们的实验结果表明，Al-Ti-Si 系统中钛作为阻挡层在浅结及硅衬底引进的深能级是由于钛在溅射过程中扩进结区和衬底而引进。在我们目前采用的工艺条件下，引进的深能级浓度为 $1.6 \times 10^{11}-3 \times 10^{12}\text{cm}^{-3}$ 。

为了表征深能级对器件性能的影响，我们对实用器件——光伏硅光电池的性能参数进行测量，其反向漏电流能直接反映出反向特性的优劣，反向漏电流越小，器件性能越好。

表 1 N⁺P 和 P⁺N 光伏硅光电池漏电流比较

衬底	深能级浓度 (cm ⁻³)	序号	并联电阻 R _{sh} (kΩ)	漏电流 (-5V) A/μm ²
P-Si	$(1-3) \times 10^{12}$	1	200	1.85×10^{-12}
		2	400	1.3×10^{-13}
N-Si	$(1.6-2.6) \times 10^{11}$	3	3300	1×10^{-14}
		4	1300	3.5×10^{-15}

实验中分别采用不同导电类型的硅衬底;P-Si 和 N-Si,但它们浓度相同,晶向也相同,同样采用电子束掺杂和“有钛法”工艺形成欧姆接触和互连,在偏压为-5V 测试条件下,其漏电流测量结果如表 1 所示。P 型和 N 型的器件中引进的深能级浓度相差一个数量级。应该说深能级浓度大的会造成较大的漏电流,从实测的器件漏电流看,它们相差 1—3 个数量级。这表明器件中引进的深能级浓度和器件的漏电流值有其一一对应关系。

四、结 论

钛在 Al-Ti-Si 系中作为阻挡层已成功地用于制作结深为 $0.1\mu\text{m}$ 的器件。但钛溅射膜淀积过程中会在结区和硅体中引进有关深能级。对于 P-Si, 能级位置为 $E_F + 0.38\text{ eV}$, 浓度为 $(1-3) \times 10^{12}\text{cm}^{-3}$; 对于 N-Si, 能级位置分别为 $E_C - 0.22\text{eV}$, $E_C - 0.40\text{eV}$ 和 $E_C - 0.55\text{eV}$, 浓度为 $(1.6-2.6) \times 10^{11}\text{cm}^{-3}$ 。深能级中心的存在直接影响器件有关性能。因此,还需要寻找一个减少钛引进有关深能级的较好途径。

致谢: 本实验中所用的光电器件的研制,除电子束掺杂工艺外,其它工艺由中国科学院半导体所双极工艺线承担,在此我们特向李远镜等工艺线全体同志表示衷心感谢!

参 考 文 献

- [1] 李秀琼等,半导体学报,5,103(1984); *Chinese physics*, (USA), 4, 710(1984).
- [2] 李秀琼等,半导体学报,11,942(1990).
- [3] A. M. Salama and L. J. Cheng, *J. Electrochem. Soc.*, 127, 1164(1980).
- [4] W. Fahrner and Goetzberger, *Appl. Phys. Lett.*, 21, 329(1972).
- [5] J. W. Chen, A. G. Milens and A. Roshaghi, *Solid State Electronics*, 22, 801(1979).
- [6] 卢励吾等,电子学报,19,113(1991).
- [7] K. Nauka, Jun Amano, M. P. Scott, E. R. Weber, J. E. Turner and R. Jsai, *Mater. Res. Soc. Symp. Proc.* 71, 319(1986).

Deep Levels in Ohm Contact and Interconnection of Silicon Shallow Junction

Li Xiuqiong

Microelectronics Center, Academia Sinica, P. O. Box 650, Beijing 100010

Lu Liwu, Chen Weide

Institute of Semiconductors, Academia Sinica, Beijing 100083

(Received 7 October 1991; revised manuscript received 19 January 1992)

Abstract

Titanium as diffusion barrier between aluminum and silicon in contact metallization and interconnection has been successfully applied for process of silicon devices. In this paper deep levels in P-Si and N-Si are investigated by using deep level transient spectroscopy (DLTS) technique. It is found that Ti-related defect levels at ($E_v + 0.38$ eV) for P-Si and at ($E_v - 0.22$ eV), ($E_v - 0.40$ eV) and ($E_v - 0.55$ eV) for N-Si are produced. The concentrations of these defects range between $1 \times 10^{12} - 3 \times 10^{13}$ cm $^{-3}$ and $1.6 \times 10^{11} - 2.6 \times 10^{11}$ cm $^{-3}$ for P-Si and N-Si respectively. The study shows that influence of Ti-related defect levels on device performance is notable.

PACC: 7155, EEACC: 2550B, 2530D