

p-InGaAs/n-InGaAs MSM 光电探测器研究*

史 常 忻

上海交通大学,微电子技术所, 上海 200030

A. Mesquida Küsters, A. Kohl, R. Müller and K. Heime

德国亚琛工业大学,半导体电子学所

(1992年6月23日收到; 1992年8月1日收到修改稿)

本文首次对具有 p-InGaAs 肖特基势垒增强层的 p-InGaAs/n-InGaAs MSM 光电探测器做了较系统研究。实验结果表明: 具有 20nm 厚增强层器件的暗电流为 $3.5 \times 10^{-11} \text{ A}$ (5 伏, $30 \times 40 \mu\text{m}^2$); 而具有 40nm 厚增强层器件的 FWHM 为 350 ps (6 伏)。

EEACC: 4250, 2560Z

1. 引言

80 年代开始出现的金属-半导体-金属光电探测器 (MSM-PD), 因为其工艺简单, 特别是具有从材料生长到器件制造的整个工艺过程中与高速 FET-IC 完全相容之优点, 便于实现高性能、高可靠的单片光电子集成放大器, 所以发展十分迅速。早期工作始于 GaAs 材料, 由于长波长光纤通讯之需要, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 材料的 MSM-PD 研究日益为人们所重视^[1-3]。

为解决 n-InGaAs 上肖特基势垒高度过低的困难, 近年来均采用在金属和 n-InGaAs 中间引入所谓的“肖特基势垒增强层”方法, 归纳可分为三类:

- (1) 晶格不匹配型势垒增强层: 如 GaAs 层。
- (2) 晶格匹配型势垒增强层: 如掺 Fe 的 In 层和非掺杂 InP 层。
- (3) 绝缘膜势垒增强层: 如 SiO_2 层和 Si_3N_4 层。

本文首次采用了完全晶格匹配的 p-InGaAs 层做为肖特基势垒增强层, 并给出了较系统的实验研究。

2. 器件设计和制造

众所周知, 如在 n 型半导体上形成一很薄的 p 型层, 可以增加其有效势垒高度^[4,5]。如图 1 中插图所示, 形成的有效势垒高度 ϕ_B 将满足如下关系:

$$\phi_B = \phi_s + V_D \quad (1)$$

$$V_D = \frac{q a^2 p_2}{2 \epsilon_0 \epsilon_s n_1} (p_2 + n_1) \quad (2)$$

$$\phi_s = \frac{kT}{q} \ln \frac{N_e}{n_1} \quad (3)$$

* 国家自然科学基金与德国德意志研究联合会联合资助的课题。

$$W = \left[\frac{2\epsilon_0\epsilon_r}{qn_1} \left(V_D - \frac{kT}{q} \right) \right]^{1/2} \quad (4)$$

其中, n_1 和 W 分别为 n 型衬底的掺杂浓度和其中的耗尽层宽度; p_2 和 a 分别为 p 型薄层的掺杂浓度和厚度; q 为电子电荷, k 为波尔兹曼常数; T 为绝对温度; ϵ_0 为真空电容率; ϵ_r 为半导体相对介电常数; N_c 为导带有效态密度。上面关系满足的条件为 $p_2 \leq \frac{Wn_1}{a}$ 。

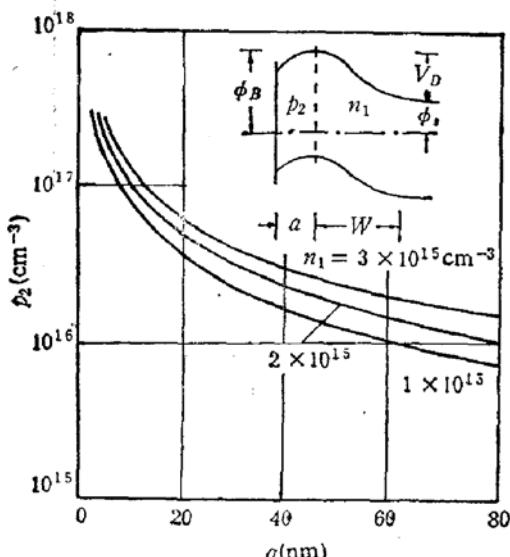


图 1 不同掺杂浓度 n-In_{0.53}Ga_{0.47}As 衬底上 p 型势垒增强层的掺杂浓度与厚度关系 ($\phi_B = 0.6$ eV)。右上插图为能带示意图

图 1 给出了不同衬底掺杂浓度的 In_{0.53}Ga_{0.47}As 材料, 欲获得 $\phi_B = 0.6$ eV 有效势垒高度时, 其 p 型层的掺杂浓度 p_2 与厚度 a 之关系。

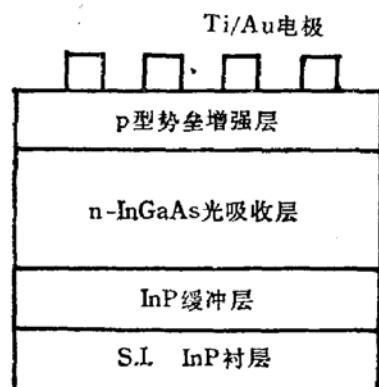


图 2 器件结构

器件结构如图 2。采用低压 MOVPE 技术, 在半绝缘(100)方向的 InP 衬底上依次生长: 0.3 微米的不掺杂 InP 缓冲层, 掺杂浓度为 $2 \times 10^{15} \text{ cm}^{-3}$ 的 n 型 In_{0.53}Ga_{0.47}As 本征光吸收层, 厚度为 1.2 微米, 最后生长掺杂浓度为 $2 \times 10^{16} \text{ cm}^{-3}$, 厚度分别为 10, 20 和 40 nm 的 p 型肖特基势垒增强层。生长温度为 600°C, 薄层生长速度为 330 Å/min (InGaAs) 和 150 Å/min (InP)。详细工艺参阅文献[6]。由 Ti 和 Au 形成双层金属的交叉指状电极, 电极宽度和间隔均为 2 μm。光照有源区面积为 $(30 \times 40) \mu\text{m}^2$ 。没有抗反射涂层。

3. 实验结果

对以上各种 MSM-PD, 分别测量了其暗电流以及光电流的脉冲响应, 测试方法见文献[7]。

最小的暗电流是 5 伏时为 $2.5 \times 10^{-11} \text{ A}$, 由 20 nm 厚的势垒增强层器件给出, 图 3 是其实测曲线。对不同厚度的势垒增强层器件, 测量了它们光电流响应速度与偏压的关系。表 1 列出了响应的半宽度 (FWHM) 的测量结果。图 4 是增强层厚度为 40 nm 的器件的光电响应测量曲线。当偏压为 6 伏时, FWHM 为 350 ps。

实验研究结果表明, 适当的 P 薄层可以增加 n-In_{0.53}Ga_{0.47}As 的肖特基有效势垒高度, 改善其 MSM-PD 特性。小于 10 nm 的 P 型增强层可能发生隧道效应, 故暗电流较大。20—40 nm 的增强层(掺杂浓度为 $2 \times 10^{16} \text{ cm}^{-3}$) 可以应用于 MSM-PD。

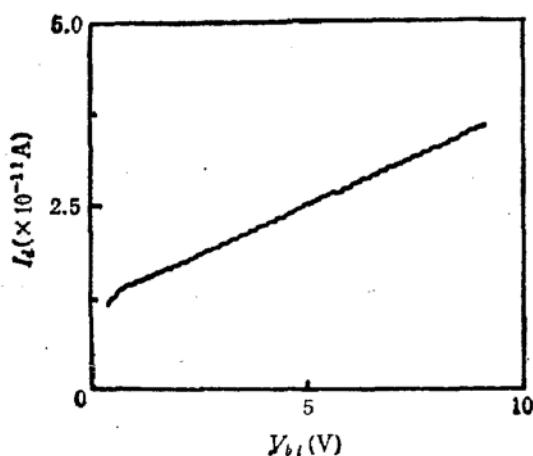
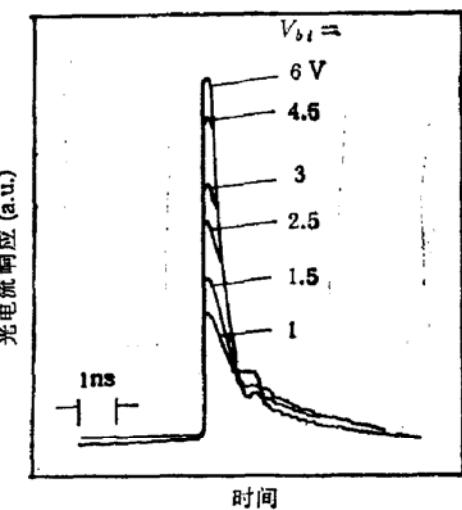
图 3 器件的暗电流 ($a = 20\text{nm}$)图 4 不同偏压下的光电流响应 ($a = 40\text{nm}$)

表 1 不同厚度 p 型掺杂层的 MSM-PD, 在不同偏压下的 FWHM(ns)

V_{bi} (V)	1	1.5	2.5	3	4.5	6
FWHM (ns)	10 nm	1.75	1.75	1.39	1.36	0.83
	20 nm	1.15	0.91	0.74	0.67	0.59
	40 nm	0.57	0.51	0.48	0.44	0.35

作者感谢亚琛工业大学的 Miss Gabi Nogueira 在工艺上给予的帮助。

参 考 文 献

- [1] W. Roth, H. Schumacher, J. Kluge, H. J. Geelen and H. Beneking, *IEEE Trans. Electron Devices*, ED-32, 1034(1985).
- [2] M. Ito, T. Kumai, H. Hamaguchi, M. Makiuchi, K. Nakai, O. Wada and T. Sakurai, *Appl. Phys. Lett.*, 47(11), 1130(1985).
- [3] L. Yang, A. S. Sudbo, R. A. Logan, T. Tanbunek and W. T. Tsang *IEEE Photonics Technol. Lett.*, PTL-2, 56(1990).
- [4] C. R. Corwell, J. C. Sare and S. M. Sze, *Trans. Met. Soc. AIME*, 23, 478(1965).
- [5] J. M. Shannon, *Solid State Electronics*, 19, 537(1976).
- [6] Chang-Xin Shi (史常忻), D. Grützmacher, M. Stollenwerk, Qing-Kang Wang (王庆康) and K. Heime, *IEEE Trans. Electron Devices*, ED-39, 1028(1992).
- [7] 史常忻, K. Heime, 半导体学报, 12(12), 767(1991).

Investigation on p-InGaAs/n-InGaAs MSM Photodetectors

Shi Changxin

Institute of Microelectronic Technology, Shanghai Jiao Tong University, Shanghai 200030

A. Mesquida Küsters, A. Kohl, R. Müller and K. Heime

Institute of Semiconductor Electronics, Technical University of Aachen, Germany

(Received 23 June 1992; Revised manuscript received 1 August 1992)

Abstract

The n-In_{0.53}Ga_{0.47}As MSM Photodetectors with p-InGaAs Schottky barrier enhancement layer were presented in this paper for the first time. The experimental results indicate that the dark current of the devices with a barrier enhancement layer of 20nm-thickness was 3.5×10^{-11} A at 5V bias ($30 \times 40\mu\text{m}^2$) and the FWHM of 350ps(6V) was given by devices with 40nm-barrier enhancement layer.

EEACC: 4250, 2560Z