

# 短沟道薄膜全耗尽 SOI/MOSFET's 大信号电容模型

程玉华 王阳元

北京大学微电子学研究所, 北京 100871

(1991年11月21日收到; 1992年2月1日收到修改稿)

本文提出适用于短沟道薄膜全耗尽 SOI 器件的大信号电容模型。该模型除考虑了 SOI 短沟道器件中出现的速度饱和效应、DIBL 效应及源漏耗尽层电荷分享效应外, 还包括了 SOI 器件中特有的膜厚效应、正背栅耦合效应等对电容特性的影响。通过与体硅器件的二维模拟和实测电容特性以及已报道的薄膜 SOI 器件电容模型相比较可知, 本文模型可较好地描述短沟道 SOI 器件的电容特性。另外, 所建电容模型形式简洁, 参数提取方便, 因而可做为薄膜全耗尽 SOI 器件大信号电容模型移植到电路模拟程序(如 SPICE)之中。

EEACC: 7410D

## 一、引言

由于 SOI/CMOS 电路具有高密度、高速度、高可靠性、低功耗等特点, 尤其是近几年来出现的薄膜全耗尽 SOI 器件, 除了具有上述特点外还具有可抑制短沟道效应和穿通现象、较好的亚阈值特性和热载流子效应抑制能力以及可消除 Kink 效应等优点<sup>[1]</sup>, 目前受到人们的普遍重视。由于 SOI 器件属于带有背面绝缘栅的薄膜器件, 其材料和器件结构均和一般体硅器件不同, 因而具有自己特有的一些物理效应, 如膜厚效应、正背栅耦合效应以及背栅效应等<sup>[2]</sup>, 采用一般的体硅器件模型难以描述 SOI 器件的电学特性。目前还不能用一般的电路分析程序如 SPICE 来直接模拟 SOI 电路。因此迫切需要开发建立适合于 SOI 特点的器件模型, 特别是瞬态大信号模型。尽管近年来已有关于薄膜全耗尽 SOI 器件的大信号瞬态模型的报道<sup>[3]</sup>, 但由于文献[3]模型考虑的是长沟道器件情况, 没有包括在短沟道器件中存在的速度饱和效应和其它短沟道效应, 所以其模型不能用于短沟道器件情形。鉴于实际 SOI 电路已朝亚微米水平发展, 因而文献[3]模型不能满足实际电路模拟的需要。本文在已经报道的薄膜全耗尽 SOI 器件电流模型基础上<sup>[2]</sup>, 讨论可用于 SOI 电路模拟的薄膜全耗尽 SOI 器件的大信号电容模型。和已有的 SOI 器件电容模型相比<sup>[3]</sup>, 本文提出的电容模型考虑了栅电压对载流子迁移率的影响以及载流子速度饱和效应, 并包括了薄膜 SOI 器件的正背栅耦合效应、膜厚效应和某些短沟道效应(如 DIBL 效应和源漏耗尽层电荷分享效应等), 从而可以较真实地描述短沟道薄膜全耗尽 SOI 器件的瞬态电容特性。

## 二、电容模型的建立

薄膜全耗尽 SOI 沟 MOSFET 的剖面示意图如图 1 给出。首先讨论线性工作区情况。

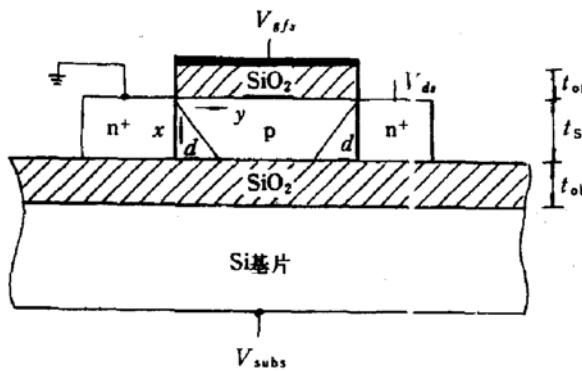


图 1 薄膜 SOI MOSFET 的剖面示意图

当正面沟道强反型时, 线性区源漏电流可由下式表示<sup>[4]</sup>:

$$I_{DS}(y) = -W \cdot Q_{cf}(y) \cdot V(y), \quad (1)$$

式中,  $W$  是器件沟道宽度,  $Q_{cf}(y)$  是  $y$  处的沟道薄层电荷密度,  $V(y)$  是载流子漂移速率。

采用和[2]中类似的处理方法, 即对正背栅界面施加高斯定理并在硅膜中解泊松方程可得到正面沟道中薄层电荷密度表达式<sup>[5]</sup>, 根据(1)式可整理得到关于沟道电压  $V_y$  的方程式:

$$V_{y(y)}^2 - 2 \cdot P \cdot V_y + 2 \cdot R \cdot y = 0 \quad (2)$$

其中:

$$P = \frac{V_{gfs} - V_{th} + \frac{1}{2} \cdot a \cdot \frac{V_{ds}^2}{E_c \cdot L}}{a \cdot (1 + \frac{V_d}{E_c \cdot L})} \quad (3)$$

$$R = \frac{(V_{gfs} - V_{th} - \frac{a}{2} \cdot V_{ds}) \cdot V_{ds}}{L \cdot a \cdot (1 + \frac{V_d}{E_c \cdot L})} \quad (4)$$

式中,  $V_{gfs}$  和  $V_{ds}$  分别为相对于源端的正面栅电压和漏电压,  $V_{th}$  是器件开启电压, 其形式可见[2],  $L$  为器件沟道长度,  $E_c$  是载流子速度饱和时的临界电场,  $a$  是常数, 当背界面耗尽时,  $a = 1 + \frac{C_{Si}}{C_{of}} \cdot \frac{C_{ob}}{C_{ob} + C_{Si}}$ <sup>[2]</sup>。由(2)式可解出:

$$V_y = P - \sqrt{P^2 - 2R \cdot Y} \quad (5)$$

因此可由下面各式得到正、背栅, 正面沟道区以及硅膜中的总电荷量<sup>[3]</sup>:

$$Q_{Gf} = W \cdot \int_0^L \cdot C_{of} \cdot [V_{gfs} - \varphi_{mf} - \psi_{f(0)} - V_y] \cdot dy, \quad (6)$$

$$Q_N = W \cdot \int_0^L Q_{cf}(y) \cdot dy, \quad (7)$$

$$Q_{Si} = W \cdot \int_0^L [Q_B + Q_{cb}(y)] \cdot dy \quad (8)$$

$$Q_{Gb} = W \cdot \int_0^L C_{ob} [V_{sub} - \varphi_{msb} - \psi_{sb(y)}] \cdot dy \quad (9)$$

式中,  $\varphi_{msf}$  和  $\varphi_{msb}$  分别是硅膜与正、背栅之间的功函数差,  $\psi_{sf(0)}$  是源端的正面表面势,  $Q_{Gf}$ 、 $Q_{Gb}$  分别是正栅和背栅的总电荷量,  $Q_N$  是正面反型沟道区电荷,  $Q_{Si}$  是硅膜体电荷,  $Q_{cf}$ 、 $Q_{cb}$  和  $Q_B$  分别是正、背面沟道区和硅膜中的电荷密度,  $V_{sub}$  为相对于源端的背面栅电压.

当背面处于耗尽状态时,  $Q_{cb} = 0$  并且有  $Q_B = q \cdot N_A \cdot t_{Si} (1 - \frac{d}{L})$ . 则积分(6)和(7)式可得到:

$$Q_{Gf} = W \cdot C_{of} \cdot L \cdot \left[ V_{gfs} - \varphi_{msf} - 2\varphi_f - \frac{1}{2} \cdot V_{ds} + \frac{1}{12} \cdot \frac{a(1+\gamma) \cdot V_{ds}^2}{(V_{gfs} - V_{th} - \frac{1}{2} \cdot a \cdot V_{ds})} \right] \quad (10)$$

$$Q_N = -W \cdot L \cdot C_{of} \cdot \left[ V_{gfs} - V_{th} - \frac{1}{2} \cdot a \cdot V_{ds} + \frac{a^2 \cdot V_{ds}^2 \cdot (1+\gamma)}{12 \cdot (V_{gfs} - V_{th} - \frac{1}{2} \cdot a \cdot V_{ds})} \right] \quad (11)$$

式中,  $\varphi_f$  是硅膜体费米势,  $\gamma = \frac{V_{ds}}{L \cdot E_c}$ .

根据电中性条件:

$$Q_{Gf} + Q_N + Q_{Si} + Q_{Gb} + W \cdot L \cdot (Q_{ff} + Q_{fb}) = 0, \quad (12)$$

式中,  $Q_{ff}$ 、 $Q_{fb}$  分别是正背 Si-SiO<sub>2</sub> 界面处的固定电荷面密度. 则由上式可得到:

$$Q_{Gb} = W \cdot L \cdot C_{bSi} \cdot \left[ V_{sub} - V_{FB} - 2\varphi_f + \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{Si}} \cdot \left( 1 - \frac{d}{L} \right) - \frac{V_{ds}}{2} + \frac{a \cdot (1+\gamma) \cdot V_{ds}^2}{12 \cdot \left( V_{gfs} - V_{th} - \frac{a}{2} \cdot V_{ds} \right)} \right], \quad (13)$$

上式中,  $C_{bSi} = \frac{C_{ob} \cdot C_{Si}}{C_{Si} + C_{ob}}$ ,  $V_{FB} = \varphi_{msb} - \frac{Q_{fb}}{C_{ob}}$ .

为了得到源漏端的总电荷量  $Q_D$  和  $Q_S$ , 根据[6], 可有如下关系:

$$Q_{D(t)} = W \cdot \int_0^L \frac{Y}{L} \cdot Q_{cf}(y, t) dy, \quad (14)$$

$$Q_{S(t)} = W \cdot \int_0^L (1 - \frac{Y}{L}) \cdot Q_{cf}(y, t) dy, \quad (15)$$

将  $Q_{of}(y_1 t)$  形式(5)式代入(14)和(15)中分别积分得到:

$$Q_D = -\frac{1}{2} \cdot W \cdot L \cdot C_{oJ} \cdot a \cdot V_{ds} \\ \cdot \left[ \frac{(2u-1) \cdot \gamma}{2} - \frac{4}{3} \cdot \frac{(u-1)^3}{2u-1} + \frac{8}{15} \cdot \frac{[u^5 - (u-1)^5]}{(2u-1)^2} \right], \quad (16)$$

$$Q_S = -\frac{1}{2} \cdot W \cdot L \cdot C_{oJ} \cdot a \cdot V_{ds} \\ \cdot \left[ \frac{4}{3} \cdot \frac{u^3}{(2u-1)} + \frac{1}{2} \cdot (2u-1) \cdot \gamma - \frac{8}{15} \cdot \frac{[u^5 - (u-1)^5]}{(2u-1)^2} \right], \quad (17)$$

上式中:

$$u = \frac{V_{gfs} - V_{th} + \frac{1}{2} \cdot \gamma \cdot a \cdot V_{ds}}{a \cdot (1+\gamma) \cdot V_{ds}}, \quad (18)$$

当器件处于饱和工作状态时, ( $V_{gfs} > V_{th}$ ,  $V_{ds} \geq V_{dsat}$ ), 根据[2]中给出的饱和漏电压  $V_{dsat}$  形式, 可得到饱和工作时器件的正背面栅和沟道区域的电荷量为:

$$Q_{Gf} = W \cdot L \cdot C_{of} \\ \cdot \left[ V_{gfs} - V_{Fbf} - 2\varphi_f - \frac{3 \cdot (2\sqrt{K}-1) - (1+\gamma)}{b \cdot a \cdot \sqrt{K} \cdot (2 \cdot \sqrt{K}-1)} \cdot (V_{gfs} - V_{th}) \right], \quad (19)$$

$$Q_N = -W \cdot L \cdot C_{of} \cdot \left[ \frac{3 \cdot (2\sqrt{K}-1)^2}{6 \cdot \sqrt{K} \cdot (2 \cdot \sqrt{K}-1)} \cdot (V_{gfs} - V_{th}) \right], \quad (20)$$

$$Q_{Gb} = W \cdot L \cdot C_{bb} \cdot \left[ V_{subs} - V_{Fbb} - 2 \cdot \varphi_f - \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{Si}} \cdot \left( 1 - \frac{d}{L} \right) \right. \\ \left. - \frac{3 \cdot (2 \cdot \sqrt{K}-1) - (1+\gamma)}{b \cdot a \cdot \sqrt{K} \cdot (2 \cdot \sqrt{K}-1)} \cdot (V_{gfs} - V_{th}) \right], \quad (21)$$

当器件处于截止工作状态时( $V_{gfs} < V_{th}$ ), 则有  $Q_{of}=0$ , 从而  $Q_N=0$ , 这时可以得到:

$$Q_{Gf} = W \cdot L \cdot C_{fbSi} \cdot \left[ V_{gfs} - V_{Fbf} + \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{bb} \cdot C_{fbSi}} \cdot \left( 1 - \frac{d}{L} \right) - (V_{subs} - V_{Fbb}) \right], \quad (22)$$

$$Q_{Gb} = W \cdot L \cdot C_{fbSi} \cdot \left[ V_{subs} - V_{Fbb} + \frac{q \cdot N_A \cdot t_{Si}}{2 \cdot C_{fbSi}} \cdot \left( 1 - \frac{d}{L} \right) - (V_{gfs} - V_{Fbf}) \right], \quad (23)$$

上式中,

$$C_{fbSi} = \frac{C_{of} \cdot C_{bb}}{C_{of} + C_{bb}}, \quad (24)$$

$$C_{bb} = \frac{C_{ob} \cdot C_{bb}}{C_{ob} + C_{bb}}, \quad (25)$$

$$C_{fSi} = \frac{C_{of} \cdot C_{fSi}}{C_{of} + C_{fSi}}, \quad (26)$$

$$C_{fSi} = \frac{C_{of} \cdot C_{Si}}{C_{of} + C_{Si}}, \quad (27)$$

根据电路模拟中采用的电容系数定义<sup>[6]</sup>,令

$$C_{ij} = -\frac{\partial Q_i}{\partial V_j}, \quad (28)$$

则可以由前面各电荷公式得到截止区、线性工作区和饱和工作区的电容公式.

顺便指出,当电容模型各式中表征速度饱和效应和短沟效应的因子 $\gamma, d, \eta$ 均为0时,则所得到的电容及电荷公式形式与[3]电容模型给出的公式形式完全相同.

### 三、模型比较和结果讨论

下面就本文模型进行有关比较和讨论.需要说明的是,由于现在我们还不能制备出满足全耗尽条件的薄膜SOI器件和电路,所以暂时无法获得实测的SOI器件电容特性.实际上,由于本征电容测试上的复杂性及SOI器件和材料的限制,目前国际上亦没有见到关于薄膜全耗尽SOI器件的电容实验特性的详细报道.在缺乏SOI器件实测电容特性的条件下,我们采用将本文模型和体硅器件电容特性(包括二维器件模拟和实测特性)以及已经报道的薄膜SOI器件电容模型相比较的方法对本文模型进行检查验证.一般说来,尽管SOI器件和体硅器件在结构上、材料上有比较明显的差异,但二者比较起来,除去SOI器件具有其特有的膜厚效应和正背栅耦合效应外,它们的本征电容特性并无本质的不同,其本征电容和外部端电压之间应具有相近的依赖关系.所以,我们采用体硅器件特性来定性检验SOI器件电容模型在器件物理上的合理性和电路模拟中的可用性.

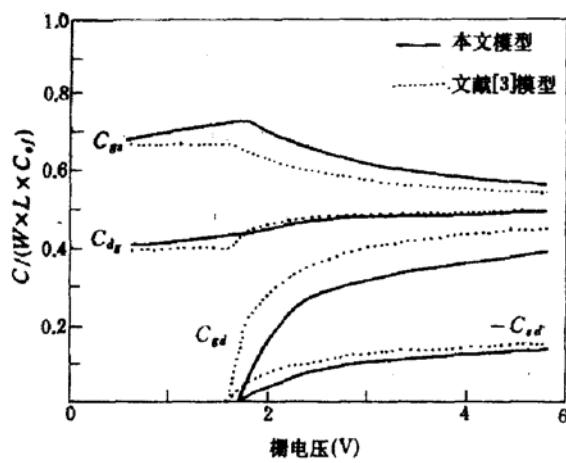


图2 部分电容和栅电压关系的比较曲线(本文模型与文献[3]模型)  
 $T_{of}=27.5\text{nm}$   $T_{ob}=0.5\mu\text{m}$   $T_{Si}=0.1\mu\text{m}$   $W=50\mu\text{m}$   $L=1\mu\text{m}$   $V_d=1\text{V}$   $N_{sub}=4\times 10^{16}\text{cm}^{-3}$

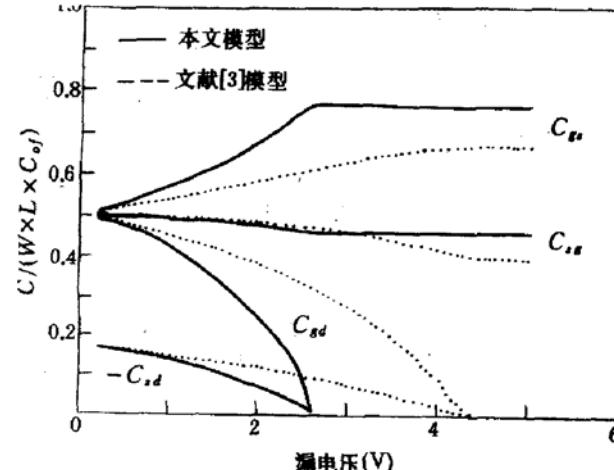


图3 部分电容和漏电压的比较曲线(本文模型与文献[3]模型)  
 $T_{of}=27.5\text{nm}$   $T_{ob}=0.5\mu\text{m}$   $T_{Si}=0.1\mu\text{m}$   $W=50\mu\text{m}$   $L=1\mu\text{m}$   $V_{gs}=5\text{V}$   $N_{sub}=4\times 10^{16}\text{cm}^{-3}$

图 2 和图 3 给出了由本文模型计算得到的部分电容和栅电压  $V_{gs}$  及漏电压  $V_{ds}$  的关系曲线。和[9]中图 1 和图 6 中给出的由二维器件模拟和实际测试得到的体硅器件  $C_{gd}$  和  $C_{ss}$  与栅电压和漏电压的依赖关系曲线相比较可以看出,由本文模型计算得到的  $C_{ss}$ 、 $C_{gd}$  和栅电压  $V_{gs}$  及漏电压  $V_{ds}$  的依赖关系与文献[9]包括了速度饱和效应的二维器件模拟及实测特性的结果,其变化特征和趋势完全一致,而与常数迁移率情况下的二维器件模拟结果则有比较明显的差异。如果令本文模型中表征速度饱和效应的  $\gamma$  因子为 0 时,则计算得到的  $C_{ss}$ 、 $C_{gd}$  对漏电压的依赖曲线(如图 4 所示)可以与[9]中常数迁移率的模拟计算结果相比拟。[9]中已经就速度饱和效应对器件电容特性的影响进行了比较详尽地分析,本文所提出电容模型的计算结果与[9]文模拟结果的一致性说明本文模型已经可以对速度饱和效应进行比较合理的描述。

进一步,我们将本文电容模型与已经报道的薄膜全耗尽 SOI 器件的电容模型进行对比<sup>[3]</sup>。图 2 和图 3 同时给出了本文模型和[3]中给出的 SOI 器件电容模型计算得到的比较曲线。可以看出,二者之间有比较明显的差别,尤其是栅源电容  $C_{ss}$  和栅漏电容  $C_{gd}$ 。根据二维器件模拟和实验结果<sup>[9]</sup>,在线性区,  $C_{gd}$  应随  $V_{ds}$  增加而单调下降,这是由于漏端沟道电阻随  $V_{ds}$  增加而增加所致。一旦器件进入饱和工作区域,由于漏端载流子被夹断或耗尽,沟道和漏端被一大电阻隔开,漏电压的变化对栅电荷不再产生明显影响。另外,当器件中产生载流子速度饱和时,所对应的饱和漏电压将明显小于沟道夹断所需的饱和漏电压值。并且速度饱和效应可使漏端等效电阻随  $V_{ds}$  增加而迅速增加,因而使  $C_{gd}$  随  $V_{ds}$  增加而迅速减小。对于栅源电容  $C_{ss}$  来讲,由于在线性区,本征氧化层电容  $C_{of} = C_{gd} + C_{ss}$ ,所以随  $V_{ds}$  增加  $C_{ss}$  则呈增加趋势。由图 3 可知,本文电容模型可很好地描述上述电容特性。并且和[3]电容模型相比较,还可看出以下几点不同:①在线性工作区域,本文模型计算结果表明,  $C_{gd}$  随  $V_{ds}$  增加而迅速减小,这与实际情况吻合。而[3]模型得到的  $C_{gd}$  值则随  $V_{ds}$  增加而变化较缓。其原因是由于[3]模型中采用的是常数迁移率模型和沟道夹断处理,因而漏端等效沟道电阻对漏电压的变化不十分敏感。但是漏端电压可以明显影响载流子的漂移速率,所以引入速度饱和模型后,漏端等效沟道电阻乃至栅漏电容  $C_{gd}$  随漏电压的变化便十分明显。②本文模型所预期的饱和电压值大大减小,由图 3 可看出大约为 2.6V 左右,而[3]模型给出的饱和电压值则在 4.4V 左右。其原因亦如上所述是由于本文模型考虑了速度饱和效应的结果。目前薄膜 SOI 器件实测特性已证实了这一结论,即当器件沟道长度较短时,速度饱和效应可明显影响器件特性,其饱和漏电压明显减小,并在数值上与本模型预期相符<sup>[10]</sup>。③在饱和工作区域,本文模型计算得到的  $C_{gd}$  和  $C_{ss}$  亦趋于 0,这与[3]模型结果一致,如图 3 所示。由于本文模型描述的是本征电容特性,因而该结果是合理的,并具有一定的物理含义。但由图 2 可知,[3]模型在饱和区的电容值  $C_{ss}$ 、 $C_{gd}$  均恒定不变,而本文模型表明它们是随栅压渐变的。和[9]给出的二维器件模拟和实测电容特性相比较,我们模型的计算结果更符合

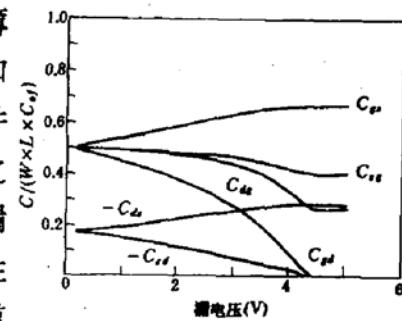


图 4  $\gamma=0$  时部分电容和电压  $V_d$  的计算曲线  
 $T_{of}=27.5\text{ nm}$   $T_{ab}=0.5\mu\text{m}$   $T_{Si}=0.1\mu\text{m}$   $W=50\mu\text{m}$   $L=1\mu\text{m}$   $V_{gs}=5\text{ V}$   $N_{sub}=4\times 10^{16}\text{ cm}^{-3}$

实际情形,因而本文所提出电容模型可以较好地描述实际器件的本征电容特性.

最后应该指出的是和一般体硅器件电容模型有所不同,本文电容模型包括了 SOI 器件特有的膜厚效应和正背栅耦合效应的影响,因而可以分析不同膜厚时全耗尽器件的电容特性. 图 5 和图 6 给出的是薄膜全耗尽 SOI 器件在线性区和饱和区时电容和硅膜厚度的关系曲线. 可以看出, 硅膜厚度发生改变, 相应电容值也随之而变. 随硅膜厚度增加, 图中给出的各电容值均线性减小. 另外亦可以看到, 在线性区, 两端口间电容的非对称性比较明显, 如  $C_{ds} \neq C_{sd}$ ,  $C_{bs} \neq C_{sb}$ . 而在饱和区该特性则相对来说弱一些. 这一规律和膜厚情况无关.

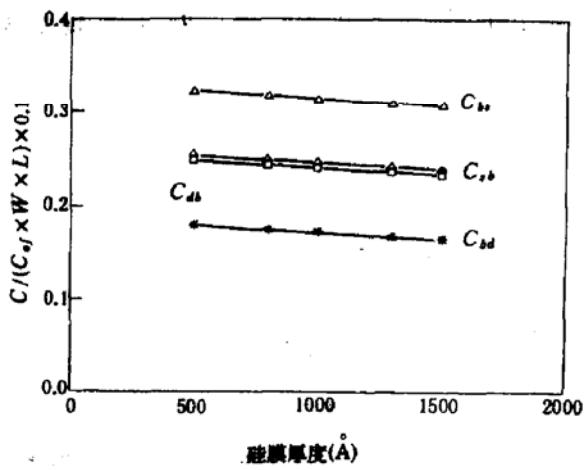


图 5 线性区部分电容和硅膜厚度关系曲线

$T_{sf} = 27.5\text{nm}$   $T_{ab} = 0.5\mu\text{m}$   $W = 50\mu\text{m}$   $L = 1\mu\text{m}$   
 $V_d = 1\text{V}$   $V_{gf} = 5\text{V}$   $N_{sub} = 4 \times 10^{16}\text{cm}^{-3}$

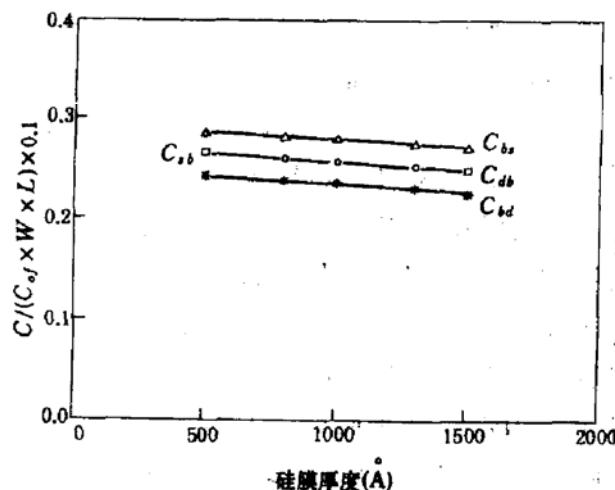


图 6 饱和区部分电容和硅膜厚度关系曲线

$T_{sf} = 27.5\text{nm}$   $T_{ab} = 0.5\mu\text{m}$   $W = 50\mu\text{m}$   $L = 1\mu\text{m}$   
 $V_d = 5\text{V}$   $V_{gf} = 5\text{V}$   $N_{sub} = 4 \times 10^{16}\text{cm}^{-3}$

#### 四、结 论

根据以上, 我们总结以下几点,

- 本文模型是在考虑 SOI 器件特点基础上得到, 除去引入了短沟道器件中出现的速度饱和效应、某些短沟道效应(如 DIBL 效应和漏源耗尽层电荷分享效应)的影响外, 还包括了 SOI 器件特有的膜厚效应、正背栅耦合效应以及背栅效应等对器件特性的影响.
- 和体硅器件的二维器件模拟和实测电容特性以及已经报道的 SOI 器件电容模型相比较可知, 本文模型比[3]的常迁移率电容模型更适合于短沟道薄膜 SOI 全耗尽器件的电容特性分析.
- 本文电容模型物理意义明确, 形式简洁, 并且参数提取十分方便. 因而可做为 SOI 器件的大信号电容模型移植到电路模拟程序(如 SPICE)之中.
- 电容模型均是以电荷做为状态变量, 所以可保证电荷守恒, 因而更适合于对电荷存储变化要求较高的 SOI 电路的模拟分析.

## 参 考 文 献

- [1] J. P. Colinge, IEDM Tech. Deg., 817,(1989).
- [2] 程玉华,王阳元,半导体学报(待发表).
- [3] H. K. Lim, et al., *IEEE Trans. Electron Devices*, ED-32(3),446(1985).
- [4] S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley-Interscience, 1981.
- [5] 程玉华,国家“七五”科技攻关项目研究报告,(第四部分),北京大学微电子学研究所,(1990,12).
- [6] 徐蔑生,MOS 数字大规模及超大规模集成电路,清华大学出版社,1990.
- [7] D. E. Ward, et al., *IEEE Journal of Solid State Circuits*, SC-13(5),703(1978).
- [8] B. J. Sheu, et al., *IEEE Journal of Solid State Circuits*, SC-22(4),558(1987).
- [9] H. Iwai, et al., *IEEE Trans. Computer-Aided-Design*, CAD-6(2),173(1987).
- [10] N. Hirashita, et al., *IEEE Trans. Electron Devices*, ED-36(3), 548(1989).

## A Charge-Based Capacitance Model for Thin Film SOI Short-Channel MOSFET's

Cheng Yuhua and Wang Yangyuan

*Institute of Microelectronics, Peking University, Beijing 100871*

(Received 21 November 1991; revised manuscript received 1 February 1992)

### Abstract

A large signal capacitance model for thin film SOI/MOSFET's was developed based on the special thin full depleted film SOI device structure. Except velocity saturation and some short channel effects such as DIBL effect and drain source depletion charge sharing effect, the influence of film thickness and charge coupling between the front and back gates, which are the special physical effects in thin film SOI device, were considered in this model. By comparisons with the two dimensional device simulation results and measured capacitance characteristics of bulk silicon devices and also the reported thin film SOI/MOSFET capacitance model, our model showed a good agreement with the measured capacitance characteristics of bulk silicon device qualitatively and gave a better description for the capacitance characteristics of thin film short channel SOI/MOSFET's than the reported capacitance model. Because of the simple and continuous closed forms and easier parameter extraction, the large signal capacitance model can be implemented into a circuit analysis program such as SPICE for the simulation of SOI circuits.

**EEACC:** 7410D