

考虑碰撞电离下的亚微米 MOSFET 的 二维数值模拟和分析

张锡盛 何新平 李志坚

清华大学微电子所, 北京 100084

(1991年11月14日收到; 1992年3月7日收到修改稿)

本文讨论了准确模拟亚微米 MOSFET 碰撞电离所用的模型和算法。碰撞电离项被自洽地加到器件模拟程序 PISCES 中, 用这个程序, 我们计算了 PN 结击穿电压和 $0.75\mu\text{m}$ MOSFET 不同偏压下的衬底电流, 结果和实验符合。

EEACC: 2560R, 2560B

一、引言

随着 MOSFET 有效沟道长度缩小到亚微米, 由于沟道内特别是漏结附近电场很强, 碰撞电离产生的载流子对器件性能影响很大。为全面分析亚微米器件特性, 尤其是计算衬底电流和热电子效应, 必须考虑到碰撞电离。

在已有的数值模拟程序中, 有的未考虑碰撞电离, 有的只适用于较长沟道器件。主要原因有两个, 一是碰撞电离系数 α 与电场 E 成指数关系, 加上这一项后使数值计算复杂化。二是没有使用适用于亚微米器件的电离系数模型。计算碰撞电离项的方法比较有代表性的是基于 Lucky Electron 模型的后处理方法^[1,2], 可较准确地计算出长沟器件的衬底电流, 但没有考虑到碰撞电离产生的载流子对电场、载流子浓度的反馈影响, 故不太合理, 且在 α 较大时, 误差较大。A. Schutz^[3] 在 MINIMOS 中采用较完整的自洽算法, 用变型 Gummel 算法计算, 但计算出的衬底电流与实验符合得不好。S. E. Laux^[4] 给出加权平均电流概念, 使计算更稳定, 但没有衬底电流与实验比较的结果。

本文在二维器件模拟程序 PISCES^[5] 中, 自洽地加入碰撞电离项, 提出适用于亚微米器件的电离系数模型, 给出了计算结果及分析, 并和实验结果做了比较。本文中 MOSFET 均指 N 型 MOSFET。模拟用的 MOSFET 有效沟道长度为 $0.75\mu\text{m}$, 栅氧厚为 250\AA , 结深 $0.3\mu\text{m}$, 沟道和源、漏结的掺杂由 SUPREM II 计算出, 并输入到 PISCES 中。计算是在 VAX11/750 上进行的。MOSFET 的电流是由 HP 4061A 测出, 并表示成单位沟道宽度的电流(单位 $\text{A}/\mu\text{m}$), 使之容易与二维模拟程序的计算结果对比。

二、算法和模型

$$\text{碰撞电离率 } G = \frac{1}{q} |J_n| \alpha_n + \frac{1}{q} |J_p| \alpha_p, \quad (1)$$

其中 J_n, J_p 为电子、空穴电流密度, α_n, α_p 为电子、空穴的碰撞电离系数, 定义为载流子运动单位长度产生的电子-空穴对数。PISCES 对泊松方程和载流子连续方程的离散化是以三角形网格为基础进行的^[5]。为保证计算精度, 注意不出现钝角三角形。我们假设一个三角形中电场为常量, 由三个顶点电势易求出。假使图 1 中阴影部分的碰撞电离率相同, 为:

$$G_{ij} = \frac{1}{q} [\alpha_n |J_{nij}| + \alpha_p |J_{pij}|], \quad (2)$$

其中 J_{nij}, J_{pij} 分别为沿边 ij 方向的电子和空穴电流密度。

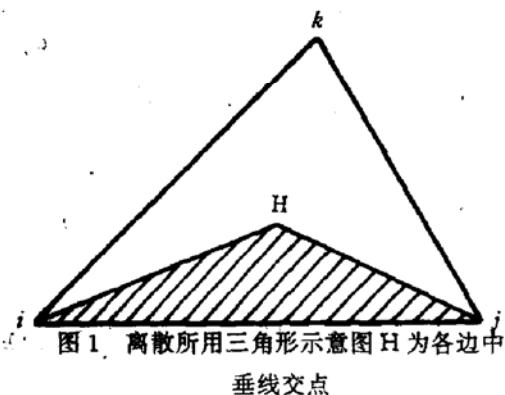


图 1 离散所用三角形示意图 H 为各边中垂线交点

为减少计算对网格划分的依赖性, 采用加权平均电流方法。^[4]

考虑碰撞电离必须求解泊松方程和空穴、电子连续性方程。根据我们的计算结果, A. Schutz^[3]的变型 Gummel 算法效果不好, 即使采用各种改进措施, 收敛仍极慢。这是因为当碰撞电离率高时, 泊松方程、载流子连续性方程是紧密耦合的。我们采用 Newton 方法, 由于求碰撞

电离率对电势、载流子浓度的导数较困难, 所以求 Jacobian 矩阵时, 不考虑碰撞电离项。尽管 Jacobian 矩阵不够准确, 我们模拟结果证明, 只要碰撞电离率不是太高(例如, $0.75\mu\text{m}$ MOSFET, $V_G=3\text{V}$, $V_D=7\text{V}$, $G_{\max} \sim 10^{29}/(\text{cm}^3 \cdot \text{s})$), 收敛仍保持很好的超线性。只有当碰撞电离率高到临界击穿时, 迭代才呈现线性收敛。我们在计算二极管击穿时的经验表明, 当临界击穿时, 计算的迭代次数比击穿前多 8—10 倍。

碰撞电离系数 α 由局部的 Crowell-Sze^[6]模型给出。 α 的大小取决于该点电场的大小及载流子的平均自由程, 这反映了碰撞电离的本质特征。用这个模型计算 PN 结击穿电压, 结果与文献报道一致^[4]。如图 2 示。这表明我们程序是正确的。由于计算亚微米器件的碰撞电离时, 器件处于临界击穿以下, 所以用我们的算法可以达到较快的收敛效果。

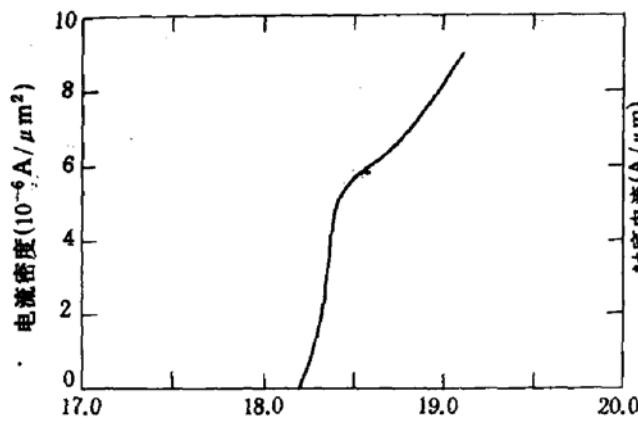


图 2 两边掺杂 $N = 10^{17}/\text{cm}^3$ 的突变 PN 结击穿曲线 (模拟结果)

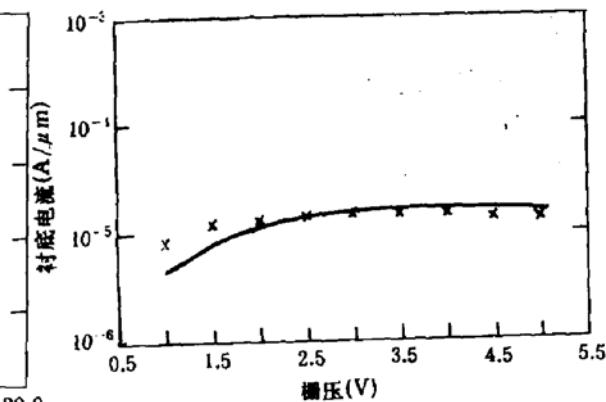


图 3 $V_D = 7\text{V}$ 时, 单位沟道宽度的衬底电流与栅电压关系 ××× 实验结果 — 模拟结果

我们曾用这个模型计算了亚微米 MOSFET 的衬底电流, 发现计算结果与实验结果

相差较大。我们认为这是因为前述 α 模型不能直接应用于亚微米 MOSFET，有两个因素必须考虑。一是表面散射的影响，MOSFET 是表面器件，表面散射效应使载流子平均自由程下降，电子在电场中运动能达到碰撞电离阈值能量的几率小了，碰撞电离率下降。实验证明，载流子运动愈靠近表面，受表面散射影响愈大，迁移率愈低。在碰撞电离起主要作用时，漏端电压较高，器件一般工作在饱和状态。发生碰撞电离的区域位于漏端附近强电场区。由器件的二维模拟结果可知，在漏压固定时，栅压愈高，则在这个强电场区内，载流子运动愈靠近表面。近似为了修正这个表面散射的影响，我们将 α 乘以 $\exp\left(-\frac{V_G}{B(L_{\text{eff}})}\right)$ ，其中 $B(L_{\text{eff}})$ 为拟合常数，单位伏特。另外一个影响碰撞电离系数的因素是非局域化效应。亚微米器件的漏压较高时，漏端附近强电场区电场强度很大，电场梯度也很大，载流子迁移率的局域模型误差增大，这也使 α 比 Crowell-Sze 模型预测的要小。我们将 α 再乘以一个因子 $A(L_{\text{eff}})$ 来修正这个效应，其中 A 为无量纲常数， $0 < A < 1$ 。

所以，我们提出了适用于亚微米器件的碰撞电离系数模型：

$$\alpha = \alpha_c A(L_{\text{eff}}) \exp\left(-\frac{V_G}{B(L_{\text{eff}})}\right), \quad (3)$$

其中 α_c 为 Crowell-Sze 模型结果， A 、 B 为和沟道长度 L_{eff} 有关的两个拟合因子。对 A 的选取我们参考了有关的 Monte-Carlo 模拟结果^[7]。

三、计算结果

图 3 为 $0.75\mu\text{m}$ MOSFET，当漏压 $V_D = 7\text{V}$ 时，源、衬底接地，不同栅压下的衬底电流的模拟结果和实验结果^[8]的对比，两者基本一致。计算时，取(3)式中 $A = 0.37$, $B = 4.0$ ，计算中的碰撞电离率的二维分布与文献报道结果基本相同^[3]。

图 4 为 $V_G = 3\text{V}$, $V_D = 7\text{V}$ 时，碰撞电离产生的空穴的运动示意图，图中线段的大小代表空穴电流密度的大小。从图中可以清楚地看出，碰撞电离产生的空穴，在很强的横向场作用下，先沿表面运动到源端，然后再运动到衬底。源端附近横向电场的降低将导致空穴在源端的大量堆积，如图 5 所示。

空穴在源端的堆积，是短沟器件与长沟器件显著的不同之处。堆积的空穴，降低了源、衬结势垒。根据我们的模拟结果，大约相当在衬源结加 $0.35 \sim 0.4\text{V}$ 正偏压，这将使寄生的 NPN 管（源-衬-漏）效应不容忽视。衬底电流中将含这个寄生的 NPN 管的基极电流分量，使衬底电流受栅压调制效应减弱，即在固定漏电压情况下，亚微米器件的衬底电流随栅压变化比长沟器件要平缓得多。

四、总 结

本文讨论了模拟亚微米 MOSFET 碰撞电离的模型和算法。采用 Crowell-Sze 的局域模型，考虑了非平衡效应和表面散射效应，引入了两个同沟道长度有关的拟合常数来修正。算法采用加权平均电流法和 Newton 法，收敛速度为超线性，临界击穿时才为线性收敛。碰撞电离项被自洽地加到二维器件模拟程序 PISCES 中。用这个程序，不仅可以计算

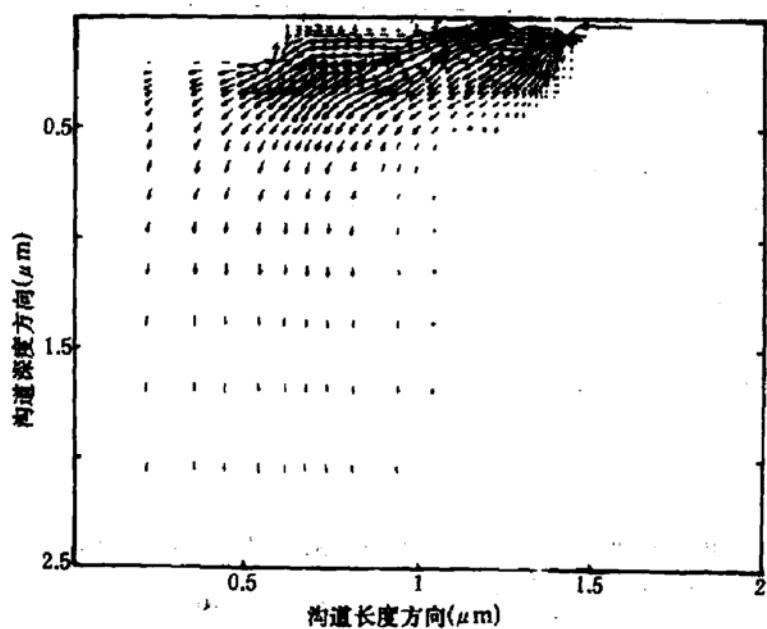


图 4 $V_D=7V, V_G=3V$ 时, 碰撞电离产生的空穴运动方向在 MOSFET 的分布示意图(漏结位于 $1.4\mu m$ 处)

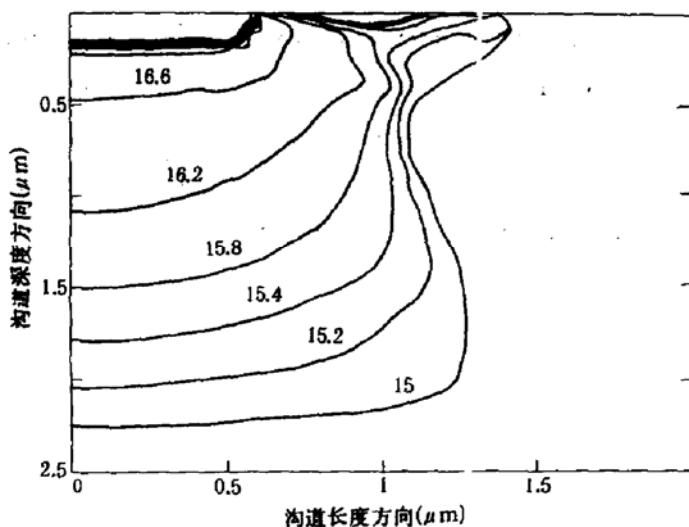


图 5 $V_D=7V, V_G=3V$ 时, 碰撞电离产生的空穴浓度在 MOSFET 内的分布图(浓度单位是/ cm^3 , 已经取对数)

出正确的 PN 结击穿电压, 而且还可以计算出与实验相符的亚微米 MOSFET 的衬底电流。亚微米器件中, 碰撞电离产生的空穴在源端堆积, 降低了源衬结势垒, 使栅压对衬底电流的调制作用减弱。

致谢:作者感谢清华大学微电子所 CAD 室全体同志的支持。

参 考 文 献

- [1] R. Kuhnert et al., *IEEE Trans. Electron Devices*, **32**, 1057(1985).
- [2] A. K. Henning et al., *IEEE Trans. Electron Devies*, **34**, 64(1987).
- [3] A. Schutz et al., *Solid St. Electron.*, **25**, 177(1982).
- [4] S. E. Laux et al., *IEEE Trans. Electron Devices*, **32**, 2076(1985).
- [5] M. R. Pinto et al., Stanford Electronics lab. Tech. Rep., (1986).
- [6] C. R. Crowell et al., *Appl. Phy. Lett.*, **9**, 242(1966).
- [7] C. G. Hwang et al., *IEEE Trans. Electron Devices*, **36**, 1348(1989).
- [8] 程玉华, 清华大学博士论文, 1989.

Numerical Simulation and Analysis of Submicron MOSFET with Impact Ionization

Zhang Xisheng, He Xingping and Li Zhijian

Institute of Microelectronics, Tsinghua University, Beijing 100084

(Received 14 November 1991; revised manuscript received 7 March 1992)

Abstract

A model and corresponding method of calculation for accurate simulating impact ionization in submicron MOSFET are discussed. Impact ionization process has been self-consistently implemented in the device simulator-PISCES. Using this program, the breakdown voltage of PN junction and substrate current of a $0.75\mu\text{m}$ MOSFET under different conditions are simulated. The results are in good agreement with the experiment.

EEACC: 2560R, 2560B