

浮空场板的二维数值分析

张 李肇基

(电子科技大学微电子研究所 成都 610054)

摘要 本文提出了模拟二氧化硅表面的浮空场板二维电场分布的一种新方法,它基于异质结器件的模拟方法,将二氧化硅用电导率为零、介电常数为 3.9 的材料来模拟,借助此方法对一新结构的浮空场板进行了二维数值计算,并获得实验的初步支持

EEACC: 2560B, 2560R

1 引言

近年来迅速发展的智能功率集成电路(SPIC)中常有高压互连线横跨反偏的PN结,由于高压互连线上带正电荷,N-中性区中的电子将被吸引到半导体表面进入空间电荷区,导致耗尽区的缩小,使得峰值电场增高,严重地影响击穿电压,其程度取决于高压互连线与半导体表面之间的距离,但受实际工艺的限制,氧化层的厚度只能作到 $3\sim 5\mu\text{m}$,一种降低其影响的方法是Fujishima等人提出的在高压互连线与半导体表面增加一层浮空场板^[1],它能降低器件的表面峰值电场,提高击穿电压。目前能模拟该种结构的软件还很少,Martin等人通过修改二维器件数值分析软件GEMINI,对具有高压互连线的双层浮空电阻场板进行了模拟^[2],其方法是将电阻场板用多晶硅来表示,当没有高压互连线时,电阻场板的边界条件为浮置边界,GEMINI能求出其电势,当加上高压互连线之后,电阻场板为固定边界条件,电压值取相邻两块场板以及高压互连线电压的平均值,这种方法模拟浮空场板仅是很粗略的近似。Terashima等人用PISCES-IB直接给定浮空场板的浮空电位的方法来模拟浮空场板^[3],这种模拟方法也不准确。Falck等人开发了求解二维及三维Poisson方程的数值分析软件^[4,5],并利用该软件来优化设计有高压互连线的浮空场板,其结果与文献[3]类似,是电势均分的,有待实验佐证。本文首先通过修改PISCES-IB源程序,使之能近似地模拟异质结器件,利用这一功能,我们将二氧化硅用电导率很小的材料来代替,将其介电常数 ϵ_{SiO_2} 取3.9,净掺杂浓度及迁移率取为零。利用这种方法,对具有高压互连线的多层浮空场板对电场的影响作了模拟,模拟结果表明,双层浮空场板对降低峰值电场,提高击穿电压有明显效果。

张 男,1970年出生,博士生,主要从事高压功率器件及智能功率集成电路CAD研究工作
李肇基 男,1940年出生,教授,博士生导师,主要从事高压功率器件及智能功率集成电路研究工作
1997-12-25收到,1998-05-24定稿

2 模拟方法

PISCES IB 能模拟在导电材料(如硅)表面的浮空场板,其模拟方法是在电极上串联一个很小的电容接地,但是对在绝缘体(如 SiO₂)表面的浮空场板就无能为力了.于是我们设想利用一种电导率极低并且介电常数为 3.9 的导电材料来代替 SiO₂.由于 PISCES IB 只能模拟同质结器件,即在程序中只能同时给出一组半导体材料参数,如果我们将代替 SiO₂ 的材料的迁移率设为零,介电常数取 3.9,整个器件所有区相应的参数全都改变了,因此需要对 PISCES IB 源程序进行修改.我们将 PISCES IB 源程序中描述半导体材料参数的一维数组改为二维数组,使 PISCES IB 中每一个区域都对应一组材料参数,这样浮空场板周围的 SiO₂ 可用 Si 来代替,并且将该区域的介电常数 ε_s取 3.9,迁移率 μ_n、μ_p 取为零,净掺杂浓度通过先后两次掺相同浓度的异型杂质补偿后取为零,由半导体器件的基本方程:

$$\nabla E = q(p - n - N_A + N_D)/\epsilon \tag{1}$$

$$J_n = q\mu_n n E + qD_n \nabla n \tag{2}$$

$$J_p = q\mu_p p E - qD_p \nabla p \tag{3}$$

其中 (1) 式为描述电场 E 分布的泊松方程, (2)、(3) 分别为描述电子电流密度 J_n 和空穴电流密度 J_p 的电流密度方程; q 为电子电荷; p、n 分别为电子和空穴的掺杂浓度; N_D、N_A 分别为施主和受主的电离杂质浓度; ε 为二氧化硅的介电常数 3.9; μ_n、μ_p 分别为电子和空穴的迁移率; D_n、D_p 为相应的扩散系数.我们设 p = n = 1.0 × 10⁰ cm⁻³, q = 1.6 × 10⁻¹⁹ C, μ_n = μ_p = 1.0 × 10⁻⁵ cm²/(V · s) 时,净电荷密度(不考虑 SiO₂ 中的界面电荷)、电子和空穴的扩散系数(D_n、D_p)、电流密度都近似为零,因此该材料的性质与 SiO₂ 极为相近.我们以一个高压反偏 PN 结为例,通过采用以上参数的 Si 来代替 SiO₂ 与直接用 SiO₂ 两种不同的方法模拟的电势、电场分布的比较,其结果完全一致,由此我们可以利用这种模拟异质结器件方法且电极上串联小电容来模拟二氧化硅表面的浮空场板.

3 结果与讨论

图 1 是具有 JTE 终端结构的高压 PN 结的结构示意图,其中衬底掺杂浓度为 N_s = 2 × 10¹⁴ cm⁻³, 阳极为带有 10 μm 的一阶场板,它距半导体表面的距离为 1 μm,阳极 P⁺ 接触区为高斯分布,表面浓度为 N₀ = 1 × 10¹⁹ cm⁻³,结深为 5 μm,轻掺杂 P⁻ 区也为高斯分布,结深 7 μm,表面浓度为 N₀ = 1 × 10¹⁶ cm⁻³,阳极和阴极之间的横向距离为 100 μm,高压互连线离半导体表面的距离为 3 μm,场板 A、B 离表面的距离分别为 1.5 μm、2 μm,长度均为 15 μm.

在耗尽近似时, PISCES IB 通过求解二维泊松方程(1)式并利用雪崩电离模型,在没有浮空场板 A、B 时,分别求出在反偏电压达到 600V 时有和没有高压互连线 PN 结的电场分布,如图 2 所示.由雪崩击穿条件:

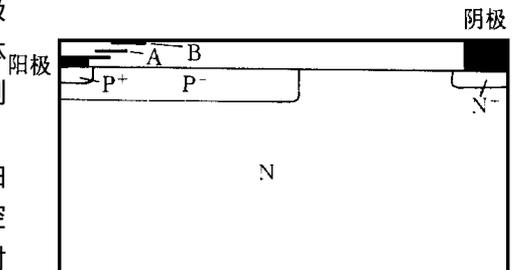


图 1 高压 PN 结结构示意图

$$\int_0^{x_d} \alpha_{(n,p)} dx = 1 \tag{4}$$

得到该 PN 结发生雪崩击穿时的峰值电场为 $3.0 \times 10^5 \text{V/cm}$ ，由于电子和空穴的电离率 $a_{(n,p)} \propto E^7$ ，因此我们以 $3.0 \times 10^5 \text{V/cm}$ 为发生雪崩击穿时的临界击穿电场 E_c 。由图 2 可知，

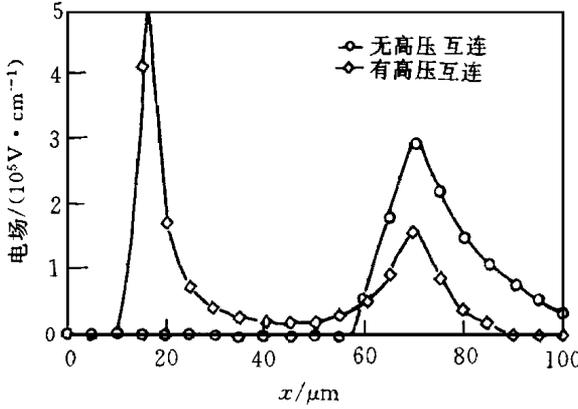


图 2 有和无高压互连线的电场分布

在没有高压互连线时，PN 结的击穿电压为 600V，与实验测试值一致。当加上高压互连线之后，电场峰值由原来的 P-N 结处左移到阳极场板的边缘，且增大到 $5.0 \times 10^5 \text{V/cm}$ ，远远超过临界击穿电场 E_c 。由二维 PISCES 1B 模拟结果可知，其击穿电压仅为 430V，下降了 28%。由于实际工艺中高压互连线的宽度仅为 5~10 μm ，而二维模拟把它当作无限宽的电极，因此过高地估计了它对电场分布的影响，精确的模拟需要用三维数值分析软件。实际器件的击穿电压会高于二维模拟值^[5]。

为了分散场板末端与高压互连线之间的等势线，我们在阳极与高压互连线之间增加两层浮空场板 A、B，如图 1 所示。在计算时阳极与阴极为固定边界条件，场板 A、B 由置于 SiO_2 上的多晶硅组成，长度均为 15 μm ，为浮置边界条件，PN 结两侧为对称边界。通过模拟可知，相邻两层场板之间有一定的电位差，高压互连线与阳极之间的电位差 600V 将分别降在两层浮空场板之间的介质 SiO_2 上，电势线也将均匀地分散在高压互连线与浮空场板之间，如图 3 所示，浮空场板 A、B 的浮空电位分别为 210V 和 360V，其峰值电场仅为 $2.8 \times 10^5 \text{V/cm}$ ，击穿电压将超过 600V，实际实验测试值为 620V。Brieger 等为了降低高压互连线在阳极场板边缘引入的峰值电场，提出了多阶场板，它是在场板的边缘再连续作了两个阶梯，使其曲率尽量和阳极 P⁺ 结的曲率一致，这样相当于增加了 P⁺ 结的结深，从而达到降低峰值电场

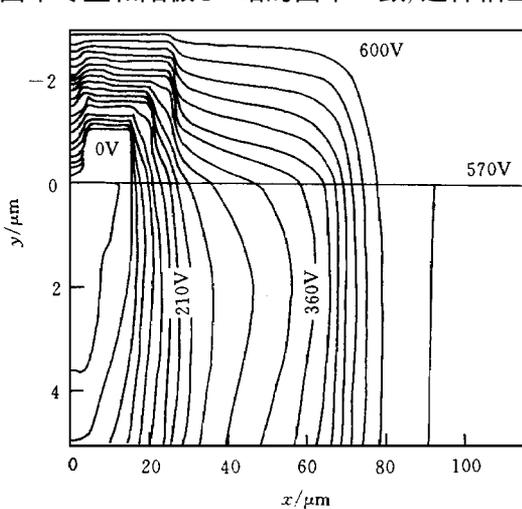


图 3 两层场板的电势分布图

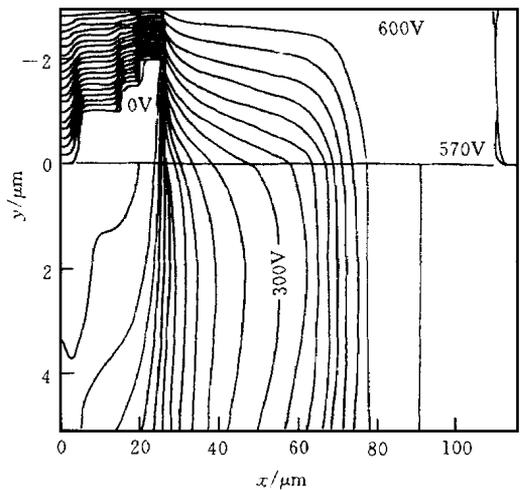


图 4 三阶场板的电势分布图

提高击穿电压的目的^[6]。图 4 为三阶场板在反偏压 600V 时的场板边缘附近的电势分布图

虽然多阶场板在一定程度上降低了场板边缘的电场强度,但从等势图上可以看出,所有的等势线均要从阳极与高压互连线之间穿过,因此在场板边缘其电场峰值仍然较高,由雪崩击穿条件可知,其击穿电压为 510V,比一阶场板提高了 18%。图 5 为多阶场板、一层浮空场板和两层浮空场板在反偏压为 600V 时的电场分布,从图上可以看出多阶场板和一层浮空场板的峰值电场均为 $4.1 \times 10^5 \text{V/cm}$, 它们的击穿电压为 510V 左右,而两层浮空场板的峰值电场仅为 $2.8 \times 10^5 \text{V/cm}$, 其击穿电压已经超过了 620V。在实际工艺中,由于高压互连线的宽度为有限值,远小于空间电荷区的宽度,击穿电压将会更高^[5]。

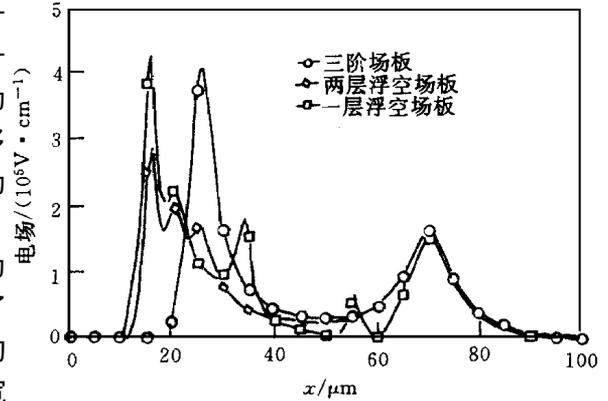


图 5 不同场板结构的电场分布图

4 结论

为了降低高压智能功率集成电路中高压互连线对击穿电压的影响,近年来已提出了各种不同的终端结构。我们采用了多层浮空场板的结构并进行了二维计算机模拟,结果表明该种结构不仅具有多阶场板的增加 PN 结的曲率半径从而降低表面峰值电场的作用,而且还可以均匀的分散高压互连线与阳极之间的电势线,因此比多阶场板的降场作用更明显,其击穿电压可以提高到 620V,且不增加工艺难度。由于二维模拟把高压互连线近似为无限宽的电极,因此过高地估计了它对电场的影响。在实际工艺中,高压互连线的宽度远小于空间电荷区的宽度,实际击穿电压要比二维数值模拟结果更高,更精确的分析需要三维数值分析软件。

参 考 文 献

- [1] N. Fujishima and H. Takeda, "A Novel Field Plate Structure Under High Voltage Interconnections", Proc. 1990 Int. Symp. on Power Semiconductor Devices and Integrated Circuits (Tokyo, Japan), 1990, 91~ 96
- [2] R. A. Martin, S. A. Buhler, G. Las *et al.*, "850V NMOS Driver with Active Outputs", IEDM, 1984, 266- 269.
- [3] T. Terashima, M. Yoshizawa, M. Fukunaga *et al.*, "Structure of 600V and A New Voltage Sensing Device", 5th Int. Symp. on Power Semiconductor Devices and ICs, 1993, 224~ 229.
- [4] E. Falck, W. Gerlach, J. Korec, IEEE Trans. Electron Devices, 1993, ED-40: 439~ 447.
- [5] E. Falck, W. Gerlach and J. Korec, IEEE Trans. Electron Devices, 1996, ED-43: 165~ 169.
- [6] K. P. Brieger, E. Falck and W. Gerlach, IEEE Trans. Electron Devices, 1988, ED-35: 684~ 688.

Two-Dimensional Numerical Simulation of Float Field Plates

Zhang Min, Li Zhaoji

*(Research Institute of Microelectronics, University of Electronic Science
and Technology of China, Chengdu 610054)*

Received 25 December 1997, revised manuscript received 24 May 1998

Abstract A new method of the float field plates simulation is presented, based on simulation of the heterojunction device. It uses a material of zero conductivity and the permittivity of 3.9 instead of the material SiO_2 . The two-dimensional numerical simulation of a novel float field plates is performed by this way, and the results is preliminary supported by experimental results.

EEACC: 2560B, 2560R