

漏雪崩应力下热载流子注入引起的 MOSFET 退变特性研究

程玉华* 李瑞伟 李志坚

清华大学微电子学研究所，北京 100084

(1992 年 5 月 12 日收到；1992 年 12 月 1 日收到修改稿)

本文对亚微米 MOSFET 在漏雪崩恒流应力(DAS)条件下热载流子注入引起的退变现象做了实验研究。实验结果表明：在一般的恒流应力条件下，栅氧化层中由空穴注入形成的空穴陷阱电荷对器件特性起主要影响作用。恒流应力过程中，任何附加的电子注入都可使器件退变特性发生明显变化。实验结果还证实，漏雪崩应力期间形成的空穴陷阱电荷可明显降低器件栅氧化层的介质击穿特性。

EEACC: 0170N, 2560R

一、引言

小尺寸器件中的热载流子注入引起的特性退变效应是限制超大规模集成电路性能和可靠性的主要因素之一，日益受到人们的重视。在实际电路中，MOS 器件一般工作于恒定电压条件下，因此人们对恒压应力下的器件退变特性研究得比较多^[1-4]，而对器件在恒定电流（如漏雪崩情况）应力下的器件退变效应却研究得较少。但在某些电路应用中，器件也经常遇到类似于恒流工作状态的情形^[5-6]。而且这方面的研究有助于对热载流子注入引起的退变效应的全面理解。近来有文献报道^[7]，在漏雪崩恒定电流应力条件下，器件呈现和恒定电压应力条件下不同的特性退变现象，器件退变速率较快，在较短的应力时间内主要表现为空穴陷阱正电荷的影响，随着应力时间加长，即转为受主界面态负电荷影响为主的退变特征。Fu 等人认为^[7-8]，这说明漏雪崩恒流应力下的空穴注入产生了大量受主界面态。但也有实验结果表明在单纯的空穴注入条件下不能形成稳定的受主界面态^[2,9]。为了探讨亚微米器件在漏雪崩（恒定电流应力）条件下热载流子注入引起的退变现象的机理，本文进行进一步的实验考察。文中分析了漏雪崩应力下器件的退变特征和有关的退变现象，并就恒流应力对栅氧化层击穿特性的影响进行了研究。

二、漏雪崩恒流应力下器件的退变特征

实验样品为硅栅 NMOS 晶体管，衬底电阻率为 $30\text{--}50\Omega \cdot \text{cm}$ ，沟道区采用两次注入

* 现在工作单位：北京大学微电子学研究所。

以抑制穿通。源漏结深约为 $0.25\mu\text{m}$, 棚氧化层为 25nm 。

器件的退变情况用开启电压和衬底电流的变化量来描述^[9]。文中所谓漏雪崩恒流应力的含义是指器件在棚、源、衬底均接地的情况下, 对漏端施加一恒定电流(如 1 微安), 使漏端处于雪崩工作状态, 然后观察器件的退变特性。

当器件在漏端区域产生雪崩离化时, 漏端电场将使大量热空穴向棚氧化层中注入^[8]。图 1 和图 2 分别给出亚微米器件在恒流应力为 5 微安时得到的开启电压、衬底电流随应力时间的变化规律。可以看出:(1)和恒压应力下情况相比, 恒流应力下的器件退变速率较快, 在几秒钟内器件特性就有十分明显的退变。(2)随应力时间加长, 器件的退变速率逐渐

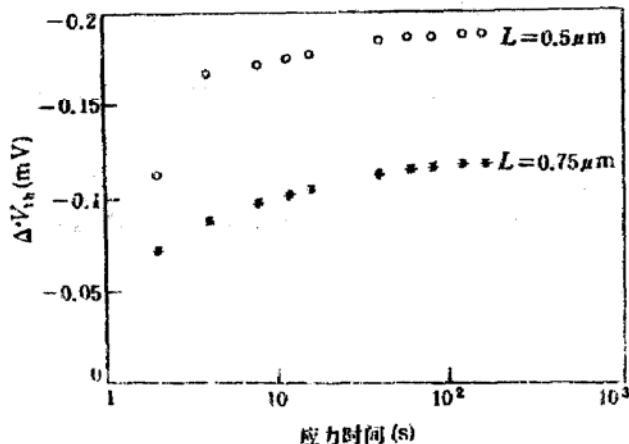


图 1 漏雪崩应力条件下开启电压变化和应力时间的关系曲线 应力电流为 $5 \times 10^{-6}\text{A}$, $W=20\mu\text{m}$

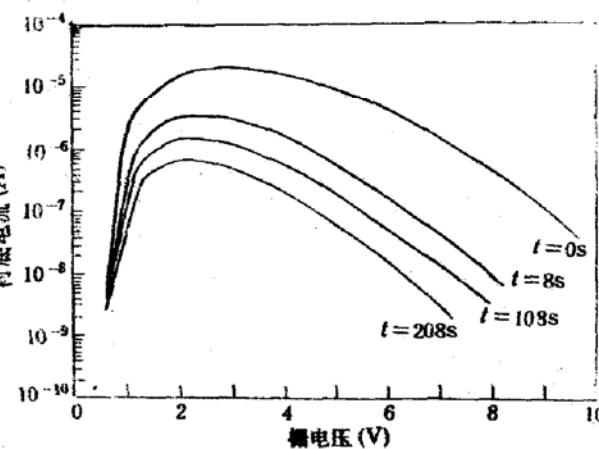


图 2 漏雪崩应力条件下不同应力时间时器件衬底电流特性 $W=20\mu\text{m}$, $L=0.75\mu\text{m}$, 应力电流 = $5 \times 10^{-6}\text{A}$, 测试条件为 $V_d=5\text{V}$, $V_{sub}=0\text{V}$

变慢并呈现饱和趋势。这与恒压应力条件下的器件退变特性有明显区别。(3)应力过程中, 器件的开启电压和衬底电流不断减小, 呈现空穴陷阱电荷影响下的退变特征^[8]。这里需要特别强调的是, 在我们的漏雪崩应力实验中, 开启电压和衬底电流均单调减小, 直到应力时间超过 200 秒时, 器件特性变化仍未发现任何开启电压和衬底电流随应力时间增加的迹象, 意味着漏雪崩应力过程中棚氧化层内没有大量负电荷产生。这与 Kuan-Yu Fu 等人给出的实验结果不同。为了理解和证实这一实验结果, 有必要对漏雪崩应力退变的实验本身进行较细致地考察。和 Fu 等人的实验测试条件相比, 进行应力过程中的衬底电流监测时我们采用了较低漏电压($V_d=5\text{V}$, 而 Fu 等人的实验中, $V_d=7\text{V}$)以尽量避免测试过程中可能引入的电子注入电荷的影响。这是因为一定的衬底电流意味着器件中存在一定程度的电子注入效应^[3]。而且有大量实验结果说明预先的空穴注入应力对其后的电子注入退变有明显的增强作用^[2, 9]。因此, 我

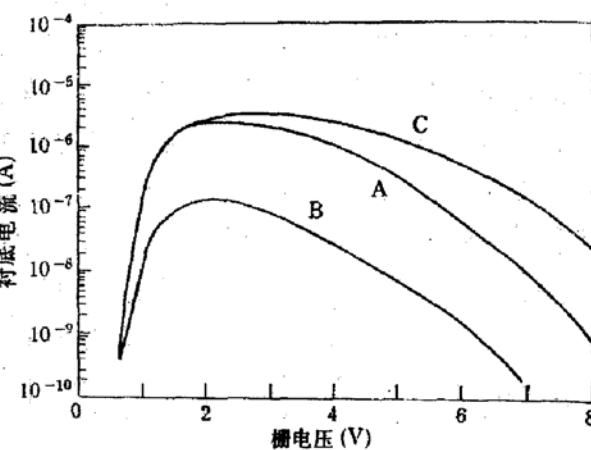


图 3 漏雪崩应力后不同测试条件时的衬底电流特性
A: 应力前曲线, B: DAS 应力后直接测试时曲线, C: DAS 应力后并经高漏电压(7V)测试后曲线 $W=4.5\mu\text{m}$, $L=0.75\mu\text{m}$, 应力电流 = $5 \times 10^{-6}\text{A}$, 应力时间 = 20 秒, 测试漏电压 $V_d=5\text{V}$

们认为 Fu 等人的实验中的负电荷效应可能是衬底电流测试漏电压选择过高,导致附加的电子注入效应而造成的。图 3 给出的是我们的器件经过恒流应力后在不同漏电压下测试得到的衬底电流曲线。其中曲线 A 是应力前原始的衬底电流曲线;曲线 B 是器件经过 20 秒的恒流应力后直接以 5V 漏电压测得的衬底电流曲线;曲线 C 是器件经过 20 秒的恒流应力并且经过漏电压为 7V 的衬底电流测试(栅电压变化范围从 0V 到 8V)后仍以 5V 漏电压测试得到的衬底电流特性曲线。由图 3 可以看出,器件经过漏雪崩应力后,通常衬底电流明显减小,但经过高漏电压($V_d=7V$)的衬底电流测试后,则器件的衬底电流反而增加。大量实验结果还表明,恒流应力时间越长,则高漏电压衬底电流测试时所引起的衬底电流增加的幅度就越大。在上面实验条件下器件开启电压变化的情况也与此类似。表 1 给出了经过恒流应力后测试条件对开启电压影响的实验结果。可以看出,经过一定时间的

表 1 DAS 应力后测试条件对器件特性的影响($I \times 10^{-6}A W = 20\mu m L = 0.75\mu m$)

DAS 应力时间(s)	开 始 电 压 变 化 (mV)		
	DAS 应力后	$V_d=5V$ 衬底电流测试后	$V_d=7V$ 衬底电流测试后
2	-18	-9	24
10	-27	-16	86
20	-34	-20	141

漏雪崩恒流应力后,在未作衬底电流测试之前,器件的开启电压减小。应力时间越长,则器件的开启电压减小的幅度越大。这与图 2 中衬底电流的测试结果相同,说明栅氧化层中以空穴注入形成的正电荷中心的影响为主。但经过衬底电流特性测试之后,则器件开启电压回升。当测试漏电压为 5V 时,开启电压回升幅度较小,器件的开启电压变化仍为负值。而经过漏电压为 7V 的衬底电流特性测试(栅电压从 0V 到 5V)后则器件的开启电压变化由原来的负值回升为正值。即和应力前相比,这时的器件开启电压表现为增加而不再是减小。恒流应力时间越长,这一变化也越明显。这说明在仅有漏雪崩应力情况下,栅氧化层中空穴注入形成的空穴陷阱电荷对器件特性退变起主要作用。然而若在恒流应力过程中,同时还进行高漏电压条件下的衬底电流测试,器件中便会产生十分强烈的热电子(向栅中)注入效应,这时器件呈现栅氧化层中负电荷影响为主的退变特性。值得强调的是,如果对没有经过预先漏雪崩应力的器件进行衬底电流测试后,器件特性并不呈现出明显的退变效应。和文献[9]中给出的类似,这从另一角度说明,在热载流子退变过程中,空穴电荷注入的影响作用是至关重要的^[9]。

三、恒流应力对栅介质击穿特性的影响

由上面讨论知道,恒流应力下可使大量空穴注入到栅氧化层中从而在 Si-SiO₂ 界面附近产生大量空穴陷阱电荷。下面讨论这些空穴陷阱电荷对栅氧化层介质特性的影响。

这里,我们采用常用的 Q_{bd} 参数描述栅氧化层的介质击穿特性^[10]。一般定义 Q_{bd} 参数为, $Q_{bd} = J_g \cdot t_{bd}$; J_g 为施加于栅氧化层的恒定电流密度。 t_{bd} 为使器件栅氧化层发生击穿所需的时间。 Q_{bd} 值越大,即说明介质质量越高。 Q_{bd} 的测试方法是将源漏和衬底均接地,在栅上施加一恒定电流,并监测栅电压随时间的变化。图 4 给出了不同栅电流下得到的栅电压

随时间变化的曲线。可以看出经过一定时间后，栅电压由开始的缓慢增加突变为急剧减小。

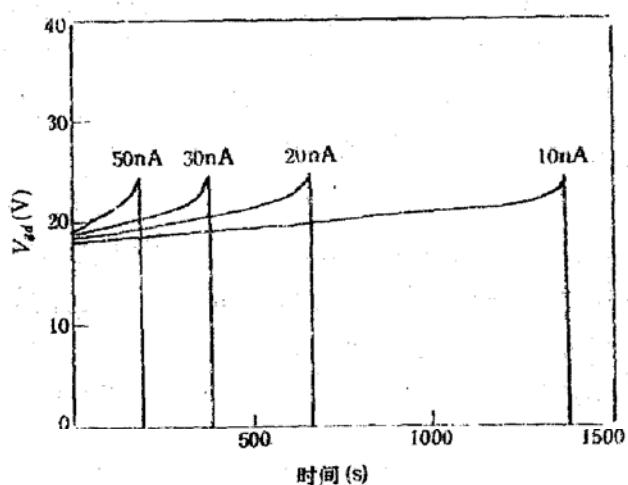


图 4 不同栅电流时的栅电压随时间变化曲线
 $W = 20\mu\text{m}$, $L = 0.75\mu\text{m}$

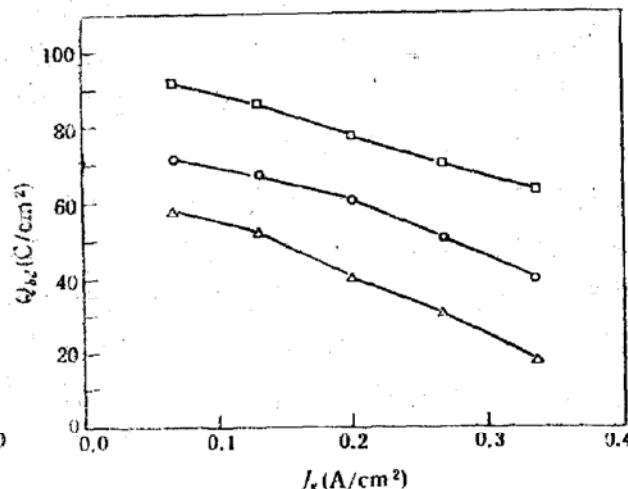


图 5 Q_{bd} 值与栅注入电流密度的关系曲线 $W = 20\mu\text{m}$
 $L = 0.75\mu\text{m}$ □: 没有经过 DAS; ○: DAS 应力电流 =
 $5 \times 10^{-7}\text{A}$; △: DAS 应力电流 = $1 \times 10^{-6}\text{A}$

至近似为零伏, 这时意味着栅氧化层已经击穿^[11]。栅上施加的恒定电流越大, 则栅氧化层发生击穿所对应的时间越短。

图 5 给出了器件漏雪崩恒流应力后, Q_{bd} 与栅注入电流关系的变化情况。可以看出, 漏雪崩应力使栅氧化层的 Q_{bd} 值明显降低。漏雪崩应力所施加的注入电流越大, 则 Q_{bd} 值的减小就越明显。这意味着漏雪崩应力期间引入的空穴陷阱电荷会使器件栅氧化层的介质击穿特性变差。

空穴陷阱电荷使介质击穿电压降低的机理可用文献[11]给出的空穴陷阱电荷感应氧化层击穿模型来解释。根据该模型, 在高场电流注入情况下, 电子以 Fowler-Nordheim 隧道方式进入 SiO_2 , 其中一部分高能电子在 SiO_2 中产生碰撞离化, 所产生的一部分空穴陷落在 $\text{Si}-\text{SiO}_2$ 界面附近, 因而导致局部电场增强, 局部电导亦随之增强。由于局部电场和电导增强又加速了载流子的碰撞离化和陷落积聚, 从而形成正反馈过程, 最终使栅氧化层产生击穿。当器件未经漏雪崩应力时, 在栅电流注入开始时栅氧化层中没有大量的空穴陷阱电荷存在, 因而要经过一定时间后栅氧化层中才能积累出较多的空穴陷阱正电荷以形成较强的正反馈过程, 所以这时器件栅氧化层的 Q_{bd} 值较大。而经漏雪崩应力后, 在器件栅氧化层中形成了较多的空穴陷阱正电荷, 所以在栅电流注入情况下, 使空穴陷阱电荷积累到形成强正反馈以至击穿所需的时间大大缩短, 因而这时栅氧化层的 Q_{bd} 值降低。漏端雪崩离化形成的空穴注入会使栅氧化层击穿特性变坏, 在实际电路应用中, 是一个不容忽视的严重问题。

四、结束语

由前面分析可知:

(1)漏雪崩恒流应力(DAS)条件下的器件退变特性和一般恒压应力条件下的器件退变行为不同, 器件退变速率较快, 但有饱和趋势。在只有 DAS 条件(中间没有高漏电压条

件测试过程的影响)下,器件退变完全由空穴注入形成的正陷阱电荷态所决定。器件在 DAS 应力实验中出现的受主界面态负电荷引起的特性退变特征是由于衬底电流测试过程中引入了热电子向栅氧化层中注入过程的结果。

(2)漏雪崩恒流应力热空穴注入在栅氧化层中形成的正陷阱电荷,不但对其后的热电子注入过程有增强作用,而且可明显影响栅氧化层的介质击穿特性。DAS 应力过程栅氧化层中引入的空穴电荷数目越多,则栅氧化层的介质击穿特性就越差。因此,在实际电路应用中,应尽量使器件避免出现类似于漏雪崩的情况。

致谢: 本文实验样品制备和器件测试是在清华大学微电子研究所南区工艺线和 1 微米工艺线各位老师的辛勤努力和大力支持下完成的,在此表示深切谢意。

参 考 文 献

- [1] E. Takeda, et al., IEE Proceedings, 131(Pt. I-5), 153(1984).
- [2] K. R. Hofmann, et al., IEEE Trans. Electron Devices, ED-32(3), 691(1985).
- [3] C. Hu, et al., IEEE Trans. Electron Devices, ED-32(3), 375(1985).
- [4] P. Heremans, et al., IEEE Trans. Electron Devices, ED-35(2), 2194(1988).
- [5] M. S. Liang, et al., IEDM Tech. Dig., 396(1981).
- [6] A. Bhattacharyya, IEEE Trans. Electron Devices, ED-33(9), 1329(1986).
- [7] Kuan-Yu Fu, et al., IEEE Electron Device Letters, EDL-8(4), 132, 1987.
- [8] Ker-Wen Teng, et al., Solid-state Electronics, 31(10), 533(1988).
- [9] 程玉华,清华大学博士学位论文,(1989.10)
- [10] I. C. Chen, et al., IEDM Tech. Dig., 660(1986).
- [11] I. C. Chen, et al., IEEE Trans. Electron Devices, ED-32(2), 413(1985).
- [12] 程玉华,半导体学报,14,(1993).

Study on the Characteristics of Drain Avalanche Stress Induced Hot Carrier Effects in N-Channel Submicron MOSFET's

Cheng Yuhua, Li Ruiwei and Li Zhijian

Institute of Microelectronics, Tsinghua University, Beijing 100084

(Received 12 May 1992; revised manuscript received 1 December 1992)

Abstract

An experimental investigation on the hot carrier effects in N-channel submicron MOSFET's at drain avalanche stress (DAS) is presented. The experiment results show that under DAS, hot holes will be injected into gate oxide and form positive trap charges. The results show also that any additional electron-injection during drain avalanche stress may cause distinct change in the degradation characteristics. In addition, the positive trap charges formed by DAS will degrade the breakdown performance of the gate oxide.

EEACC: 0170N, 2560R