

不同应力条件下亚微米 MOSFET's 热载流子退变特性实验研究

程玉华* 李瑞伟 李志坚

清华大学微电子学研究所, 北京 100084

(1992 年 4 月 3 日收到)

本文对 N 沟道亚微米器件在不同应力条件下的热载流子退变特性进行了实验研究。实验结果表明, 热空穴注入对器件的热载流子退变特性有重要影响。文章对不同应力条件下器件中的热空穴注入与热电子注入的相互作用进行了分析。

EEACC: 0170N, 2560R

一、引言

随着超大规模集成电路的迅速发展, 器件尺寸越来越小, 热载流子退变效应已成为限制电路性能和可靠性的严重问题。人们从多方面对此进行了研究, 取得了许多有意义的成果^[1-4], 热载流子效应的某些抑制结构已经应用到实际电路中去^[5,6]。但到目前为止, 仍存在许多有待进一步研究的现象和问题^[7]。其中热载流子退变机理以及器件退变和热载流子注入条件之间的联系等依然是探讨的主题^[8,9]。

本文对 N 沟道亚微米 MOSFET's 在不同应力条件下的热载流子退变效应进行综合的实验研究。目的是理解器件热载流子退变效应的物理机制, 特别是空穴注入在退变过程中的作用, 并在此基础上分析应力条件和热载流子退变特性的相互联系。

二、实验结果

实验样品为硅栅 NMOS 晶体管, 衬底电阻率为 $30\text{--}50\Omega \cdot \text{cm}$, 源漏结深约为 $0.25\mu\text{m}$, 栅氧化层厚度大约为 25nm , 图 1 给出了有效沟道长度为 $0.5\mu\text{m}$ 和 $1\mu\text{m}$ 器件剖面的扫描电镜照片。

图 2 给出的是 $0.75\mu\text{m}$ 器件在先后受电子注入和空穴注入应力时的退变情况。器件的退变用开启电压的变化量 ΔV_{th} 来描述。由图 2 看出, 受电子注入应力之后, 开启电压变化不大略有增加, 其后空穴注入应力引起的开启电压变化方向相反, 开启电压减小。这意味着, 在 $V_g = V_d = 6\text{V}$ 的单纯电子注入应力条件下, 栅氧化层中产生的负电荷较少。

* 现在工作单位: 北京大学微电子学研究所。

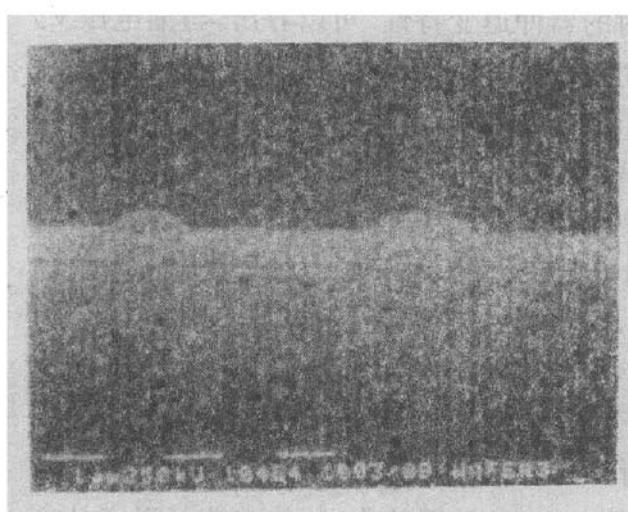


图1 实验样品的剖面扫描电镜照片

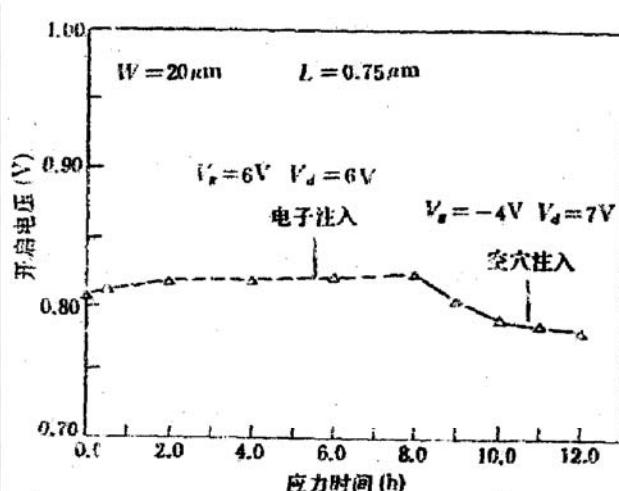


图2 先电子注入后空穴注入器件退变特性

图3给出的是先对器件施加空穴注入应力($V_g = -4V$, $V_d = 7V$; 应力时间4h)然后立即施加电子注入应力($V_g = 6V$, $V_d = 6V$; 应力时间4h)时的退变特性。可以看出, 空穴注入应力期间, 器件的开启电压减小而跨导略有增加, 说明栅氧化层中引入了正的陷阱电荷^[10]。随后再施加电子注入应力, 则器件的开启电压大幅度增加, 与之相应跨导减小。与图2的结果相比可知, 没经过预先空穴注入的器件, 电子注入引起的器件退变速率很慢, 而经过预先空穴注入的器件, 则在较短的电子注入应力时间内器件就产生明显退变。大量实验结果证实, 预先空穴注入的退变幅度越大, 则随后电子注入所导致的退变增强现象越明显, 这意味着事先的热空穴注入对器件退变特性有重要的影响。

为了进一步考察热空穴注入对器件影响的性质, 我们进行了应力后退变的恢复实验, 即把已发生退变的器件的源、漏和衬底电极均接地, 而对栅极施加一定极性的偏压, 然后观察器件特性的变化情况。图4为经空穴注入后器件退变特性恢复的实验结果。可以看出, 当栅上加负偏压时, 器件的退变特性没有明显变化, 而当栅上施加正偏压时, 则器件开启电压增加, 随着恢复应力时间增加, 开启电压甚至可以达到加应力前的数值。这说明空穴注入在栅氧化层中形成的正电荷中心不是比较稳定的受主型界面态, 而是一种不稳定的电荷态, 也就是说, 在单纯空穴应力的过程中, 栅氧化层中形成的主要还是正陷阱电荷。

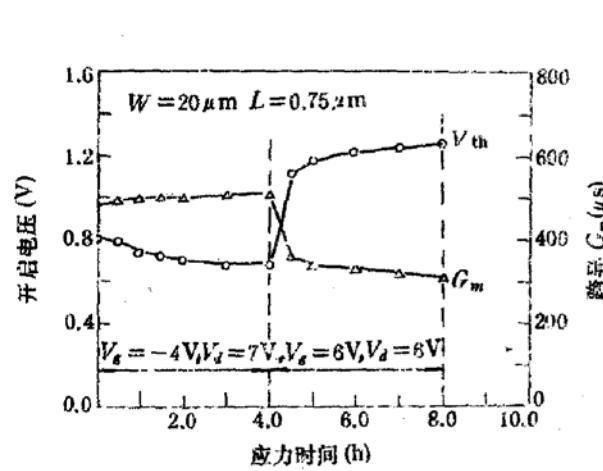


图3 先空穴注入再电子注入时的器件退变特性

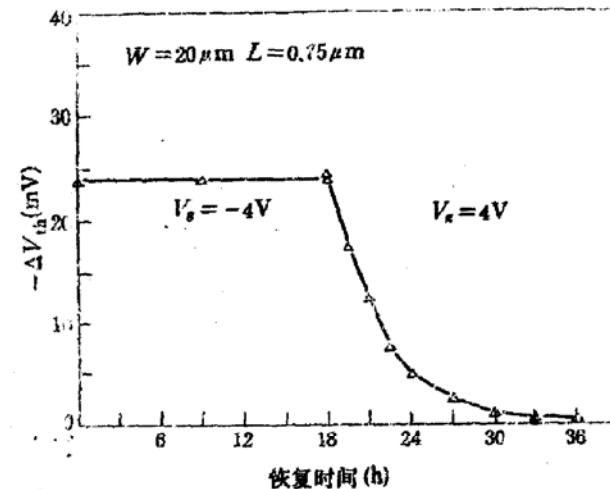


图4 空穴注入后退变器件的恢复特性

图 5 是在中等栅电压(2V)下不同漏电压时的器件退变特性。可以看出,当漏电压 V_d 达到某一值时,发生明显的增强退变。图中也给出了器件的源漏电流特性,可看出器件发生增强退变的临界漏电压位于源漏特性的临界击穿区域。

图 6 给出的是不同栅偏压应力条件下用 ΔV_{tb} 和 ΔV_{ga} 两个参数描述的器件退变特性。采用 ΔV_{ga} 参数是为了描述漏端附近栅氧化层中电荷的变化情况。 ΔV_{ga} 定义为应力前后对应于相同 I_{sub}/I_s (衬底电流与源电流之比)的栅电压变化量。由于 I_{sub}/I_s 与漏附近栅电场有关,当漏端附近栅氧化层中注入电荷为负时, ΔV_{ga} 为负,当漏端注入电荷为正时, ΔV_{ga} 为正^[11],由图 6 可以看出,当 V_g 小于某一值(此例中约为 1V)时, $\Delta V_{tb} < 0$, $\Delta V_{ga} > 0$,说明这时栅氧化层中注入的主要正电荷。当 V_g 大于某值(此例中约为 1.6V)时, $\Delta V_{tb} > 0$, $\Delta V_{ga} < 0$,说明这时栅氧化层中注入的主要负电荷,而且这时热载流子注入产生的负电荷数目较多,器件退变幅度较大。但随 V_g 的进一步增加, ΔV_{tb} 转而减小,即热载流子退变效应减弱。当 V_g 处于上述两值之间时 $\Delta V_{tb} > 0$, $\Delta V_{ga} > 0$,意味着这时栅氧化层总体受负电荷的影响,因而使 ΔV_{tb} 由负变正。但在漏端附近仍然是以正电荷的影响为主。因而 ΔV_{ga} 大于 0,这些结果说明,在不同的栅电压应力条件下,热载流子沿沟道向栅氧化层注入的情况是不同的。

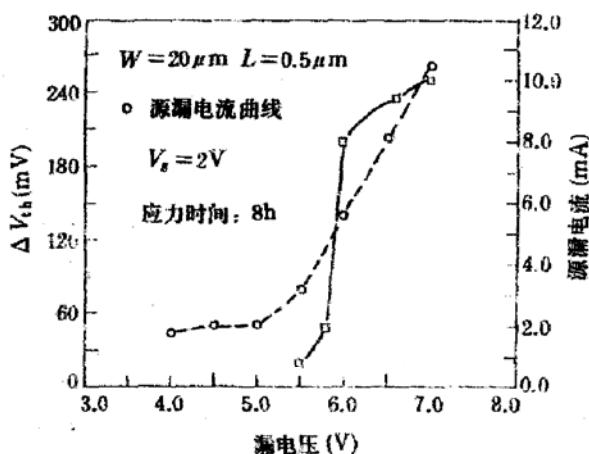


图 5 不同漏电压应力条件下的器件退变特性

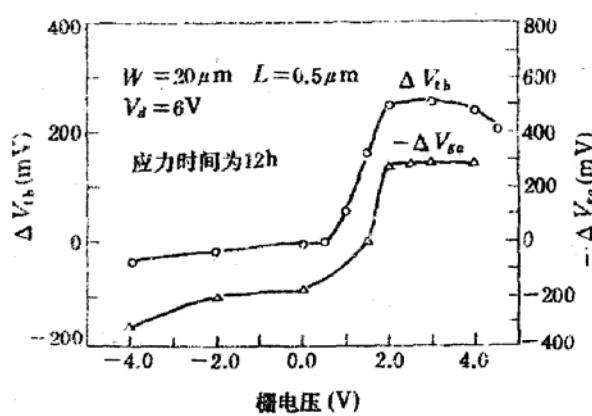


图 6 不同栅电压应力条件下的器件退变特性

三、实验结果分析

1. 热空穴注入在器件退变过程中的作用

如前所述,热空穴注入对器件退变有很大的影响。但由于单纯的空穴注入形成的电荷并不稳定。我们认为器件的增强退变不是由于空穴注入导致大量受主型界面陷阱缺陷产生,而是由于空穴注入产生的正陷阱电荷中心有助于后面的电子注入过程所造成。

一般认为,空穴注入所形成的空穴陷阱电荷位于 Si-SiO₂ 界面附近大约 10nm 的区域内^[11]。这些空穴陷阱电荷的存在改变了 Si-SiO₂ 界面势垒。图 7 给出的是空穴注入前后栅氧化层 Si-SiO₂ 界面电子势垒的示意图。阴影部分代表空穴注入陷阱电荷所造成的电子界面势垒降低效应^[12]。在没有空穴注入的情况下,栅氧化层中的受主界面态主要是由于“高能”电子越过 Si-SiO₂ 界面势垒进入 SiO₂,并将界面处的某些键态打破而形成的。在有

空穴注入的情况下则变得比较复杂,栅氧化层中形成的空穴陷阱电荷,降低了电子注入界面势垒,使注入到栅氧化层中的可以破键的高能电子数量增加,从而在栅氧化层界面形成大量界面态。空穴注入并不完全是界面态产生的先决条件而只是为电子注入提供了有利条件,因而使可以破键的电子数目增加。

2. 空穴感应源势垒降低效应对器件退变的影响

有二维器件模拟结果表明^[13],对于短沟道器件,在较高的漏电压下,漏端雪崩离化产生的空穴不是象长沟器件那样直接流向衬底,而是沿沟道表面向源端移动,导致大量空穴堆积在源端附近,形成一种稳定的空穴浓度分布。越靠近源端空穴浓度越高甚至可超过衬底的受主掺杂浓度。空穴的堆积对源端的电位分布产生影响,使源端电子势垒降低,导致由源结向衬底的电子注入,这就是空穴感应源端势垒降低(HISBL)效应。这时,源-衬底-漏形成体内寄生NPN晶体管,该寄生效应可改变沟道内的电流和电场分布并引起输出电流特性向上弯曲^[7]。当存在 HISBL 效应时,源结的注入电流使总的漏极电流增加,从而使沟道中的碰撞离化增加。另外 HISBL 效应也改变了漏端附近的电场分布,使碰撞离化在漏端附近较大区域内产生。这两个原因导致热空穴的数量增加和向栅氧化层的注入区域展宽。根据前面的分析,较多的热空穴参与将使器件退变加剧从而产生增强退变现象。由于短沟道器件容易产生 HISBL 效应,可改变器件的热载流子退变特性,因此在用加速应力方法预期亚微米器件工作寿命时应该考虑到这一因素的影响。

3. 不同栅电压下的器件退变

器件处于一定应力条件时(如 $V_g=2V, V_d=7V$)的栅氧化层中的电场分布示意图由图 8 给出。和 P 点左面区域相比,P 点右面的电子界面势垒较高而空穴界面势垒较低,这

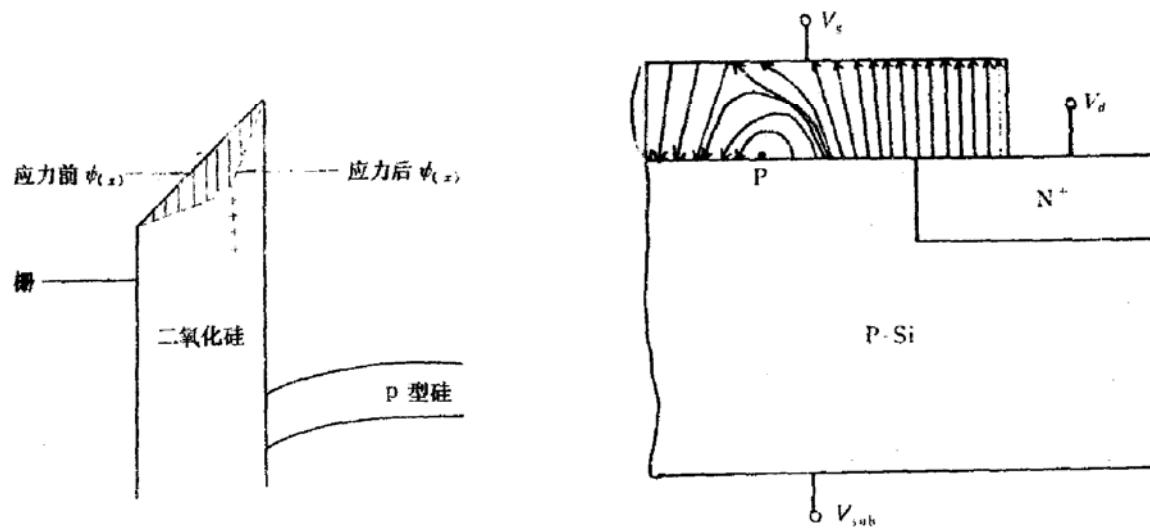


图 7 空穴感应界面势垒降低示意图

图 8 饱和工作状态下栅氧化层中的电场分布示意图

使 P 点右面区域的空穴注入数量较多而电子注入数目较少。P 点左面区域则可以认为是电子注入区域而空穴注入的数目较少。P 点的位置与应力条件有关,当漏电压不变时,栅电压越小,则 P 点位置距漏端越远,即适合于空穴注入的区域越宽,反之,当栅电压增加时,则 P 点移向漏端,即适合于电子注入的区域变宽。由图 6 可知,当栅电压小于某值(图 6 中为 1V)时,注入器件退变特性表现出 $\Delta V_{th} < 0, \Delta V_{sd} > 0$ 的退变特征,这可认为在整个

沟道区域基本都是空穴注入区域,随着栅电压的逐渐升高,适合于空穴注入的区域逐渐变小,与此相应电子注入区域则逐渐增加,从而使 ΔV_{th} 由负变正。当 ΔV_{ga} 仍大于 0 时,漏端附近依然以空穴电荷的注入的影响为主。当栅电压继续增加至某值以致器件中可发生严重的碰撞离化时,漏端附近大量空穴注入到栅氧化层中因而明显降低该区域的电子界面势垒,这相当于图 8 中的 P 点向漏端移动,在 P 点移动的范围内较多的高能电子注入到栅氧化层中从而形成大量受主型界面态。最后,界面态负电荷可以补偿空穴陷阱电荷的作用,因此器件特性表现出以负电荷影响为主的退变特征,由于在该应力条件下存在大量电子、空穴注入并相互影响,因而产生的界面态电荷较多,所以器件的退变幅度较大。当栅电压进一步增加而大于某值(图 6 中约为 2.5V)后,随着栅偏压增加,适合于空穴注入的区域变得越来越小,当 $V_g = V_d$ 时,在整个沟道区域基本均为电子注入区域,这时器件退变特性主要是由某些高能电子注入到栅氧化层中形成的负电荷所决定^[1]。由于这时电子注入产生的电子陷阱电荷数目较少,因而器件退变幅度(ΔV_{th})比较小。

根据上面分析可知,不同的栅偏压应力条件可能对应不同的热载流子退变过程。当栅偏压较低时($V_g \approx V_d$),栅氧化层中以空穴注入产生的空穴陷阱电荷的影响为主;当 V_g 较高时($V_g \geq V_d$),栅氧化层中以电子注入产生的负界面电荷的影响为主;当 V_g 在 $\frac{1}{2}V_d$ 附近时,则栅氧化层中以空穴注入和电子注入相互作用产生的界面态的影响为主。因空穴注入后可以降低电子注入界面势垒,从而使能够破键的注入高能电子数量大大增加而形成大量界面态。所以,在存在大量空穴注入并且电子和空穴可以发生相互作用的应力条件下,器件的热载流子退变现象最为明显。

四、结束语

本文在大量实验结果的基础上,对亚微米器件在不同应力条件下的热载流子退变现象进行了研究。实验结果表明,不同应力条件下器件中所形成的界面电荷特性(从而器件退变特性)不同。热空穴的存在对器件退变特性的影响十分明显。不同应力条件下的器件退变增强现象均与热空穴注入有关。在既有空穴注入又有电子注入的所谓双载流子注入的应力条件下器件的热载流子退变现象最为明显。

致谢: 本文中实验样品制备和器件测试是在清华大学微电子学研究所南区工艺线和 1 微米工艺线各位老师的辛勤努力和大力支持下完成的。在此表示深切谢意。

参 考 文 献

- [1] E. Takeda, et al., IEE Proceedings, 131Pt. I(5), 153(1984).
- [2] C. Hu, et al., IEEE Trans. Electron Devices, ED-32(2), 375(1985).
- [3] K. R. Hofmann, et al., IEEE Trans. Electron Devices, ED-32(3), 691(1985).
- [4] P. Heremans, et al., IEEE Trans. Electron Devices, ED-35(12), 2194(1988).
- [5] T. Sakurai, et al., IEEE Journal of Solid-State Circuits, SC-21(1), 187(1986).
- [6] M. Koyanagi, et al., IEEE Trans. Electron Devices, ED-32(3), 562(1985).
- [7] 程玉华, 清华大学博士学位论文,(1989.10).
- [8] R. R. Troutman, IEEE Trans. Electron Devices, ED-23(4), 419(1976).

- [9] K. Yokoyama, et al., *Solid-State Electronics*, **25**(2), 201(1982).
- [10] Kuan-Yu Fu, et al., *IEEE Electron Device Lett.*, **EDL-8**(4), 132(1987).
- [11] J. Chung, et al., *IEDM Tech Dig.*, 200(1988).
- [12] S. Tam, et al., *IEEE Trans. Electron Devices*, **ED-31**(9), 1116(1984).
- [13] A. Schutz, et al., *Solid-State Electronics*, **25**(3), 177(1982).

Experimental Investigation on Hot-Carrier-Induced Degradation Effects in Submicron MOSFETs under Different Stress Conditions

Cheng Yuhua, Li Ruiwei and Li Zhiqian

Institute of Microelectronics, Tsinghua University, Beijing 100084

(Received 3 April 1992)

Abstract

An experimental investigation on hot-carrier-induced degradation effects in submicron MOSFETs was performed under different stress conditions. Experimental results show that the degradation of devices is dependent on the stress conditions and the degradation effects is enhanced under some stress conditions related to the injection of holes. A hot-carrier-induced degradation mechanism including the injection effects of hot holes was suggested to understand the observed experimental results.

EEACC. 0170N, 2560R