

# 一种新的相位开关实现技术及其在射频双模预分频器中的应用

池保勇 石秉学

(清华大学微电子学研究所, 北京 100084)

**摘要:** 提出了一种新的相位开关实现技术. 基于这种技术设计了一个 2/3 分频器单元, 该单元结构简单, 工作频率高, 功耗低. 为了验证该技术, 采用  $0.25\mu\text{m}$  CMOS 数字工艺实现了一个 128/129 双模预分频器. 对该芯片的测试结果表明其能正确工作于 GHz 频率范围. 当工作频率为 2.3GHz 时, 它消耗的电流仅为 13.5mA(2.5V 电源电压), 芯片面积为  $0.47\text{mm} \times 0.47\text{mm}$ .

**关键词:** 相位开关; 双模预分频器; 射频; CMOS

**EEACC:** 1265B; 2570D

**中图分类号:** TN 79<sup>+1</sup>

**文献标识码:** A

**文章编号:** 0253-4177(2003)01-0085-05

## 1 引言

在通信系统中, 锁相环型频率合成器得到了广泛的应用, 它们的最高工作频率一般受限于环路中的两个高频模块: 压控振荡器和分频器. 分频器一般采用双模预分频器结构. 由于其工作频率高, 应用于射频领域的预分频器大多数采用双极或者镓砷工艺实现. 但是, 随着 CMOS 晶体管特征尺寸的缩小, 使用 CMOS 工艺来实现 GHz 双模预分频器已经成为可能<sup>[1-5]</sup>.

射频 128/129 双模预分频器通常由一个同步 4/5 分频器单元和一个异步 32 分频器单元组成, 或者由一个 2/3 分频器单元和一个异步 64 分频器单元组成. 同步 4/5 或者 2/3 分频器单元一般由锁存器或者 D 触发器和一些逻辑门组成, 它们工作于最高频率下, 它们的速度决定了整个预分频器所能工作的最高频率. 另外, 这个部分的功耗也是最高的. 随着工作频率的不断提高, 这个部分的设计也变得越来越困难.

文献[6~8, 10]提出了采用相位开关技术来实现分频的功能, 但是电路设计上很复杂, 它的高频部分由两个主从 D 触发器, 两个开关型放大器和一些逻辑门组成. 由于所采用的 D 触发器只有有限的输出摆幅, 开关型放大器设计起来存在一定的困难, 而且还可能会产生毛刺.

本文提出了一种新的相位开关实现技术. 基于这种技术设计了一个 2/3 分频器单元, 该单元结构简单, 工作频率高, 功耗低. 为了验证该技术, 使用  $0.25\mu\text{m}$  CMOS 数字工艺实现了一个 128/129 双模预分频器. 对该芯片的测试结果表明其能正确工作于 GHz 频率范围. 当工作频率为 2.3GHz 时, 它消耗的电流仅为 13.5mA(2.5V 电源电压), 芯片面积为  $0.47\text{mm} \times 0.47\text{mm}$ .

本文由五部分组成, 第二部分阐述了相位开关实现技术以及基于此技术而设计的 2/3 分频器单元; 第三部分详细描述了 128/129 双模预分频器的结构; 第四部分给出了测试结果; 最后一部分对本文的工作进行了总结.

池保勇 男, 博士研究生, 研究方向为模拟和射频前端电路设计.

石秉学 男, 教授, 博士生导师, 研究方向包括数模混合信号设计、人工神经网络和模糊逻辑的 VLSI 实现, DC-DC 变换器和射频电路设计技术.

2002-03-30 收到, 2002-06-12 定稿

© 2003 中国电子学会

## 2 相位开关实现技术和 2/3 分频器单元

我们采用一个 2/3 分频器单元和一个异步 64 分频器单元组成 128/129 预分频器。2/3 分频器单元的方框图示于图 1 中<sup>[9]</sup>。它由一个主从触发器和一个相位选择模块构成。我们所提出的主从触发器由两个锁存器构成，每一个锁存器均如图 2 所示。M2、M3 是一差分对，M4、M5 作为它们的负载。当钟控 NMOS 管 M1 工作时(C+ 为高电平)，根据输

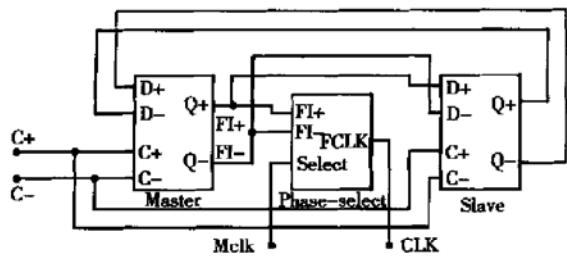


图 1 2/3 分频器单元的方框图

Fig. 1 Block diagram of 2/3 divider cell

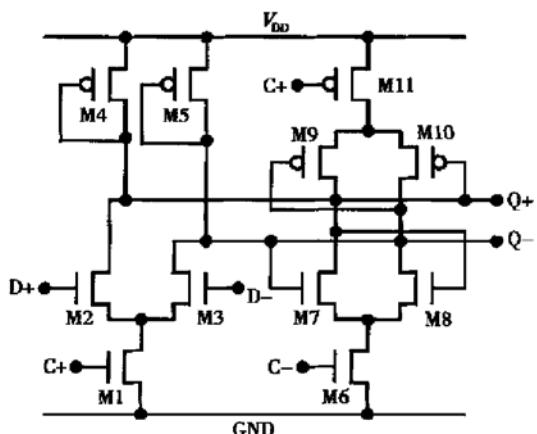


图 2 锁存器

Fig. 2 Latch

入信号(D+, D-)之间的电压差的大小，在差分对的输出端将产生一定的电势差。当 C+ 变为低电平，C- 变为高电平时，互补耦合对 M7/M8 和 M9/M10 开始工作，差分对两端之间的电势差得到放大，锁存器处于锁存状态。使用互补耦合对 M7/M8 和 M9/M10 替代一个 NMOS 耦合对 M7/M8 的目的是在保证不降低电路速度的前提下，尽可能地提高输出信号(Q+, Q-)的摆幅。如果输出信号的摆幅足够

强，它将可以直接驱动后级的相位选择模块，这样在进行相位选择之前，不再需要对信号进行放大，可以降低电路设计的复杂性，并且提高了电路的工作速度。

相位选择模块示于图 3(a) 中。当 Mclk 出现一个脉冲时，D 触发器改变它的状态。由于这个触发器工作在低频下，对它的速度没有要求，可以采用普通的 D 触发器(如通用的 TSPC D 触发器)。该模块选择 FI+ 还是 FI- 作为它的输出是由 MD+ 和 MD- 的值决定的。所以当 Mclk 来了一个脉冲时，输出信号 CLK 将在 FI+ 和 FI- 之间进行切换。图 3(b) 给出了这种相位选择技术的原理。当 Mclk 没有脉冲时，CLK 输出 FI+，其频率是输入频率的 1/2。τ₀ 时刻，Mclk 出现一脉冲，CLK 从 FI+ 切换到 FI-，在这个周期内，其时钟频率将是输入频率的 1/3。之后，CLK 的频率又将恢复到输入频率的 1/2。这样就实现了 2/3 分频器的功能。

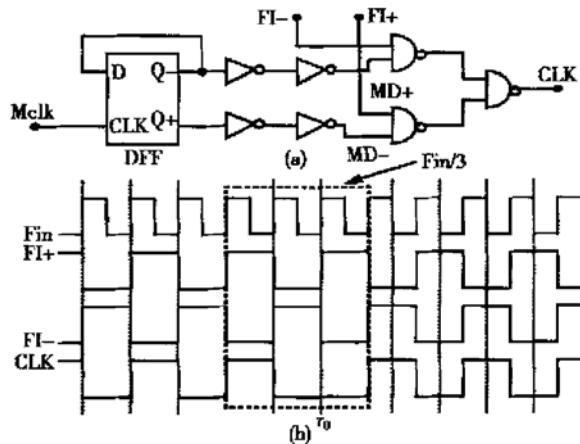


图 3 (a) 相位选择模块；(b) 相位开关技术原理

Fig. 3 (a) Phase-selection block; (b) Principle of phase-switching technique

CLK 在 FI+ 和 FI- 之间进行切换的过程中，可能会产生一些毛刺，这将严重地干扰电路的正常工作。图 4 揭示了这个严重的问题。为简单起见，仅仅讨论 CLK 从 FI+ 切换到 FI- 的过程，并且假设开始时 MD+ 是高电平，MD- 是低电平。如果 MD- 改变它的状态很快，以致于在 MD- 上升到与非门的阈值电平时，FI- 信号还没有下降到与非门的阈值电平以下，CLK 将改变它的选择，从而在 CLK 上产生一个毛刺。如果 MD+ 改变它的状态很慢，以致于下一个周期的 FI+ 信号已经上升到与非门的阈值电平时，MD+ 还没有下降到与非门的阈

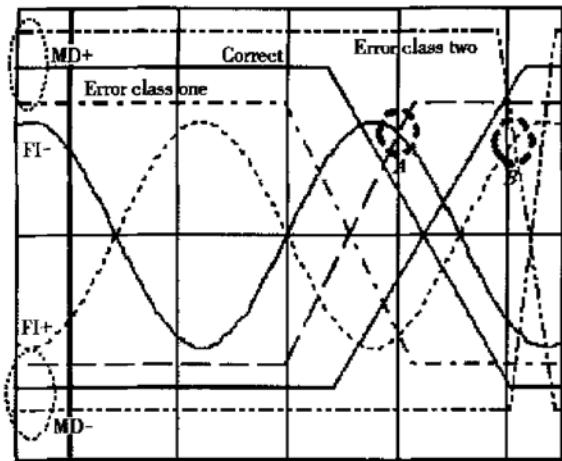


图4 CLK上产生毛刺的原因揭示

Fig. 4 Illustration of the risk of spikes in CLK at the transition from FI+ to FI-

值电平之下, CLK 将选择 FI+, 也会产生毛刺. 只有当 MD- 改变它的状态不太快, MD+ 改变它的状态不太慢时, CLK 才不会产生毛刺. 相位选择模块中的四个反相器就是为此加入的. 这个 2/3 分频器单元各部分的尺寸是在考虑到各种工艺变化和环境温度变化的情况下, 经过多次 HSPICE 模拟得到的. 该部分的设计不是为了追求最大速度, 而是为了保证在各种工艺变化(厂家提供的最坏工艺情况)和环境温度变化( $0\sim 80^{\circ}\text{C}$ )时仍能保证该部分操作的正确性.

为了验证其性能, 这个 2/3 分频器单元使用 HSPICE 49 级晶体管模型进行了模拟, 所使用的工艺是 TSMC  $0.25\mu\text{m}$  1P5M 2.5V 标准数字工艺. 其瞬态模拟波形示于图 5 中, 时钟频率是 2.4GHz, 时

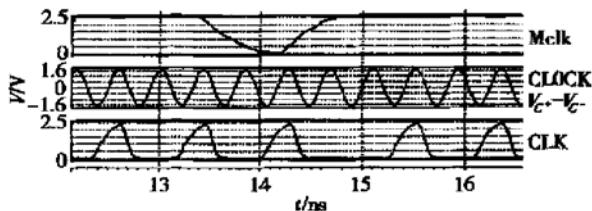


图5 2/3分频器瞬态模拟波形

Fig. 5 Transient waveforms of 2/3 divider cell

钟信号的幅度是 0.8V. 从图中可以看出, 当 Mclk 出现一个脉冲时, 分频比是 3; 而当 Mclk 没有脉冲时, 分频比是 2. 由于在控制信号 MD+, MD- 通道上加入了四个反相器, CLK 和输入时钟之间有一定的延迟, 但它对分频操作来说是没有影响的.

### 3 双模预分频器

128/129 双模预分频器的方框图示于图 6 中, 它仅仅需要 1.4V 的输入信号摆幅( $V_{\text{Fin}^+} - V_{\text{Fin}^-}$ ), 所以当它应用于锁相环中时可以直接被压控振荡器驱动. 尽管它需要差分输入, 但在集成电路实现中, 压控振荡器一般可以提供差分信号, 两者之间的结合不会需要其它的元件. 该分频器包括五个部分: 接口部分, 偏置电路, 2/3 分频器单元, 异步计数器和控制逻辑. 接口部分提供  $50\Omega$  的输入电阻和起隔直作用的 AC 耦合电容. 在集成锁相环中, 接口部分是可以省略的. 偏置电路为 ECL 主从触发器提供偏置电压. 2/3 分频器单元在上文已有论述. 控制逻辑控制 2/3 分频器的分频比. 当内部信号 Mclk 为高电平时, 2/3 分频器的分频比是 2; 当 Mclk 改变状态时, 分频比变为 3. 这个预分频器的分频比是由 Mode 信号来控制的.

异步计数器由六个 D 触发器组成, 它的工作频率是输入频率的 1/2 或者 1/3, 对其工作速度要求不高. 但为了保证整个电路具有良好的性能, 要求这一部分的功耗尽可能低, 而且不会产生尖峰, 也没有最低工作频率的限制. 在本双模预分频器中, 我们使用了 Qiuting Huang 和 Robert Rogenmoser 所提出的通用、快速 TSPC D 触发器<sup>[5]</sup>.

### 4 测试结果

为了验证其性能, 我们使用  $0.25\mu\text{m}$  2.5V CMOS 数字工艺实现了该 128/129 双模预分频器. 该分频器的设计不是为了追求最高工作频率, 而是为了保证该分频器在工艺变化和环境温度变化时仍能正确工作. 图 7 给出了它的芯片显微照片. 芯片面积为  $0.47\text{mm} \times 0.47\text{mm}$ , 核心电路面积仅为  $0.19\text{mm} \times 0.06\text{mm}$ . 为了测试的方便, 还引出了两个内部节点. 为了驱动外部负载, 这两个内部节点和  $F_{\text{out}}$  上都加入了四级大尺寸反相器缓冲器, 这些缓冲器消耗了很多功耗.

测试过程中使用了两个测量设备: 示波器和频率计, 示波器用来显示波形, 频率计用来测量频率. 图 8 给出了示波器测量到的 129 分频波形, 输入信号是幅度为 0.8V, 频率为 2.3GHz 的正弦波, 电源电压为 2.5V. 分频比进一步由频率计进行了验证,

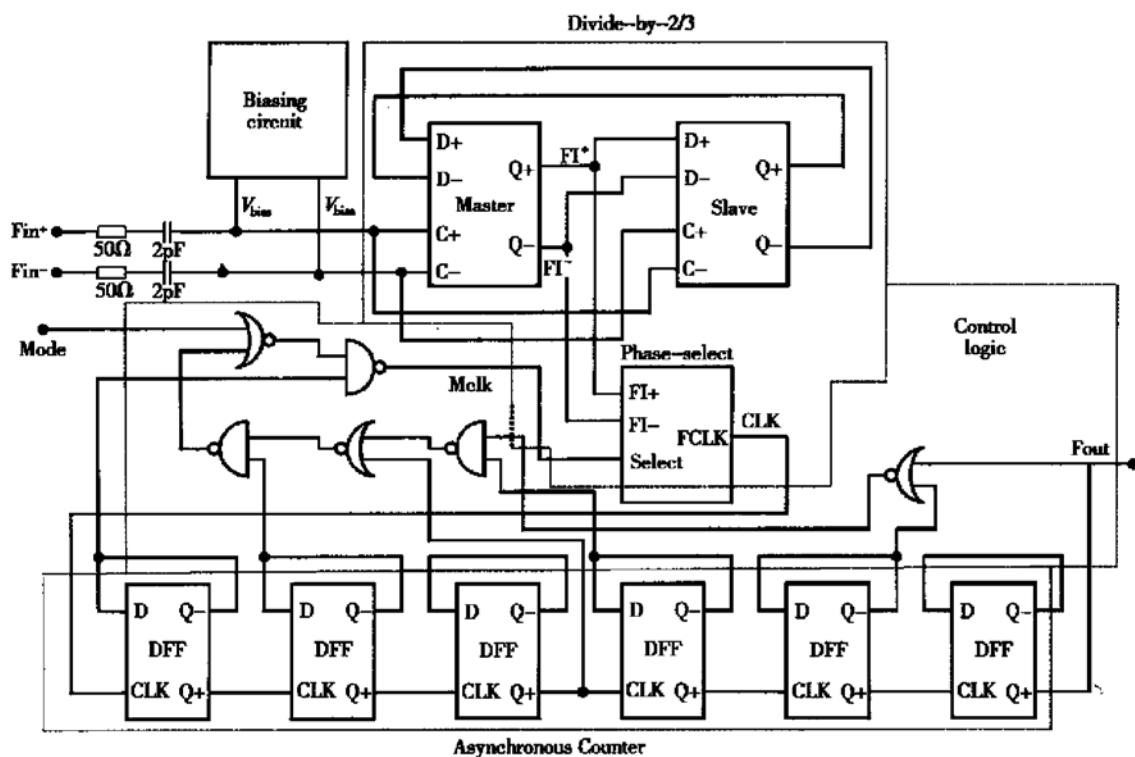


图 6 128/129 双模预分频器的方框图

Fig. 6 Block diagram of the proposed 128/129 prescaler

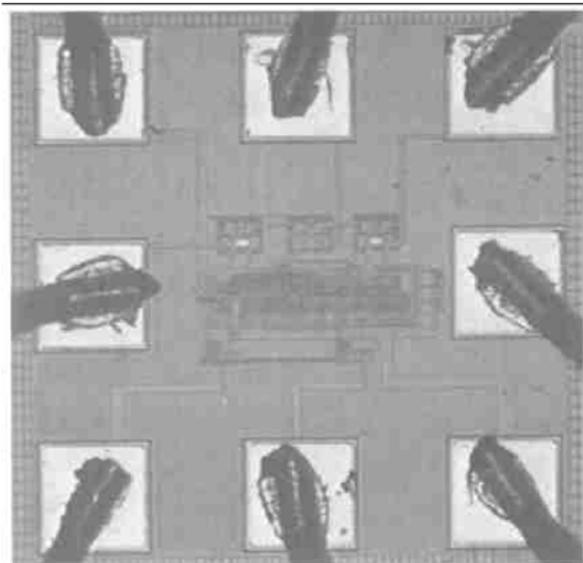


图 7 双模预分频器芯片的显微照片

Fig. 7 Microphotograph of dual-modulus prescaler

结果是正确的。在上面的条件下，消耗的电流是 13.5mA。故整个分频器仅仅消耗了 34mW 的功耗，其中的很大一部分为三个大尺寸的输出缓冲器所消耗。

由于这个预分频器在设计时不是为了追求最高

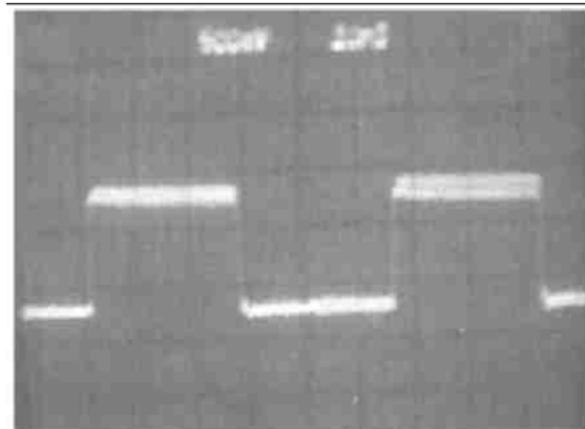


图 8 示波器测量到的 129 分频波形 横轴是 10ns/div, 纵轴是 500mV/div

Fig. 8 Divide-by-129 waveform of the prescaler on the oscilloscope Horizontal scale is 10ns/div and the vertical scale is 500mV/div

工作频率，而是为了保证该分频器在工艺变化和环境温度变化时仍能正确工作，测量到的最高工作频率为 2.32GHz。这已经可以满足我们的频率合成器项目的要求。

由于允许我们进行测试的时间有限，没有进行

其它的测量. 但由以上结果, 说明该预分频器可以满足 GHz 应用的需要.

## 5 结论

本文提出了一种新的相位开关实现技术. 基于这种技术设计了一个 2/3 分频器单元, 该单元结构简单, 工作频率高, 功耗低. 为了验证该技术, 使用  $0.25\mu\text{m}$  CMOS 数字工艺实现了一个 128/129 双模预分频器. 对该芯片的测试结果表明其能正确工作于 GHz 频率范围.

## 参考文献

- [ 1 ] Chang B, Park J, Kim W. A 1.2GHz CMOS dual-modulus prescaler using new dynamic D-type flip-flops. *IEEE J Solid-State Circuits*, 1996, 31(5) : 749
- [ 2 ] Yang C Y, Dehng G K, Hsu J M, et al. New dynamic flip-flops for high-speed dual-modulus prescaler. *IEEE J Solid-State Circuits*, 1998, 33(10) : 1568
- [ 3 ] Yan Hongyan, Biyani M, Kenneth K O. A high-speed CMOS

dual-phase dynamic-pseudo NMOS ((DP)<sup>2</sup>) latch and its application in a dual-modulus prescaler. *IEEE J Solid-State Circuits*, 1999, 34(10) : 1400

- [ 4 ] Vaucher C S, Ferencic I, Locher M, et al. A family of low-power truly modular programmable dividers in standard  $0.35\mu\text{m}$  CMOS Tech. *IEEE J Solid-State Circuits*, 2000, 35(7) : 1039
- [ 5 ] Huang Qiuting, Rogenmoser R. Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks. *IEEE J Solid-State Circuits*, 1996, 31(3) : 456
- [ 6 ] Craninckx J, Steyaert M. A 1.8GHz low-phase-noise voltage controlled oscillator with prescaler. *IEEE J Solid-State Circuits*, 1995, 30(12) : 1474
- [ 7 ] Craninckx J, Steyaert M. Wireless CMOS frequency synthesizer design. Kluwer Academic Publishers, 1998
- [ 8 ] Craninckx J, Steyaert M. A fully integrated CMOS DCS-1800 frequency synthesizer. *IEEE J Solid-State Circuits*, 1998, 33(12) : 2054
- [ 9 ] Chi Baoyong, Shi Bingxue. 2/3 divider cell using phase switching technique. *Electron Lett*, 2001, 37(14) : 875
- [ 10 ] Chi Baoyong, Shi Bingxue. A novel CMOS dual-modulus prescaler based on new optimized structure and dynamic circuit technique. *Chinese Journal of Semiconductors*, 2002, 23: 357

## Implementation of New Phase-Switching Technique and Its Applications to GHz Dual-Modulus Prescalers

Chi Baoyong and Shi Bingxue

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

**Abstract:** A new phase-switching technique and, a novel divide-by-2/3 divider cell which is built based on this technique are presented. This cell is simple and could work under conditions of very high frequency and low power consumption. A divide-by-128/129 dual-modulus prescaler using proposed phase-switching technique and divide-by-2/3 divider cell is described. The prescaler is implemented in  $0.25\mu\text{m}$  CMOS digital technology. A prototype is fabricated and the measured results show that the prescaler works well in gigahertz frequency range and only consumes 34mW (including three power-hungry output buffers) when the input frequency is 2.3GHz and the power supply voltage is 2.5V. Due to its excellent performance, the prescaler could be applied to many RF systems.

**Key words:** phase-switching; dual-modulus prescalers; RF; CMOS

**EEACC:** 1265B; 2570D

**Article ID:** 0253-4177(2003)01-0085-05

Chi Baoyong male, PhD candidate. His work focused on the analog circuit design and RF front-end circuit design.

Shi Bingxue male, professor. His research interests include mixed-signal circuit, VLSI implementations of artificial neural networks and fuzzy logic, DC-DC converters and RF circuits.

Received 30 March 2002, revised manuscript received 12 June 2002

© 2003 The Chinese Institute of Electronics