

GaAs/Si/AlAs 异质结的带阶和 GaAs 生长温度的影响*

李永平¹ 澜 清² 吴正龙³ 周大勇² 孔云川² 牛智川² 田 强¹ 杨锡震³ 王亚非¹

(1 北京师范大学物理系, 北京 100875)

(2 中国科学院半导体研究所 超晶格国家重点实验室, 北京 100083)

(3 北京师范大学分析测试中心, 北京 100875)

摘要: 用分子束外延(MBE)设备制备了 GaAs/AlAs 和 GaAs/Si/AlAs 异质结, 通过 XPS 分别研究了异质结界面处 Si 层厚度为 0.5ML 和 1ML 对异质结带阶的调节, 得到最大调节量为 0.2eV; 通过 C-V 法研究了异质结的 GaAs 层在不同温度下生长对 0.5ML Si 夹层的影响, 得到 Si 夹层的空间分布随 GaAs 层生长温度的升高而扩散增强的温度效应, 通过深能级瞬态谱(DLTS)研究了在上述不同温度下生长的 GaAs 层的晶体质量.

关键词: GaAs/AlAs 异质结; Si 夹层; XPS 测量; C-V 测量; DLTS 测量; 带阶调节

PACC: 7340L; 7150; 6110F

中图分类号: TN405

文献标识码: A

文章编号: 0253-4177(2003)02-0168-05

1 引言

突变异质结界面上的能带断续 ΔE_c 和 ΔE_v 是影响异质结器件功能的重要参数, 它对异质结器件的设计和异质结材料的选择具有决定性作用. 一系列的实验^[1,2]和理论^[3]表明, GaAs/AlAs 异质结中夹入 Si 层可以有效地调整和控制 GaAs/AlAs 异质结禁带的非连续性, 改变带阶的大小.

Capasso^[4]首先利用覆盖沉积技术、分子束外延技术(MBE)制成了控制掺杂剖面的异质结界面, 形成掺杂界面偶极矩(DID), 有效地改变了禁带的非连续性. 由于 Si 掺杂的半导体工艺比较成熟, Si 夹层的引入对异质结禁带的调节引起了广泛的重视. 许多文献^[1,2,5]都报道了 Si 夹层对带阶的调节, 但对带阶的调节程度不同. 本文利用 XPS 光电子能谱分析方法对 Si 层厚度为 0.5ML 和 1ML 进行了研究, 表明 Si 夹层的引入确实改变了 GaAs/AlAs 界面带

阶, 并测得其 ΔE_v 最大增至为 0.71eV. 由于 Si 层在异质结中的扩散对于该类结构非常重要, GaAs 层的生长温度直接影响到 Si 夹层的热扩散. 本文采取了不同的生长温度生长 GaAs 层, 并对不同温度生长的 GaAs/Si/AlAs 异质结, 通过 C-V 法研究了不同温度生长的 GaAs/Si/AlAs 中 Si 夹层的空间分布, 通过深能级瞬态谱研究了在不同温度下生长的 GaAs 层中的深能级, 并分析了不同温度生长的 GaAs 层的晶体质量.

2 XPS 带阶测量原理^[6]

图 1 是 GaAs 和 AlAs 异质结中各自的价带和相应的内层电子的能级位置. 根据:

$$\Delta E_v = \Delta E_{cl} + (E_{Ga3d}^{GaAs} - E_V^{GaAs}) - (E_{Al2p}^{AlAs} - E_V^{AlAs}) \quad (1)$$

可以求得 ΔE_v 的值.

其中 $(E_{Ga3d}^{GaAs} - E_V^{GaAs})$ 和 $(E_{Al2p}^{AlAs} - E_V^{AlAs})$ 是 GaAs 和

* 国家自然科学基金(批准号: 60176006)和教育部高等学校骨干教师基金资助项目

李永平 女, 1973 年出生, 硕士研究生, 主要从事半导体器件物理和异质结性质的实验研究.

田 强 男, 1962 年出生, 教授, 主要从事半导体物理和凝聚态中非线性输运现象的研究.

2002-04-27 收到, 2002-09-16 定稿

AlAs 体材料中的常数,可以在每个样品分别测试出来,其差值记为 ΔE_b ; ΔE_d 是 GaAs 和 AlAs 中的 Ga3d 和 Al2p 的束缚能之差,可以用光电子发射谱测量. 方法是用已知波长 X 光照射样品,同时分别测出由 GaAs 和 AlAs 层中激发出光电子,并测量光电子的能量,求出 Ga3d 和 Al2p 束缚能,可从(1)式得到价带 ΔE_v .

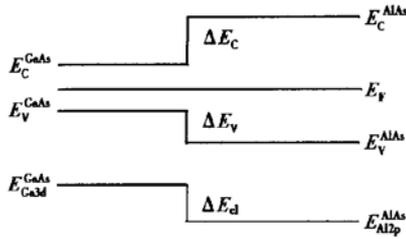


图 1 GaAs/AlAs 中相应能级的位置
Fig. 1 Energy levels in GaAs/AlAs

3 实验

3.1 XPS 样品制备

为了研究 Si 夹层对 GaAs/AlAs 带阶的调节,我们生长了 3 种样品,对比样品 GaAs/AlAs 和含 Si 层的 GaAs/AlAs, Si 层厚度分别为 0.5ML, 1ML 的 GaAs/AlAs 两样品.

n^+ -GaAs(100) 基底上,经 580°C 脱氧后,在 620°C 生长 0.5 μ m 的 GaAs 缓冲层,再生长 25nm 的 AlAs,然后将温度降到 480°C 进行 10nm Si 层生长, Si 层生长完毕后,生长 2nm GaAs 盖层,然后将温度升到 590°C 进行外延层的 GaAs 的生长,其中无 Si 层样品 GaAs 的生长厚度为 10nm,含 Si 层样品 GaAs 的生长厚度共为 12nm,样品结构如图 2 所示.

GaAs(12nm)	GaAs(12nm)	GaAs(10nm)
Si(1ML)	Si(0.5ML)	AlAs(25nm)
AlAs(25nm)	AlAs(25nm)	GaAs(0.5 μ m)
GaAs(0.5 μ m)	GaAs(0.5 μ m)	GaAs(n^+)
GaAs(n^+)	GaAs(n^+)	

图 2 XPS 样品结构示意图

Fig. 2 Sample structures of XPS measurement

3.2 电学样品

n^+ -GaAs(100) 基底上,经 580°C 脱氧后,620°C 生长 0.5 μ m GaAs 缓冲层,再生长 0.3 μ m 的 AlAs,然后将温度降到 480°C 进行 0.5ML Si 层生长,最后是 0.3 μ m GaAs 层的生长,得到 0.5ML Si 夹层的异质结 GaAs/Si/AlAs. 为了研究 GaAs 层不同生长温度对 Si 热扩散的影响,我们分别在 480、540 和 600°C 生长了 GaAs 层进行比较分析. 各层都进行了 Si 低浓度均匀掺杂, GaAs 层的掺杂浓度为 $3 \times 10^{16} \text{ cm}^{-3}$, AlAs 层的浓度为 $1 \times 10^{16} \text{ cm}^{-3}$. 样品结构如图 3 所示. 样品的下表面合金钢形成欧姆接触,上表面蒸金形成肖特基势垒,金点半径为 0.5mm.

n-GaAs(0.3 μ m) 600°C	n-GaAs(0.3 μ m) 540°C	n-GaAs(0.3 μ m) 480°C
Si(0.5ML)	Si(0.5ML)	Si(0.5ML)
n-AlAs(0.3 μ m)	n-AlAs(0.3 μ m)	n-AlAs(0.3 μ m)
n-GaAs(0.5 μ m)	n-GaAs(0.5 μ m)	n-GaAs(0.5 μ m)
GaAs(n^+)	GaAs(n^+)	GaAs(n^+)

图 3 电学样品结构示意图

Fig. 3 Sample structures of electrical measurement

3.3 实验条件

在用 XPS 进行带阶测量时,为了测得 Ga3d, Al2p 的束缚能,对样品进行了易位测量,所用仪器为 VG ESCALAB MK II 型多功能电子谱仪,激发光源 X 光为 AlK α 线($h\nu=1486.6\text{eV}$),由于最上层 GaAs 的生长厚度稍厚,仪器不能同时探测到 Ga3d 和 Al2p 电子,用 Ar $^+$ 枪进行了刻蚀剥离,Ar $^+$ 能量为 4kV,束流为 20 μ A/cm 2 ,刻蚀速率约为 2~3nm/min,光电子接收角为 75°. C-V 测量是在 1MHz HP4280A 电容电桥上进行的,DLTS 是在瑞典 INNOVANCE 瞬态谱仪上进行的. 样品是中国科学院半导体研究所生长的,所用 MBE 设备是英国 VG 公司 V80H MK II 型分子束外延系统.

4 结果及讨论

4.1 Si 层对 GaAs/AlAs 带阶的调节

利用光电子发射谱,我们得到 Al2p 和 Ga3d 的束缚能,利用公式(1),得到图 4 和表 1 中 XPS 对 GaAs/AlAs 及含 Si 层样品的测量结果.

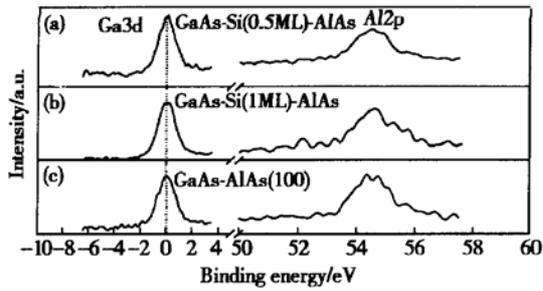


图4 样品 Al2p 和 Ga3d 深能级 XPS 谱

Fig. 4 XPS spectra of Al2p and Ga3d levels

表1 XPS 测量结果及带阶调节量

Table 1 Results of XPS measurement and energy offset

BF/eV	Ga3d	Al2p	ΔE_c	ΔE_v	ΔE_b
Samples					
GaAs/(0.5ML Si)/AlAs	19.295	73.862	54.567	0.567	54.00
GaAs/AlAs	19.295	73.812	54.517	0.517	54.00
GaAs/(1ML Si)/AlAs	19.195	73.912	54.717	0.717	54.00

其中 GaAs 中的 Ga 深能级(相对于价带)为 $18.86 \pm 0.05\text{eV}$, AlAs 中 Al 的深能级(相对于价带)为 $72.86 \pm 0.05\text{eV}$ ^[1].

由上面的测量结果, GaAs/AlAs 的带阶 ΔE_v 在 Si 夹层 1ML 时, 增大为 $0.71 \pm 0.05\text{eV}$, 这与文献[1]报道的最大调节量 0.77eV 相吻合, 由此知 Si 夹层的引入调节了带阶. 文献[1]指出在 Si 层为 0.5ML 时, 带阶的调节量最大, 而我们在 Si 夹层为 0.5ML 时得到 ΔE_v 为 0.57eV , 对带阶的调节并不明显, 这可能是由于 Si 夹层掺杂浓度减少造成的. 因此 IV 族元素能对异质结的界面不连续量进行调节, 但要受到生长条件的影响, 生长条件不同都会影响 Si 层对带阶的调节.

4.2 不同温度生长 GaAs 对 Si 层局域的影响

由于 Si 的局域对这类结构非常重要, 我们在三个不同温度 600、540 和 480°C 下进行了 GaAs 外延层的生长, 对这三个样品用 $C-V$ 技术进行了测量, 发现载流子浓度的峰位不同, 如图 5 所示. 在 600、540 和 480°C 生长的样品的载流子浓度都向表面处迁移, 三者相比较, 600°C 样品向表面的迁移要远大于另两个样品向表面的迁移. 这种 δ 掺杂, 载流子向表面迁移的现象在许多文献^[7,8]有过报道. 这种较大程度的偏离异质结界面的情况除了扩散的因素外, 不能排除 Si 原子向表面的离析. 同时文献[8]也指出对于这种高浓度的掺杂, 原子之间的库仑相互作用也会导致原子的偏离. 由图 5 看出, 随着温度的升

高, 载流子浓度峰位向表面移动, 即偏离 $0.3\mu\text{m}$ 处越远. 而且, 随着温度的升高, 载流子分布的对称性越差, 很明显 600°C 时的对称性最差, 这一点在文献中也有报道^[7]. 我们分析认为, 随着温度的升高 Si 向表面的迁移比较严重, 随着 GaAs 的生长, Si 逐渐留驻于 GaAs 层中, 形成明显偏离高斯分布的浓度分布.

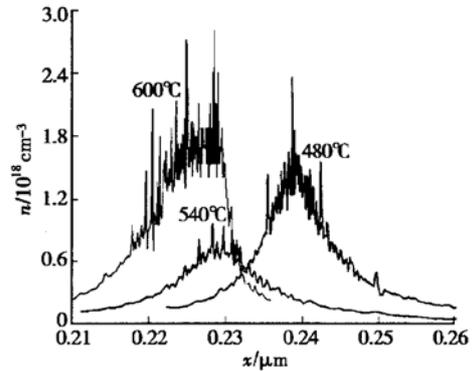


图5 480、540、600°C 生长 GaAs 层样品载流子浓度在空间的分布

Fig. 5 Distributions of carrier densities in samples 480, 540 and 600°C are the growth temperatures of GaAs.

由以上分析可以知道, 在 480°C 下进行 GaAs/Si/AlAs 异质结的 GaAs 外延层生长, Si 夹层局域性比较好, 此时扩散迁移现象比较弱. 随着温度的升高, Si 夹层局域性随之降低.

4.3 深能级瞬态谱测量分析

瞬态电容法是测量晶体中缺陷的有效手段, 对于不同温度下生长的样品, 我们用 DLTS 手段进行了测量, 发现在 600°C 时, 没有测到深能级缺陷, 而在 540°C 和 480°C 时都测到了深能级缺陷, 并且随着温度的升高, DLTS 信号越来越弱, 如图 6 所示.

由图 6 可以看出 480°C 时的 DLTS 信号强度要远远大于 540°C 幅度, 而 600°C 时无明显的深能级信号. 根据瞬态电容法深中心的浓度估算公式:

$$N_1 = 2 \frac{\Delta C(0)}{C(\infty)} N \quad (2)$$

其中 $\Delta C(0)$ 可由谱峰高度得出. 由(2)式可知对于同一能级, 信号越强其缺陷浓度越大, 也就是说, 随着温度的升高缺陷浓度越来越小. 这说明 600°C 时生长晶体的质量最好, 随着温度的降低会引入较多的缺陷. 我们对测到的深能级进行了计算, 并进行了

分析.

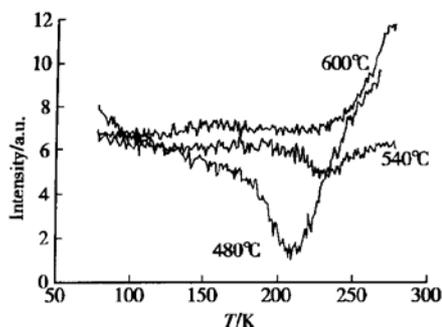


图 6 480、540、600°C 生长 GaAs 层样品的 DLTS 谱

Fig. 6 DLTS spectra of samples grown at 480, 540 and 600°C

两样品测得的深能级约为 0.42eV 和 0.43eV, 如图 7 所示. 我们对缺陷进行了分析, 该能级有两种可能起源, 即由 O 元素引起^[9]的杂质能级和 Ga 空位^[10, 11]引入的 M4 能级. 根据缺陷浓度随着温度升高而减少的性质, 可以断定此深能级应为 Ga 空位所引起的, 通常认为 600°C 左右生长 GaAs 晶体质量较好, 我们的实验结果与之相吻合, 在 600°C 生长的 GaAs 晶体中 Ga 空位远少于 480°C 生长的晶体.

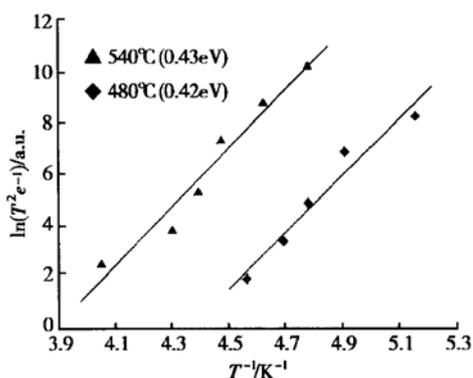


图 7 480°C 和 540°C 生长外延层 GaAs 的 GaAs/Si/AlAs 中深能级的 Arrhenmius 图

Fig. 7 Arrhenmius figures of deep levels in GaAs/Si/AlAs with GaAs grown at 480°C and 540°C

5 结论

对 GaAs/Si/AlAs 中 Si 夹层对 GaAs/AlAs 带阶的调节作用进行了 XPS 测量研究, Si 夹层的引入使 GaAs/AlAs 的 ΔE_V 增大了 0.2eV, 指出生长条

件不同将影响 Si 层的调节量. 同时用 $C-V$ 法研究了在 Si 夹层之上采用 480、540 和 600°C 三个不同温度生长 GaAs 层对于 Si 层局域性的影响, 用 DLTS 方法测量了各样品中的深能级缺陷. 通常是在 600°C 生长, 晶体结构较好; 而在异质结 GaAs/Si/AlAs 生长过程中, GaAs 的生长温度较低有利于 Si 的局域有效地调节带阶. 但在较低的温度下生长并不是 GaAs 晶体的最佳生长温度, 温度越低相应地引入较多的缺陷. 为了得到既能有效调节带阶又能使 GaAs 晶体品质良好的 GaAs/Si/AlAs 异质结, 需要在二者之间有所取舍, 选取最佳生长温度.

参考文献

- [1] Sorba L, Bratina G, et al. Structure and local dipole of Si interface layers in AlAs-GaAs heterostructures. *Phys Rev*, 1992, B46: 6834
- [2] Sorba L, Bratina G, et al. Tuning AlAs-GaAs band discontinuities and the role of Si-induced local interface dipoles. *Phys Rev*, 1991, B43: 2450
- [3] Peressi M, Baroni S, et al. Tuning band offsets at semiconductor interfaces by intralayer deposition. *Phys Rev*, 1991, B43: 7347
- [4] Capasso F, Mohammed K, et al. Doping interface dipoles: tunable heterojunction barrier heights and band-edge discontinuities by molecular beam epitaxy. *Appl Phys Lett*, 1985, 46: 664
- [5] Moreno M, Sacedon J L, et al. Si and Be intralayers at GaAs/AlAs heterojunctions: doping effects. *Phys Rev*, 1998, B58: 13767
- [6] Yu Lisheng. *Semiconductor heterojunction physics*. Beijing: Science Press, 1990 (in Chinese) [虞丽生. 半导体异质结构物理. 北京: 科学出版社, 1990]
- [7] Lanzillotto A M, Santos M, Shayegan M. Silicon migration during the molecular beam epitaxy of delta-doped GaAs and Al_{0.25}Ga_{0.75}As. *J Vac Sci Technol*, 1990, A8: 2009
- [8] Schubert E F, Tu C W, Kopf R F, et al. Diffusion and drift of dopants in δ -doped n-type Al_xGa_{1-x}As. *Appl Phys Lett*, 1989, 54: 2592
- [9] Ye Liangxiu. *Semiconductor physics*. Beijing: Higher Education Press, 1983 (in Chinese) [叶良修. 半导体物理学. 北京: 高等教育出版社, 1983]
- [10] Martion G M, Mitonnear A, Mircea A. Electron traps in bulk and epitaxial GaAs crystal. *Electron Lett*, 1977, 13: 191
- [11] Long D V, Logan R A, Kimerling L C. Identification of the defect state associated with a gallium vacancy in GaAs and Al_xGa_{1-x}As. *Phys Rev*, 1977, B15: 4874

Tuning GaAs/AlAs Band Discontinuities and Influence of GaAs at Different Growth Temperatures*

Li Yongping¹, Lan Qing², Wu Zhenglong³, Zhou Dayong², Kong Yunchuan², Niu Zhichuan²,
Tian Qiang¹, Yang Xizhen³ and Wang Yafei¹

(1 Department of Physics, Beijing Normal University, Beijing 100875, China)

(2 National Laboratory for Superlattices and Microstructures, Institute of Semiconductors,
The Chinese Academy of Sciences, Beijing 100873, China)

(3 Analytical and Testing Center, Beijing Normal University, Beijing 100875, China)

Abstract: GaAs/Si/AlAs heterojunctions prepared by MBE are examined. The Si interlayer is found to tune the valence-band offset to 0.71eV by XPS. The profile of the 0.5ML Si interlayer at different growth temperatures are investigated by *C-V* technique. The results reveal that the lower growth temperature for GaAs epitaxial layer is required to localize the Si interlayer, whereas for lower temperature the more defects occur in the crystal by DLTS.

Key words: GaAs/AlAs heterojunction; Si interlayer; XPS; DLTS technique; *C-V* measurement; band-discontinuities

PACC: 7340L; 7150; 6110F

Article ID: 0253-4177(2003)02-0168-05

* Project supported by National Natural Science Foundation of China(No. 60176006), and Foundation for University Key Teacher by the Ministry of Education

Li Yongping female, was born in 1973, graduate student. She is interested in the semiconductor material engineering.

Tian Qiang male, was born in 1962, professor. He is interested in semiconductor physics and nonlinear transport phenomena in condensed matter.

Received 27 April 2002, revised manuscript received 16 September 2002

©2003 The Chinese Institute of Electronics