

# SOI 结构 P 型 SiGe 沟道混合模式晶体管器件模型研究<sup>\*</sup>

夏克军<sup>1</sup> 李树荣<sup>1</sup> 王纯<sup>1</sup> 郭维廉<sup>1</sup> 郑云光<sup>1</sup> 陈培毅<sup>2</sup> 钱佩信<sup>2</sup>

(1 天津大学电信学院, 天津 300072)

(2 清华大学微电子所, 北京 100084)

**摘要:** 在带有应变 SiGe 沟道的 SOI MOSFET 结构中, 把栅和衬底相连构成了新型的混合模式晶体管(SiGe SOI BMHMT). 在 SIVACO 软件的器件数值模拟基础上, 对这种结构的 P 型沟道管工作过程作了分析, 并建立了数学模型. 提出在低电压(小于 0.7V)下, 衬底电极的作用可近似等效成栅, 然后依据电荷增量(非平衡过剩载流子)的方法, 推导出该结构的 I-V 特性方程. 该方程的计算结果与器件模拟结果相一致.

**关键词:** BMHMT; 器件模型; SiGe; SOI

**PACC:** 7340Q      **EEACC:** 2530N; 2560B; 2560Z

中图分类号: TN386.1      文献标识码: A      文章编号: 0253-4177(2003)03-0312-06

## 1 引言

在 CMOS 电路中, P 管驱动能力的提高对整个电路性能的改善起主要作用, 为此人们对 P 沟 SOI MOSFET 引入了应变 SiGe 层作为埋层沟道<sup>[1]</sup>, 因为它的空穴迁移率比硅的高<sup>[2,3]</sup>. 我们在这种结构的基础上, 首次把栅极与衬底相连, 构成新型的混合模式晶体管(SiGe SOI BMHMT)<sup>[4]</sup>, 它不会增加额外的工艺复杂度. 类似的连接方法在硅沟道的 MOSFET 中已有应用<sup>[5]</sup>. 我们利用加拿大 SIVACO international 公司的 ATLAS 软件进行器件模拟, 结果表明 P 沟管的驱动电流比相同条件下栅极与衬底不相连时提高了一个数量级以上<sup>[6]</sup>. 这种接法的局限是必须让器件工作在低电压下(< 0.7V), 以此保证衬底电极对源的电流不至于过大. 在这种结构的集成电路应用中, 为了能够进行电路分析, 我们需要建立它的数学模型.

对于这种接法, 在电压较大的情况下, 人们认为它是由顶栅构成的 MOSFET 和底部双极晶体管共

同作用来提高驱动能力的<sup>[5]</sup>; 当电压较小(< 0.7V)时, 底部双极晶体管不导通, 人们认为动态阈值<sup>[7]</sup>提高了 MOSFET 的驱动能力, 但其数学表述复杂. 由于我们引入了应变 SiGe 层, 沟道电流集中在此处, 情况反而变得简单, 所以不采用动态阈值的方法. 本文通过分析它的 SIVACO 二维有限元模拟结果, 认为衬底电极的作用可近似等效成另一个栅极(因此下文称此电极为底栅), 双栅<sup>[8]</sup>的思想可以借鉴到本结构, 因而这种结构类似于双栅 MOSFET. 由于需要调整阈值电压, 沟道做了硼注入, 使初始的电势分布数学表述很复杂, 本文从电荷增量即非平衡过剩载流子的角度列方程, 也就是计算电势的增量而不计算电势的总量来简化所用的数学结构. 把初始平衡时电荷密度  $P_0, N_0$  看成器件的模型参数, 从而得到了描述这种结构的 I-V 特性方程, 其结果与 ATLAS 器件模拟软件获得的结果相一致.

## 2 器件结构和物理模型

图 1 是我们给出的器件几何结构模型(不按比

\* 国家自然科学基金资助项目(批准号: 69836020)

夏克军 男, 1978 年出生, 硕士研究生, 现从事半导体新型材料和器件物理研究.

李树荣 男, 1946 年出生, 教授, 现从事新型器件及超大规模集成电路研制工作.

2002-05-22 收到, 2002-09-12 定稿

©2003 中国电子学会

例). 其中 Si cap 层厚度为 5nm, 应变 SiGe 层厚度为 10nm, Ge 组分为 30%, 底层硅厚度为 90nm. 需要说明的是底栅与底层硅形成欧姆接触, 这使得它与经过氧化层隔离的顶栅的控制作用有很大的不同. 图 2 是杂质浓度和未加任何电压时的自建电势分布情况. SiGe 沟道调阈值时掺 p 型杂质, 如果掺的足够大, 就会使 Si cap 层、SiGe 层、底层硅的上半部的 p 型杂质浓度超过 n 型浓度. 但由于这个区域很薄, 初始平衡时, 底层硅浓度相对高的电子扩散入这个区域使空穴处于耗尽状态, 电子浓度依然超过空穴浓度, 这可从图 3~5 中未加栅压时的载流子浓度看出来, 因此, 为了使用常规的 MOS 概念, 仍合理地将它看成是“N 型”的. 下文先分析两个电极的作用, 然后给出建立方程需要的假设.

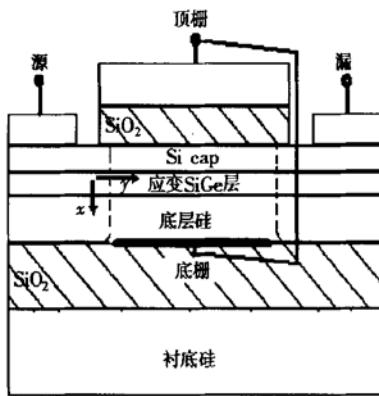


图 1 器件结构示意图

Fig. 1 Device structure of SiGe BMHMT

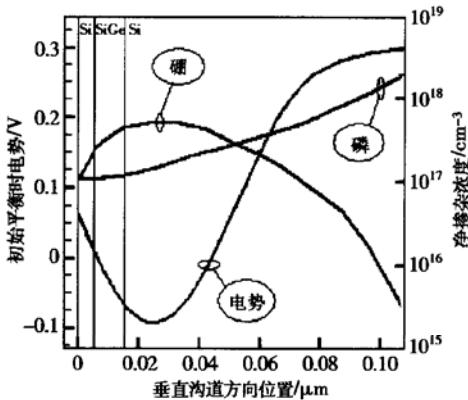


图 2 掺杂浓度和初始平衡电势分布

Fig. 2 Depth profiles of net doping concentration and initial potential

先看顶栅的作用. 图 3 是顶栅加- 0.5V 而底栅接地时的载流子变化情况(这是普通的 MOSFET

工作情况), 它使氧化层以下的近表面区域电子耗尽由于 SiGe 价带高于 Si 价带, 于是可以通过适当选择较小 Si cap 层厚度的办法使 SiGe 沟道首先反型<sup>[1]</sup>, 空穴浓度随栅压增加而增加. 此外, 图 3 是器件的纵向(x 方向)剖面图, 氧化层和 Si cap 层界面为坐标零点, 顶栅在左边, 底栅在右边, 图 4, 5 与此相同.

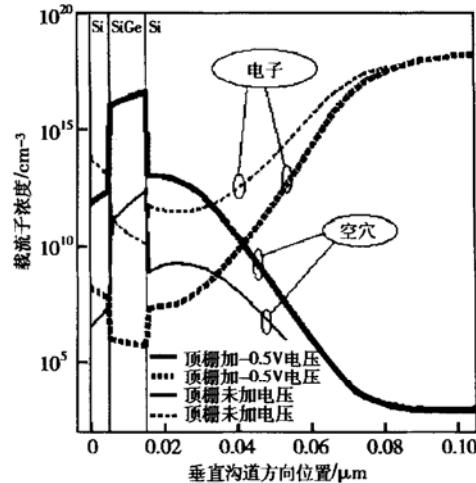


图 3 顶栅作用

Fig. 3 Effect of front gate

再看底栅的作用. 图 4 是底栅加- 0.5V 而顶栅接地时的载流子变化情况. 它表明: SiGe 沟道内部空穴浓度增大, 且它的增长速度远远超过电子的增加速度. 其余区域空穴浓度的增加量相对而言可以忽略. 原因在于:(1) 由于 SiGe 价带高于 Si 价带, 在小于 0.7V 的情况下, 源结的空穴注入主要发生在

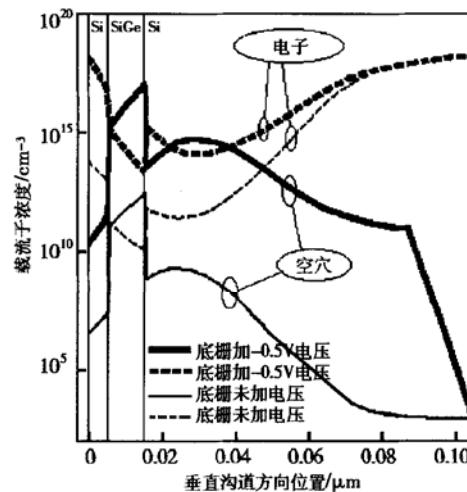


图 4 底栅作用

Fig. 4 Effect of back gate

SiGe 沟道处, 所以底层硅可以近似地看成与源极断开的。另外, 在用于调阈值的  $B^+$  注入不是太大的情况下, 源注入 SiGe 层中的空穴大部分被漏抽走, 所以它们扩散入底栅并与电子复合的量相对很小, 因此对空穴而言, 底层硅的上半部可以近似地看成介质层。以上几点是本文把底电极近似成栅的物理依据。(2) 由于底栅与底层硅形成欧姆接触, 它加负电压不会造成氧化层以下的近表面区域电子耗尽, 而是通过底栅的电子传输使氧化层下面的区域电子积累, 从而电势绝大部分降落在氧化层上。因此底栅加负电压的作用近似等效于顶栅加正电压。

因此, 当两栅共同起作用时, 对空穴而言, 它们的效果一致, 都使源向 SiGe 沟道注入空穴; 对电子而言, 顶栅使电子耗尽因而减少了由底栅通过 SiGe 沟道注入的电子数量, 总的结果使得电子浓度相对 SiGe 沟道中的空穴而言变化不大。图 5 是两栅同时加  $-0.5V$  电压时的载流子浓度变化情况: (1) SiGe 沟道的空穴和电子浓度都增加, 但是空穴的增加速

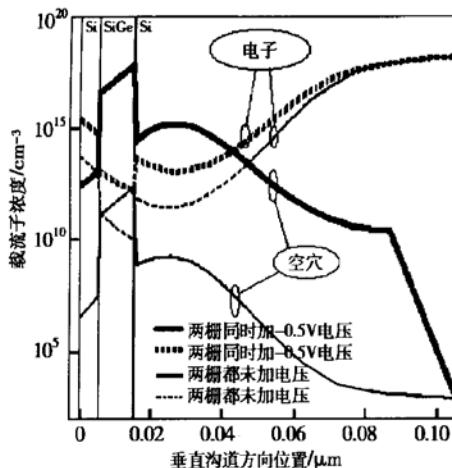


图 5 两栅同时作用时的载流子浓度变化

Fig. 5 Change of carrier concentration when applying voltage to both front gate and back gate

度远超过电子, 其余地方的空穴浓度的变化量相对可以忽略。(2) 底层硅下半部电子增加量的数量级与 SiGe 层中空穴的数量级相同, 同时底层硅中空穴的增加量在硼注入剂量不太大的情况下相对而言可以忽略, 这就是说 SiGe 沟道中空穴发出的电力线的一部分被这部分电子吸收, 这些电子和 SiGe 沟道的平均距离就是底栅对 SiGe 沟道的有效控制距离, 即后面介绍的方程(3)中的  $d_2$ 。

总之, 在两栅联合作用时, 其控制效果等价于

SiGe 层增加空穴, 它们所发出的电力线被两栅吸收。因而底电极与顶电极作用相似, 可等效地将它看成栅。但是它有电流, 所以该结构是准双栅 SOI MOSFET, 这个结构提高了驱动电流。

为了建立方程, 本文还作了如下假设:

(1) 近似认为在垂直沟道方向上(SiGe 沟道厚度为  $10\text{nm}$ ), SiGe 沟道中电荷增量即非平衡过剩载流子引起的电势变化量在 SiGe 沟道中是相等的(文献[9]在处理薄沟道的双栅器件时, 曾把  $50\text{nm}$  厚的硅沟道认为是等电势的), 因而我们可以方便地用面电荷模型<sup>[10]</sup>来推导方程。由于以 SiGe 沟道调阈值, 使得净掺杂浓度分布变得复杂, 存在自建电势(见图 2), 这使得直接计算绝对的电势分布非常困难。为此本文计算沟道电荷增量引起的电势的增加量即方程(4)中的  $V(y)$ , 而不计算实际的电势。初始的电势被包括在初始平衡时的空穴面密度  $P_0$  和电子面密度  $N_0$  中。这与常规双栅<sup>[8]</sup>(或薄膜器件<sup>[9]</sup>)计算绝对电势的处理方法是不同的。

(2) 据上文, 电流从源端向漏端流的时候, SiGe 沟道有侧向异质结电流, 形成栅电流的一部分。但是器件模拟的结果表明, 在  $0.7\text{V}$  以下, 此部分电流相对漏电流可以忽略。因而认为此处 SiGe 沟道电流沿沟道方向是个常数。

(3) 按上文, 两栅之间的导电区仍可近似看成“N型”的, 故可以认为电子的准费米能级在两栅之间是个常数。

### 3 I-V 方程

设定沿沟道方向为  $y$  方向, 源端是坐标零点; 垂直沟道方向为  $x$  方向。

SiGe 沟道初始平衡时空穴电荷面密度( $D$  表示 SiGe 层厚度):

$$P_0 = \int_0^D q p_0(x) dx \quad (1)$$

SiGe 沟道初始平衡时电子电荷面密度:

$$N_0 = \int_0^D q n_0(x) dx \quad (2)$$

考虑到 Si 和  $\text{SiO}_2$  的介电常数不同, 顶栅的单位面积控制电容:

$$C_1 = \frac{\epsilon_0 \epsilon_{\text{Si}}}{d_1 - d + d \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{SiO}_2}}} \quad (3)$$

其中  $d$  表示氧化层厚度;  $d_1$  表示顶栅对 SiGe 沟道的控制距离即 SiGe 层中间位置与顶栅的距离;  $\epsilon_0$

为真空介电常数;  $\epsilon_{\text{Si}}$  为 Si 相对介电常数;  $\epsilon_{\text{SiO}_2}$  为  $\text{SiO}_2$  相对介电常数.

底栅的单位面积控制电容:

$$C_2 = \frac{\epsilon_0 \epsilon_{\text{Si}}}{d_2}$$

其中  $d_2$  表示底栅对 SiGe 沟道的控制距离, 计算时, 可近似等于 SiGe 层中间位置到底栅的距离. 所以双栅控制的等效单位面积电容:

$$C = C_1 + C_2 = \frac{\epsilon_0 \epsilon_{\text{Si}}}{d_2} \left[ \frac{d_1 + d_2 - d + d \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{SiO}_2}}}{d_1 - d + d \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{SiO}_2}}} \right] \quad (3)$$

我们假定沟道增量电荷发出的电力线都由两个栅吸收. 因此有

$$CV(y) = P_0(e^{\beta(E_F^p(y) - V_g - V(y))} - 1) - N_0(e^{\beta V(y)} - 1) \quad (4)$$

其中  $V(y)$  为 SiGe 沟道  $y$  处沟道对栅的纵向电势差距离初始平衡时的增加量;  $E_F^p(y)$  为 SiGe 沟道  $y$  处空穴准费米能级;  $\beta$  为  $q/(kT)$ ;  $V_g$  为外加栅电压.

SiGe 沟道电流:

$$I_d = WP_0 \mu_p e^{\beta(E_F^p(y) - V_g - V(y))} \frac{dE_F^p(y)}{dy} \quad (5)$$

式中  $P_0, N_0, C$  由具体的工艺条件(器件的几何尺寸和掺杂浓度)决定. 其中  $W$  为沟道宽度,  $\mu_p$  为 SiGe 沟道空穴平均迁移率.

方程(4)两边对  $y$  求导, 有

$$\begin{aligned} \frac{dV(y)}{dy} & \left[ \frac{1}{\beta} + \frac{P_0}{C} e^{\beta(E_F^p(y) - V_g - V(y))} + \frac{N_0}{C} e^{\beta V(y)} \right] \\ & = \frac{dE_F^p(y)}{dy} e^{\beta(E_F^p(y) - V_g - V(y))} \end{aligned}$$

将方程(5)带入右端, 由于  $I_d$  是常数, 积分得:

$$\begin{aligned} I_d & = \mu_p \frac{W}{L} \left[ \frac{2N_0}{\beta} (e^{\beta V_d} - e^{\beta V_s}) + \frac{C}{2} (V_d^2 - V_s^2) \right. \\ & \quad \left. + \left[ P_0 - N_0 + \frac{C}{\beta} (V_d - V_s) \right] \right] \quad (6) \end{aligned}$$

其中  $L$  为沟道长度. 方程(6)与 SOI MOSFET 的方程<sup>[11]</sup>特别是薄硅 SOI MOSFET<sup>[9]</sup>是类似的.

对于方程(4)考察源漏两个端点:

在源端  $E_F^p(0) = 0$ . 因此有:

$$V_s = \frac{P_0}{C} [e^{\beta(-V_g - V_s)} - 1] - \frac{N_0}{C} (e^{\beta V_s} - 1) \quad (7)$$

$V_s$  即 SiGe 沟道源端  $V(y)$ , 也即  $V(0)$ .

在漏端假设  $E_F^p(L) = V_d$ ,  $V_d$  为外加漏电压.

因此有:

$$V_d = \frac{P_0}{C} [e^{\beta(V_d - V_g - V_d)} - 1] - \frac{N_0}{C} (e^{\beta V_d} - 1) \quad (8)$$

$V_d$  即 SiGe 沟道漏端  $V(y)$ , 也即  $V(L)$ .

方程(6)、(7)、(8)共同构成描述该器件的理想  $I-V$  特性方程. 它需要用迭代法求解. 更加细致的模型应将漏结对底栅的电流  $I_{jd}$  考虑在内, 即总漏电流:

$$I_D = I_d + I_{jd} \quad (9)$$

## 4 有关方程的讨论

这里讨论器件工作在饱和区域的情况, 故可取  $V_d = V_g$ , 由方程(8)知道  $V_d = 0$ , 此时  $I_{jd}$  近似为零.

当外加栅压  $V_g$  接近零时, 观察方程(7)可以得到此时  $V_s$  接近于零, 并且随着栅压呈现指数增长趋势, 从而  $I_d$  主要由第三项决定, 即与  $V_s$  呈线性关系, 所以与栅压呈现指数增长. 此时,  $P_0$  对  $I_d$  影响很大, 而  $C$  的影响很小. 我们取  $P_0 = 6.95 \times 10^{-11} (\text{/cm}^2)$ ,  $N_0 = 3.96 \times 10^{-17} (\text{/cm}^2)$  得到压阈值斜率为  $60 \text{mV/dec}$ . 这与双栅一致.

当栅压较大时,  $V_s$  跟随  $V_g$  线性增长. 他们的绝对值差值近似为常数, 不妨记为  $V_T$ . 则此时的  $I_d$  主要由第二项决定, 即

$$I_d \approx \frac{1}{2} \mu_p \frac{W}{L} C (V_g - V_T)^2$$

这就是普通的 MOSFET 方程. 这时候  $C$  对  $I_d$  影响很大, 但是  $P_0$  影响很小.

所以结合栅压较小时情况的讨论, 参数  $P_0$  和  $C$  决定了曲线  $I_D$ - $V_g$  的形状.

当栅压超过  $0.7 \text{V}$  以后, 指数项起主要作用. 但是这时候源结导通, 底栅电流很大, 器件不能正常工作, 故这里不加讨论.

通过计算, 在本文给出的结构尺寸下,  $C_1$  和  $C_2$  大致相等. 在顶栅和衬底不连时, 由于下层硅的耗尽层电荷参与吸收顶栅电力线, 使其总单位面积有效控制电容比  $C_1$  还小, 所以两栅相连时漏电流至少提高一倍, 说明这种新型的混合模式晶体管有重要的意义.

## 5 模型计算数值与 SIVACO 模拟结果比较

图 6 给出了用于调整阈值的四种  $B^+$  注入剂量

情况下传输特性的对比图。计算中,  $P_0, N_0$  的值是从 SIVACO 软件模拟的初始电荷分布图上提取出来的,  $I_{jd}$  用 SIVACO 单独模拟漏结的反向饱和电流获得。从图 6 可以看出, 在  $B^+$  注入剂量小时, 曲线复合的很好。 $B^+$  注入剂量最大的那种情况  $I-V$  方程给出的值在大栅压下漏电流绝对值偏大。主要是由于在这种情况下, 底层硅的上半部空穴浓度较大, 这部分空穴参与吸收底层硅下半部的电子发出的电力线, 使得  $C_2$  有效值减小, 而图 6 在四种情况计算时  $C_2$  取相同的值。

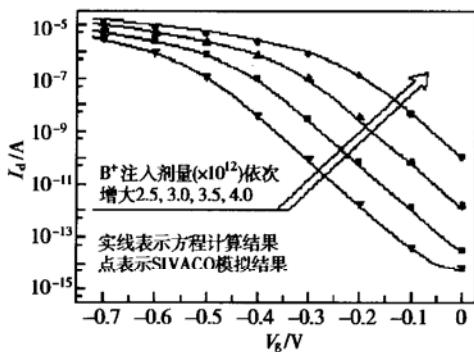


图 6 4 种情况下的传输特性对比

Fig. 6 Comparison of transportation characteristic with 4 different  $B^+$  implanting doses

依据上一节的讨论知道, 对于实际的器件, 我们可以通过选择适当的模型参数  $P_0, N_0$  和  $C$  来获得它的  $I-V$  曲线。为了避免它们的直接计算, 可以作出  $P_0, N_0, C$  与  $B^+$  的函数关系图。图 7 即为图 1 所示器件在本文描述的尺寸下的函数关系图, 其中的  $C$  是通过拟合提取的值, 体现了  $C_2$  有效值的变化。图 8 是根据图 7 提供的参数在  $B^+$  注入为  $3.25 \times 10^{12} / cm^{-2}$

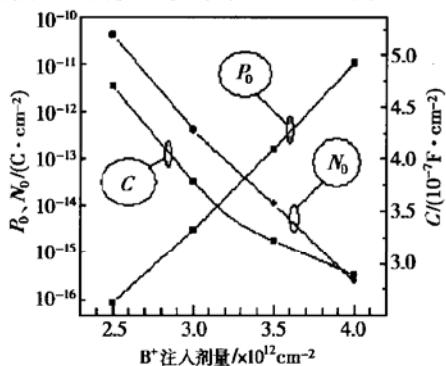


图 7  $P_0, N_0, C$  与硼注入剂量的关系

Fig. 7 Relation between  $P_0, N_0, C$ , and  $B^+$  implanting dose

$cm^{-2}$  情况下输出特性的  $I-V$  方程计算值和 SIVACO 模拟值的对比。

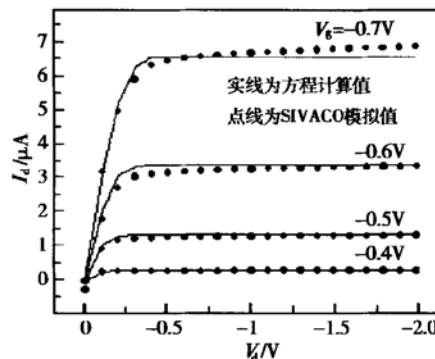


图 8  $B^+$  注入为  $3.0 \times 10^{12} / cm^{-2}$  情况下的输出特性对比

Fig. 8 Comparison of output characteristic with  $B^+$  implanting dose of  $3.0 \times 10^{12} / cm^{-2}$

## 6 结论

对 P 型应变 SiGe 沟道 SOI MOSFET 结构, 当栅与衬底相连得到了一种新型混合模式晶体管 (SiGe SOI BMHMT)。本文对它的工作过程作了分析, 把底电极的作用近似成栅, 并依据电荷增量的方法首次给出了这种结构的  $I-V$  特性方程, 其结果与 SIVACO 软件计算结果相一致。这种方法获得的方程的数学表述相对动态阈值的表述比较简单且物理意义清晰, 这个方程可用于集成电路分析。同时它也适用于其他类似的带有导电薄层的 MOS 结构器件。

## 参考文献

- [1] Shi Zhonghai, Chen Xiaodong, Onsongo D, et al. Simulation and optimization of strained  $Si_{1-x}Ge_x$  buried channel p-MOSFETs. Solid State Electronics, 2000, 44: 1223
- [2] Chun S K, Wang K L. Effective mass and mobility of holes in strained  $Si_{1-x}Ge_x$  layers on (001)  $Si_{1-y}Ge_y$  substrate. IEEE Trans Electron Devices, 1992, 39: 2153
- [3] Verdonckt Vandebroek S, Crabbé E F, Bernard S M, et al. SiGe channel heterojunction p-MOSFET's. IEEE Trans Electron Devices, 1994, 41: 90
- [4] Li Shurong, Guo Weilian, Liu Litian, et al. Low temperature Br CMOS composed of bipolar/MOS hybrid mode transistor (BMHMT). Chinese Journal of Semiconductors, 1998, 19(9): 715 [李树荣, 郭维廉, 刘理天, 等. 采用混合模式晶体管 (BMHMT) 构成低温 Br CMOS 电路. 半导体学报, 1998, 19(9): 715]
- [5] Colinge J P. An SOI voltage-controlled bipolar-MOS device.

- IEEE Trans Electron Devices, 1987, 34: 845
- [ 6 ] Li Shurong, Liu Zhen, Zhang Shengcui, et al. Design and simulation of SiGe channel SOI BMHMT. Journal of Tianjin University (Natural Science), 2002, 35( 6 ): 682 (in Chinese) [ 李树荣, 刘真, 张生才, 等. SiGe 沟道 SOI 结构混合模式晶体管的设计与模拟. 天津大学学报(自然科学版), 2002, 35(6): 682]
- [ 7 ] Assaderaghi F, Sinitsky D, Parke S A, et al. Dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage VLSI. IEEE Trans Electron Devices, 1997, 44: 414
- [ 8 ] Francis P, Terao A, Flandre D, et al. Modeling of ultrathin double-gate nMOS/SOI transistors. IEEE Trans Electron Devices, 1994, 41: 715
- [ 9 ] Mekitterick J B, Caviglia A L. An analytic model for thin SOI transistors. IEEE Trans Electron Devices, 1989, 36: 1133
- [ 10 ] Mallikarjun C, Bhat K N. Numerical and charge sheet models for thin film SOI MOSFET. IEEE Trans Electron Devices, 1990, 37: 2039
- [ 11 ] Ortiz Conde A, Herrera R, Schmidt P E, et al. Long channel silicon-on-insulator MOSFET theory. Solid-State Electronics, 1992, 35: 1291

## Device Model for SOI P-Type Bipolar-MOS Hybrid Mode Transistors with Strained SiGe Layer<sup>\*</sup>

Xia Kejun<sup>1</sup>, Li Shurong<sup>1</sup>, Wang Chun<sup>1</sup>, Guo Weilian<sup>1</sup>, Zheng Yunguang<sup>1</sup>,  
Chen Peiyi<sup>2</sup> and Qian Peixin<sup>2</sup>

(1 Institute of Electronics and Information, Tianjin University, Tianjin 300072, China)

(2 Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract:** Based on the structure of SOI MOSFET with a buried strained SiGe layer, a novel bipolar-MOS hybrid mode transistor (SiGe SOI BMHMT) is generated by connecting the gate to its substrate. A mathematic model for such a transistor of p type is presented grounding on the numerical device simulation carried out by the software SIVACO. It is demonstrated that the substrate electrode can be regarded as a gate under the condition of low voltage supply (< 0.7V). The equation of its  $I$ - $V$  characteristics is then deduced according to the method of charge increment. The calculated results of this equation are consistent with the ones from the numerical device simulation.

**Key words:** BMHMT; device model; SiGe; SOI

**PACC:** 7340Q      **EEACC:** 2530N; 2560B; 2560Z

**Article ID:** 0253-4177(2003)03-0312-06

\* Project supported by National Natural Science Foundation of China(No. 69836020)

Xia Kejun male, was born in 1978, master, working with novel semiconductor materials and device physics.

Li Shurong male, was born in 1946, professor, working with novel semiconductor devices and R&D of VLSI.

Received 22 May 2002, revised manuscript received 12 September 2002

©2003 The Chinese Institute of Electronics