

# 压阻加速度计的 Au-Si 共晶键合\*

王 翔 张大成 李 婷 王 玮 阮 勇 李修函 王小保 杜先锋

(北京大学微电子学研究所, 北京 100871)

**摘要:** 通过将压阻加速度计上帽与结构片的键合(365 °C 保温 10min), 再进行下帽与结构片的键合(380 ± 10 °C 保温 20min), 成功进行了三层键合。测得的键合强度约为 230M Pa。硅片-基体/SiO<sub>2</sub>/Cr/Au 层和硅片之间键合时, SiO<sub>2</sub> 溶解而形成 CrSi<sub>2</sub> 硅化物。共晶反应因 Cr 层而被推迟, 键合温度高出共晶温度 20 °C 左右, 从而避免了由于 Au 元素向硅中扩入而造成的污染, 进而避免可能造成的对集成微电子器件性能的影响。试验还证明硅基体-SiO<sub>2</sub>/Cr/Au/Poly-Si/Au 键合层结构设计模型也遵循这一键合过程中的原子扩散理论。

**关键词:** 金; 硅; 共晶键合; 压阻式加速度计

**PACC:** 6150C; 6855

中图分类号: TN304. 1

文献标识码: A

文章编码: 0253-4177(2003)03-0332-05

## 1 引言

硅器件中的 Au-Si 键合在微电子机械系统(MEMS)制造中, 具有重要的技术和经济价值(国际上多家大公司统计, 封装成本占整个器件成本的 70% 左右)。其特点是处理温度低、液相粘结性好, 并且对界面的粗糙度不很敏感<sup>[1,2]</sup>。因此, Au-Si 键合工艺技术及其机理研究正得到广泛的重视<sup>[3]</sup>。由于需要键合的微机电加工的硅片, 往往本身有含金的电极或电路, 硅片的氧化层有钝化功能, 腐蚀去除后进行其他方式键合或组装时易受影响, 且金层的制备工艺上也很方便, 所以用 Au-Si 合金共晶相作键合粘结层有很多优点。

通常铬或钛作为中间层, 被溅射在硅(氧化硅)基体和金层之间, 以获得金与硅之间良好的粘结性能<sup>[1,4]</sup>。Au-Si 键合是一种经过退火后, 硅片之间产生 Au-Si 共晶反应的键合。键合面之间有共晶硅化物粘结相形成<sup>[5,6]</sup>。键合面的平整度的好坏将直接影响键合率的提高。键合面的清洗工艺对键合也有

着重要作用。表面层的污染物和氧化层将严重影响键合的实现, 常用真空或氮气环境来解决这一问题。

本文着重研究了压阻加速度计制备过程中的 Au-Si 键合工艺, 包括键合面状况、Cr 中间层在表面氧化物的溶解、铬硅化物形成以及 Au-Si 共晶相形成等作用机理。

## 2 试验

压阻加速度计的断面结构如图 1 所示, 其三层需要通过键合组装在一起。实验中使用的是Φ100mm 525μm 厚的(100) n 型硅片。首先, 将硅片在硫酸和双氧水的混合溶液( $V(H_2SO_4): V(H_2O_2) = 4: 1$ ) 中煮沸(约 120 °C) 10min, 以去除硅片表面的污染物和碳氢化合物。结构片的一表面溅射了 20~100nm 的 Cr 层和约 300nm 的 Au 层, 其结构为硅基体-SiO<sub>2</sub>/Cr/Au, 而另一面分别为纯硅基(键合前经 KOH 溶液漂洗) 和基体-SiO<sub>2</sub>(自然氧化层)/Cr(20nm)。系统研究了如下几组配对面的键合:

(1) 硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(300nm) 与硅;

\* 国家重点基础研究发展计划资助项目(合同号: G1999033108)

王 翔 男, 1965 年出生, 博士, 副教授, 主要研究方向为新型微电子器件及材料、MEMS 技术。

张大成 男, 1961 年出生, 教授, 主要从事多种传感器、MEMS 工艺技术等的研究。

李 婷 女, 1967 年出生, 高工, 主要从事传感器技术、MEMS 工艺技术等工作。

2002-04-15 收到, 2002-08-30 定稿

©2003 中国电子学会

- (2) 硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(300nm)与基体-SiO<sub>2</sub>/Cr(20nm);
- (3) 硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(100nm)/Poly-Si(50nm)/Au(100nm)与硅;
- (4) 硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(100nm)/Poly-Si(50nm)/Au(100nm)与基体-SiO<sub>2</sub>/Cr(20nm).

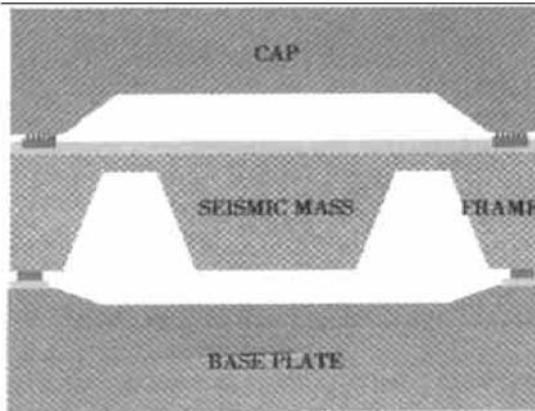


图 1 压阻加速度计的断面结构

Fig. 1 Schematic assembling structure of the piezoresistive accelerometer

多晶硅由溅射及后续的退火工艺制得。所有硅片都必须经过如下严格的工艺清洗。先在溶液( $V(\text{NH}_4\text{OH}) : V(\text{H}_2\text{O}) = 1:10$ )中漂洗20min, 最后在0.05M H<sub>2</sub>SO<sub>4</sub>溶液中浸泡10min, 再在转速为2000r/min甩干机上甩3min。清洗过程中的每一步都须用去离子水冲洗。键合试验是在Karlsuss公司制备的Suss SB6 VAC型键合设备和Suss BA6型硅/硅和硅/玻璃键合对准设备上进行。先将三片中的两片在光刻机上对准, 置入键合机中, 在约365℃下键合近10min, 再与剩下的另一片在约365~400℃下键合近20min即可。键合腔的本底真空中度优于5Pa, 氮气工作压力为 $10^5\text{Pa}$ , 键合压力为 $2 \times 10^5\text{Pa}$ 。键合后温度下降到室温的时间为0.6h。键合试样切成一个个器件单元, 单元尺寸为6.5mm×6.5mm。键合好的试样通过了刃片插入检验。有意撕开的试样进行了光学显微镜和扫描电镜等微观分析检测。使用特制夹具, 在拉伸强度试验装置上, 检测试样的结合强度。

### 3 结果与讨论

通过首先进行上帽与结构片的键合(365℃保温10min), 再进行下帽与结构片的键合( $380 \pm 10^\circ\text{C}$ 保

温20min), 成功地完成了压阻加速度计的三层键合。鉴定键合效果预先由楔状刀片或者刃片插入试验检测, 还要看是否能顺利通过专用小砂轮切割, 最后还可进行结合强度检测试验。试验发现无法插入刃片。试样被成功切开, 切开的断面未发现键合面处有明显的空洞。切片后的单元压阻加速度计的断面扫描电镜(SEM)形貌如图2所示。进一步提高放大倍数发现共晶粘结相处亦无明显的空洞, 说明键合很牢固(如图3所示)。但发现了切割后共晶相也有一些脆裂的现象, 经过进一步降低冷却速度后情况较好。总之, 在上述条件下键合后, 试样结合很紧密。

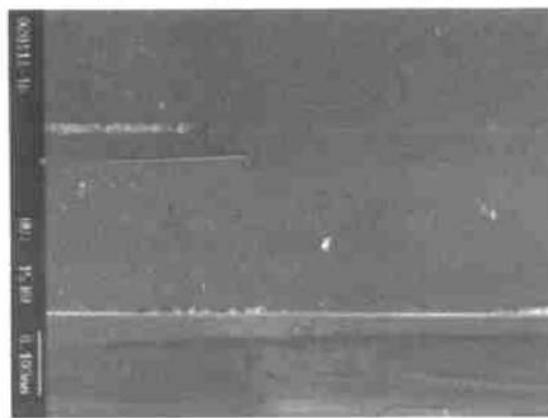


图 2 压阻加速度计键合切片后的断面形貌

Fig. 2 Cross-sectional SEM image of the bonded tri-wafer

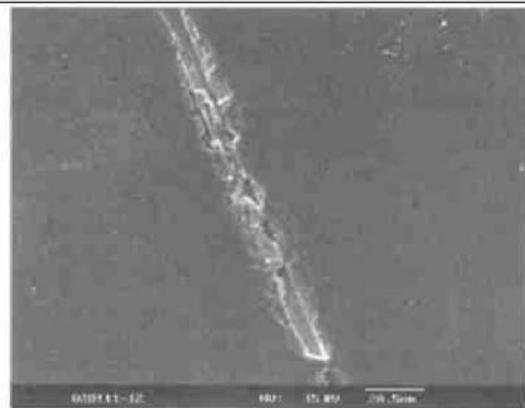


图 3 两键合硅片切断面的 SEM 形貌

Fig. 3 Cross-sectional SEM image of the bonded two-wafer

结合强度试验是将细小的压阻加速度计单元两键合硅片表面对粘在强度试验机的夹具上, 施加拉力, 试图将键合面拉开。多数试样在夹具与试样粘合处脱开, 而键合结合处完好无损。当键合面被拉开时,

共晶粘结相没有改变(如图 4 所示), 硅基体有颗粒状脱落现象发生。最终测得的键合强度约为 230 MPa。拉开的键合表面粗糙不平, 无法再进行键合试验。这一现象表明, 键合强度高于硅片基体本身强度。

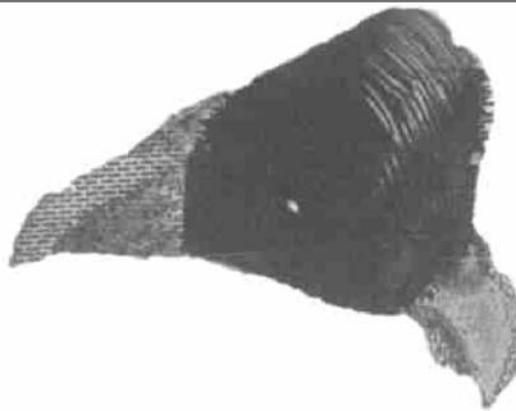


图 4 键合区脱落颗粒的撕裂形貌 200×

Fig. 4 Fracture micrograph of a bonded area 200×

$\text{Au-Si}$  共晶键合时,  $\text{Au}$  与纯  $\text{Si}$  或其很薄的自然氧化层接触, 在高于共晶温度 363  $^{\circ}\text{C}$  以上有共晶反应物生成。从图 5(a) 可以看出, 键合面上有多处出现块状或颗粒状硅粘附在凝固的共晶体上, 而从另一硅片基体上剥落、撕裂下来。由此图也同样说明键合强度高于硅片本身强度。图 5(b) 是另一硅片有剥落现象出现的界面的 SEM 观察形貌, 两相对键合的硅片设计有砌砖式码堆图形。试验中发现此图形对键合有利, 可以对共晶相从高温液相冷却凝固时的体积伸缩起缓冲作用, 同时也部分解决了因表面平整度而给键合带来的影响。

键合发生在硅片基体/ $\text{SiO}_2/\text{Cr}/\text{Au}$  层和硅片之间。当  $\text{Cr}$  与硅基表层的  $\text{SiO}_2$  中的  $\text{Si}$  形成  $\text{CrSi}_2$  硅化物隔层或者称硅原子扩散阻挡层时,  $\text{SiO}_2$  溶解。由于  $\text{Au}$  难以与附有自然氧化层  $\text{SiO}_2$  的硅片粘合, 而中间层  $\text{Cr}$  与硅片有很好的粘附性<sup>[8]</sup>。 $\text{Cr}$  层上溅上了一层与之附着力极好的  $\text{Au}$  层, 此  $\text{Au}$  层一方面可从  $\text{CrSi}_2$  中获取  $\text{Si}$ , 以形成共晶体, 另一方面又与相键合的硅片反应形成共晶相。由于  $\text{Cr}$  层的加入, 使所需的键合温度提高了。其键合温度约为 385  $^{\circ}\text{C}$ , 高于  $\text{Au-Si}$  合金的共晶温度。因为硅需要能量克服  $\text{Cr}$  阻挡层(实际上是  $\text{CrSi}_2$  硅化物层)与  $\text{Au}$  结合形成共晶体。硅化反应引起  $\text{Au}$  和  $\text{Si}$  在硅片基体上的外延生长。结果是许多硅岛在  $\text{Au}$  膜中长出, 与  $\text{Si}$  晶粒相间隔存在。值得注意的是, 在低于  $\text{Au-Si}$

共晶温度时,  $\text{Au}$  向  $\text{Si}$  中扩散而不是  $\text{Si}$  向  $\text{Au}$  中扩散, 形成金硅化合物  $\text{SiAu}_3$ <sup>[7]</sup>。总之, 键合温度在高出共晶温度 20  $^{\circ}\text{C}$  键合时, 可以避免硅中由于  $\text{Au}$  的扩入而造成的污染, 进而可以避免可能造成的集成微电子器件性能的下降。

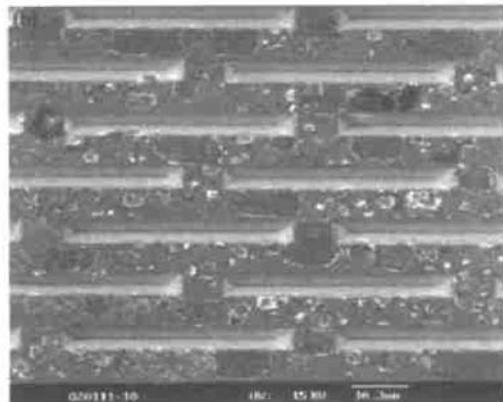
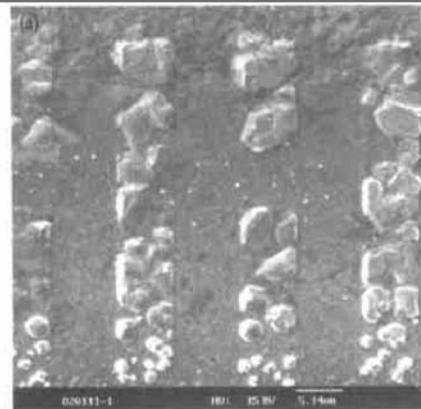


图 5 键合面的 SEM 形貌 (a)  $\text{Au}/\text{Cr}/$  硅片基体; (b) 硅片

Fig. 5 SEM images of bonding surfaces (a)  $\text{Au}/\text{Cr}/\text{Si}$  wafer; (b)  $\text{Si}$  wafer

在硅片基体/ $\text{SiO}_2/\text{Cr}/\text{Au}$  膜层中, 中间  $\text{Cr}$  层起着阻碍  $\text{Si}$  元素扩散的作用。 $\text{Si}$  在  $\text{Cr}$  中的溶解度非常小, 这将阻止硅通过  $\text{Cr}$  层扩散进入  $\text{Au}$  层, 从而难以达到共晶成分而形成共晶体, 参见图 6 所示的  $\text{Au-Si}$  二元相图。 $\text{SiO}_2$  层会因其中的  $\text{Si}$  原子向  $\text{Cr}$  层扩散而溶解, 直到饱和或者共晶相生成为止。 $\text{Cr}$  与  $\text{Si}$  直接反应生成硅化物  $\text{CrSi}_2$ 。局部的氧化物溶解, 使得  $\text{Au}$  和  $\text{Si}$  直接接触, 在界面形成共晶相。

在硅片-基体/ $\text{SiO}_2/\text{Cr}/\text{Au}$ (300nm)与硅片-基体/ $\text{SiO}_2/\text{Cr}$  中, 硅化物  $\text{CrSi}_2$  阻隔了键合层另一侧  $\text{Au}$  与  $\text{Si}$  的直接接触。与上一组键合对比较, 键合层的另一侧面又多了一硅化物  $\text{CrSi}_2$  阻挡层。因此, 由于  $\text{Cr}$  层的同时加入, 使所需的键合温度更进一步提

高了。其键合温度约为 400 ℃, 高于 Au-Si 合金的共晶温度。同样说明, 此时 Si 需要更高的能量克服 Cr 阻挡层(实际上是 CrSi<sub>2</sub> 硅化物层), 使之与 Au 结合形成共晶体。

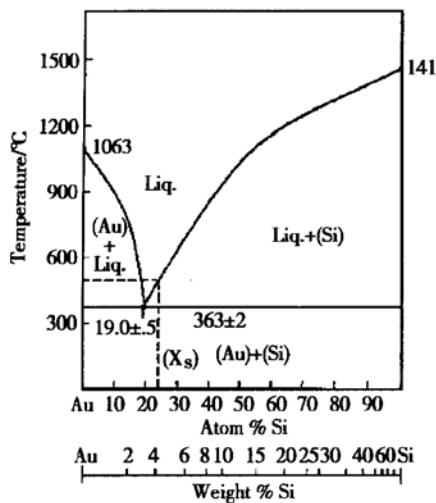


图 6 Au-Si 二元相图<sup>[9]</sup>

Fig. 6 Au-Si phase diagram<sup>[9]</sup>

在硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(100nm)/Poly-Si(50nm)/Au(100nm) 与硅, 以及硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(100nm)/Poly-Si(50nm)/Au(100nm) 与基体-SiO<sub>2</sub>/Cr(20nm) 两组键合试验中, 加入了多晶硅 Poly-Si(50nm) 层。此多晶硅层使得 Au-Si 共晶反应界面更多, 共晶反应更充分。从微观检测分析可知, 所得的共晶反应产物中, 相间的 Au-Si/Au-Si 混合片层更细小了, 也明显发现此时的键合更牢固, 并且硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(100nm)/Poly-Si(50nm)/Au(100nm) 与基体-SiO<sub>2</sub>/Cr(20nm) 的键合, 比硅基体-SiO<sub>2</sub>/Cr(20nm)/Au(100nm)/Poly-Si(50nm)/Au(100nm) 与硅的键合温度更高一些, 键合强度也更大一些。由检测可知, 此时的最佳键合温度也达 420~450 ℃, 键合强度约达 240~260 MPa。前一键合对的值接近此范围的上限。

## 4 结论

通过进行上帽与结构片的键合(365 ℃ 保温 10min), 再进行下帽与结构片的键合(380±10 ℃ 保温 20min), 完成了压阻加速度计的三层键合, 并成功地切割成各细小的单元。楔状刀片或者刃片无法插入键合面。测得的键合强度约为 230 MPa, 高于硅片基体本身强度。砌砖式码堆图形对共晶相凝固

时的体积伸缩起缓冲作用及对平整度影响有利, 因而对键合有利。硅片基体/SiO<sub>2</sub>/Cr/Au 层和硅片之间的键合, 因 Si 扩散阻挡层 CrSi<sub>2</sub> 的出现而使键合温度高出共晶温度 20 ℃ 左右, 键合强度得到了提高, 同时避免了由于 Au 元素向硅中扩入而造成的污染, 进而可以避免可能造成的对集成微电子器件性能的影响。硅基体-SiO<sub>2</sub>/Cr/Au/Poly-Si/Au 键合层结构设计模型也遵循这一键合过程中的原子扩散理论。

**致谢** 本文中的扫描电镜显微分析部分, 得到了清华大学精仪系摩擦学国家重点实验室的杨文言老师的帮助和支持, 在此特表示衷心感谢! 同时也感谢北京大学微电子所微米/纳米加工技术国家重点实验室的王颖等人大力支持。

## 参考文献

- [1] Wolffenbuttel R F. Low-temperature intermediate Au-Si wafer bonding; eutectic or silicide bond. Sensors and Actuators A, 1997, 62: 680
- [2] Tiensuu A L, Schweitz J A, Johansson S. In situ investigation of precise high strength micro assembly using Au-Si eutectic bonding. The 8th International Conference on Solid State Sensor and Actuators, and Eurosensors IX. Stockholm, Sweden, 1995: 236
- [3] Enikov T, Boyd J G. Electro-fluidic interconnects for chemical sensors. Sensors and Actuators, 2000, 84: 161
- [4] Groza D, Bengu E, Marks L D. Surface phase for the Ag-Ge(111) and Au-Si(111) systems. Surf Sci, 2000, 461: 23
- [5] Tiensuu A L, Bexell M, Schweitz J A. Assembling three dimensional microstructures using gold-silicon eutectic bonding. Sensors and Actuators A, 1994, 45: 227
- [6] Nurcan A, Nese E, Alexy A, et al. Electrical and structural properties of Cr ion implanted thin Au films. Mater Chem Phys, 1999, 60: 182
- [7] Chang P H, Berman G, Shen C C. Transmission electronic microscopy of gold-silicon interactions on the backside of silicon wafers. J Appl Phys, 1988, 63(5): 1473
- [8] Wolffenbuttel R F, Wise K D. Low-temperature silicon wafer-to-wafer bonding using gold at eutectic temperature. Sensors and Actuators A, 1994, 43: 223
- [9] Hansen M, Anderko K. Constitution of binary alloys. New York: McGraw-Hill, 1958

## Gold Silicon Wafer Eutectic Bonding in Piezoresistive Accelerometer Assembling<sup>\*</sup>

Wang Xiang, Zhang Dacheng, Li Ting, Wang Wei, Ruan Yong, Li Xiuhan,  
Wang Xiaobao and Du Xianfeng

(Institute of Microelectronics, Peking University, Beijing 100871, China)

**Abstract:** A piezoresistive accelerometer is bonded successfully. It is completed by two steps: the cap and frame wafer are first bonded together at 365 °C for 10min. The base plate is then bonded with them by annealing at 380 ± 10 °C for 20min. The eutectic bonding strength is measured to be as high as 230 MPa. The bonding between wafer/ Cr/ Au and Si wafer is also studied. The bonding begins as soon as the dissolving of the SiO<sub>2</sub> layer by silicidation of the Cr barrier layer. An excess annealing temperature (about 20 °C) should be used to avoid gold contamination of the silicon die with the possible deteriorating effect on integrated microelectronic device properties. A Si substrate/ SiO<sub>2</sub>/ Cr/ Au/ Poly-Si/ Au eutectic solder, which is also fabricated, is in agreement with this atom diffusion theory.

**Key words:** gold; silicon; eutectic bonding; piezoresistive accelerometer

**PACC:** 6150C; 6855

**Article ID:** 0253-4177(2003)03-0332-05

\* Project supported by Major State Basic Research Developing Program of China(No. G1999033108)

Wang Xiang male, was born in 1965, PhD, associate professor. His main research areas are in the advanced microelectronic device and materials, MEMS technology.

Zhang Dacheng male, was born in 1961, professor. His main research areas are in various transducers and MEMS technology.

Li Ting female, was born in 1967, senior engineer. She is engaged in sensors and MEMS fabrication technology.

Received 15 April 2002, revised manuscript received 30 August 2002

©2003 The Chinese Institute of Electronics