

# 兼容标准 CMOS 工艺的高压器件设计与模拟

刘奎伟<sup>1</sup> 韩郑生<sup>1,3</sup> 钱鹤<sup>1,3</sup> 陈则瑞<sup>2</sup> 于洋<sup>2</sup> 傅竞时<sup>2</sup> 仙文岭<sup>2</sup>

(1 中国科学院微电子中心, 北京 100029)

(2 首钢日电电子有限公司, 北京 100041)

(3 北京首科微电子工业研发中心有限公司, 北京 100029)

**摘要:** 在 Synopsys TCAD 软件环境下, 模拟实现了与  $0.5\mu\text{m}$  标准 CMOS 工艺兼容的高压 CMOS 器件, 其中 NMOS 耐压达到 108V, PMOS 耐压达到 -69V。在标准 CMOS 工艺的基础上添加三块掩膜版和五次离子注入即可完成高压 CMOS 器件, 从而实现高、低压 CMOS 器件的集成。此高压兼容工艺适用于制作带高压接口的复杂信号处理电路。

**关键词:** 高压 CMOS;  $0.5\mu\text{m}$ ; 兼容工艺; 模拟

**EEACC:** 2560A; 2560S

**中图分类号:** TN303; TN405

**文献标识码:** A

**文章编号:** 0253-4177(2003)07-0758-05

## 1 引言

平板显示、喷墨打印以及一些自动化解决方法的广泛应用, 大大增加了对带高压接口的复杂信号处理电路的需求<sup>[1]</sup>。在标准 CMOS 工艺中添加高压器件, 即采用高低压混载的 CMOS 工艺是低成本制作此类电路的方法, 因此高压工艺有着广泛的应用前景。

高压工艺制备的高压器件(耐压绝对值大于 40V)主要应用于真空荧光屏显示器(VFD)显示驱动电路领域, 即 DVD、VCD 及 VCR 等的显示屏驱动电路。仅国内显示驱动电路每年的数量都在千万块以上。北京申奥成功后, 各种标牌显示的需求急剧增长, 使得高压器件的市场无限广阔, 从而扩大了含高压 CMOS 器件的高压工艺的市场前景。国外及台湾地区在这一集成技术方面已取得显著成果, 部分公司已实现规模化生产; 但在国内大陆地区尚属空白。

要实现高压工艺, 可以采用智能电压扩展(SVX)技术<sup>[2]</sup>。SVX 技术可以直接在低压 CMOS

标准工艺中集成高压 CMOS 器件, 而不需要修改和添加工艺流程, 这既降低了工艺复杂度又降低了生产成本。SVX 技术已成功应用于  $2\mu\text{m}$  标准 CMOS 工艺, 现在正向亚微米和深亚微米标准 CMOS 工艺发展。但将 SVX 技术用于亚微米标准工艺, 需要解决许多技术上的难题, 其中包括: 如何克服高压器件的击穿电压降低, 如何实现高压 PMOS 晶体管的 p型漂移区等。

对于亚微米标准工艺以下的 SVX 技术, 如何在已定的击穿电压条件下采用最少的工艺修改来实现集成的高压 CMOS 器件, 是当今不断缩小的低压标准 CMOS 工艺中的一大挑战。瑞士的 Bassin 等人在这方面已作了一些研究<sup>[1]</sup>, 设计和优化了兼容  $0.5\mu\text{m}$  工艺耐压 100V 的高压 NMOS(HVNMOS), 而对高压 PMOS(HVPMOS)的设计和优化正在进行中。

我们在首钢日电电子有限公司  $0.5\mu\text{m}$  标准 CMOS 工艺的基础上, 用 Synopsys 的 TCAD 模拟软件模拟实现了与其兼容的高压 CMOS 器件。通过添加三块掩膜版和五次离子注入分别完成了高压 CMOS 所需的高压 n 阵、高压 p 阵和高压 MOS 阵。

刘奎伟 男, 1979 年出生, 硕士研究生, 研究兴趣是半导体器件与超大规模集成电路工艺技术。

韩郑生 男, 1962 年出生, 研究员, 博士生导师, 研究兴趣是半导体器件与超大规模集成电路工艺技术。

钱鹤 男, 1963 年出生, 研究员, 博士生导师, 研究兴趣是半导体器件与超大规模集成电路工艺技术。

2002-08-06 收到, 2002-12-04 定稿

© 2003 中国电子学会

值电压的调整,实现了高、低压 CMOS 器件的集成.

## 2 高压 CMOS 器件结构

模拟中所采用的高压 CMOS 器件结构如图 1 所示, HVNMOS 直接制作在衬底上, HVP MOS 制作在高压 n 阵(HVN well)中. 对于高压阱,我们首次提出用高压 p 阵(HVP well)作为 HVNMOS 的沟道区,这样既可以防穿通以提高器件的击穿电压,也可以减少掩膜版数目以实现降低成本. 高压阱作为器件漂移区,决定着器件的耐压特性,其注入剂量可根据表面电场降低(RESURF)等理论确定<sup>[3,4]</sup>. 高压阱除作为漂移区外,还是高压 MOS 沟道区,决定器件的阈值电压,因此高压阱注入能量和剂量的选择需要在二者之间折衷.

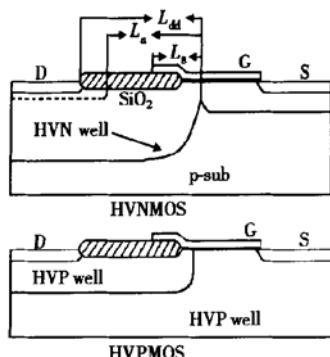


图 1 高压 CMOS 器件结构

Fig. 1 Structures of HVCMOS

## 3 兼容工艺的实现

在标准 CMOS 工艺的基础上,通过添加三块掩膜版和五次离子注入可实现此兼容工艺. 下面是此兼容工艺在栅氧化之前的主要工艺流程,其中黑体字部分是我们添加的工艺步骤. **HVNwell** 注入与推进——LOCOS 形成——Nwell&Pwell 注入——**HVPwell** 注入与 **HVN MOS 阈值调整**——**HVP MOS 阈值调整**——**高压 CMOS 器件厚栅氧化及氧化膜刻蚀**——**低压 CMOS 器件栅氧化**. 此工艺中, HVNwell 通过一次离子注入和高温推进实现; HVPwell 用三次离子注入完成,同时完成 HVNMOS 阈值电压的调整; 通过 HVNwell 掩膜版进行一次离子注入实现 HVP MOS 阈值电压的调整; 高压 CMOS 器件栅氧化膜刻蚀掩膜版用于实现高、低

压器件不同的栅氧化厚度.

## 4 高压 CMOS 器件模拟

我们在 Taurus WorkBench (TWB) 软件环境下,用 TSUPREM 4 和 MEDICI 分别对高压器件的工艺过程和器件特性进行了模拟. 在此之前,用此软件对首钢日电电子有限公司的 0.5μm 标准 CMOS 工艺进行了模拟,以确定模拟软件的准确性,部分结果见表 1. 由此可见模拟结果是可靠的.

表 1 标准 CMOS 模拟值与实测值比较

Table 1 Comparison between simulation and experiment of standard CMOS

	栅氧化厚度 /nm	p 阵结深 /μm	NMOS		PMOS	
			阈值电压 /V	击穿电压 /V	阈值电压 /V	击穿电压 /V
实测值	16	1.42	0.61	11.8	-0.84	-10.48
模拟值	16.1	1.44	0.64	11.6	-0.86	-11.4

### 4.1 高压 n 阵分布校准

此工艺中, HVN well 是在 1200°C 高温下推进实现的(其它阱均通过离子注入直接完成). 在模拟软件 TSUPREM 4 省缺的条件下,其模拟结果与实际有较大差别,因此需要校准. 通过修改磷在 1200°C 下的扩散模型参数<sup>[5,6]</sup>,达到了与实际 HVNwell 扩展电阻技术(SRP)测量结果相吻合的目的,如图 2 所示.

### 4.2 模拟与优化

击穿电压、阈值电压和器件的驱动能力是模拟高压 CMOS 器件需要考虑的性能指标,在达到耐压要求的情况下,须实现 NMOS 和 PMOS 的阈值电压和驱动能力的匹配.

与击穿电压有关的器件参数主要有:  $L_{dd}$ 、 $L_g$  和  $L_n$ (如图 1 所示),其中  $L_n$  是器件版图中高压 n 阵和高压 p 阵之间的距离. 在图 1 中,虚线表示高压 n 阵注入后推进前的位置,以此说明器件版图中高压 n 阵和高压 p 阵之间的距离,箭头所指的阱代表高压 n 阵推进后的位置. 文献[1]对 HVNMOS 的  $L_{dd}$  和  $L_g$  进行了优化:对于固定的  $L_g$  值,击穿电压随  $L_{dd}$  的变大而变大,最后达饱和值;对于固定的  $L_{dd}$  值,击穿电压随  $L_g$  的变大而出现一峰值. 根据其结果,我们验证后选定了 HVNMOS 的  $L_{dd}$  和  $L_g$  值,其大小

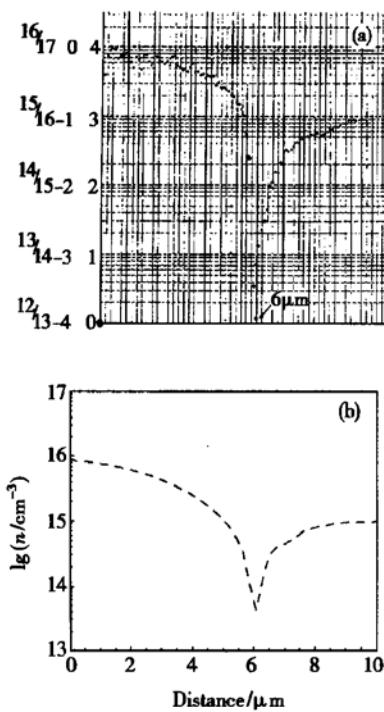


图 2 高压 N 阵的分布校准 (a)SRP 实测结果; (b) 模拟结果

Fig. 2 Calibration of the profile of HVNwell  
(a) Result of SRP; (b) Result of simulation

分别为  $5.5\mu\text{m}$  和  $2.5\mu\text{m}$ ; 同时对 HVN MOS 的  $L_n$  参数进行了优化, 结果如图 3 所示。当  $L_n$  大小为  $4.5\mu\text{m}$  时, HVN MOS 有最大的驱动能力, 耐压达到  $108\text{V}$ , 此时与高压 n 阵高温推进后的横向扩散长度(约  $4.5\mu\text{m}$ )正好相吻合。对于高压 PMOS, 器件参数  $L_{dd}$  和  $L_g$  对器件击穿电压的影响与高压 NMOS 有相同的趋势。

高压阱不仅作为器件的漂移区, 而且也是器件的沟道区。对于 HVN well, 通过一次注入和高温推进可满足高压 NMOS 的击穿要求; 对于 HVP well, 通过三次离子注入即可满足高压 PMOS 的击穿和

高压 NMOS 的阈值要求, 其中第三次离子注入对高压 NMOS 的阈值调整起主要作用。

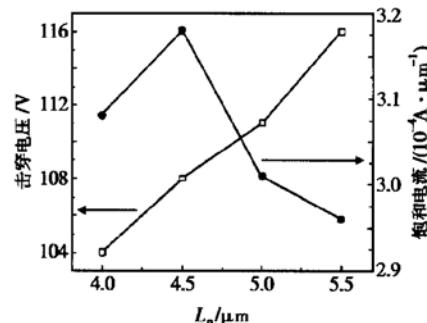


图 3 器件参数  $L_n$  的优化

Fig. 3 Optimization of parameter  $L_n$

通过对参数  $L_{dd}$ 、 $L_g$  和  $L_n$  的模拟优化以及高压阱注入剂量和能量的模拟, 我们获得了较为理想的结果, 器件阈值电压和击穿电压等都达到了设计目标(阈值电压的设计目标为  $\pm 1.15 \pm 0.15\text{V}$ , 击穿电压要实现绝对值大于  $40\text{V}$ )。在表 2 列出部分器件结构参数和模拟优化结果; 高压器件击穿时的电势分布图, 如图 4 和图 5 所示; 以及高压器件的漏极特性曲线的模拟结果, 如图 6 和图 7 所示。

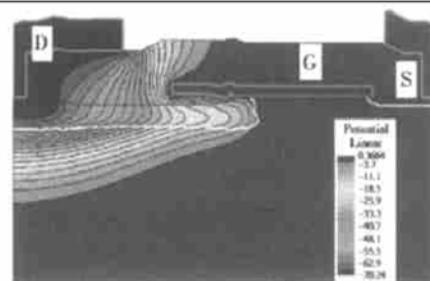


图 4 高压 PMOS 电势分布图

Fig. 4 Potential lines of HVP MOS

表 2 器件结构参数和模拟优化结果

Table 2 Parameters of structure and results of simulation

	$L_{dd}/\mu\text{m}$	$L_g/\mu\text{m}$	$L_n/\mu\text{m}$	阈值电压/V $ V_{ds}  = 10\text{V}$	击穿电压/V $V_{gs} = 0$	漏极饱和电流/(A · $\mu\text{m}^{-2}$ ) $ V_{gs}  = 40\text{V},  V_{ds}  = 40\text{V}$
HVN MOS	5.5	2.5	4.5	1.15	108	$3.18 \times 10^{-4}$
文献[1] HVN MOS	6.5	3			100	
HVP MOS	6	2.5		-1.14	-69V	$-1.27 \times 10^{-4}$

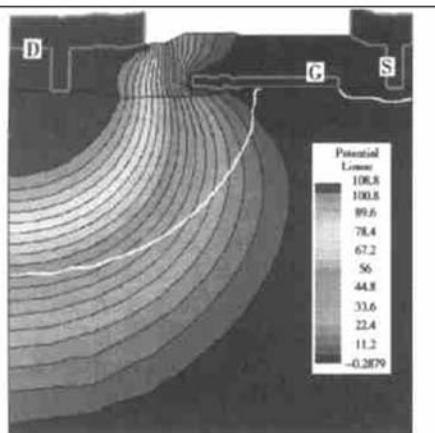
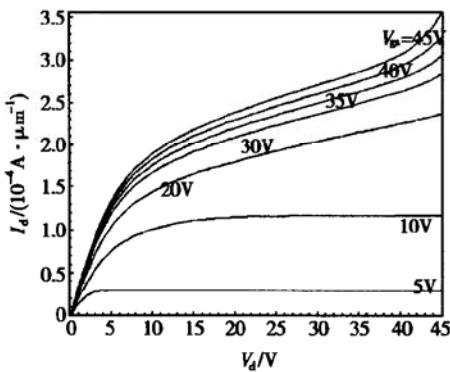
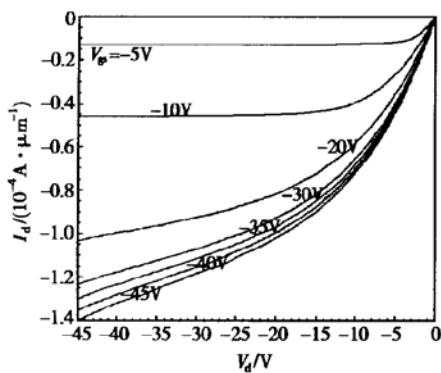


图 5 高压 NMOS 电势分布图

Fig. 5 Potential lines of HVNMOS

图 6 高压 NMOS 的  $I_d$ - $V_d$  曲线Fig. 6  $I_d$ - $V_d$  curves of HVNMOS图 7 高压 PMOS 的  $I_d$ - $V_d$  曲线Fig. 7  $I_d$ - $V_d$  curves of HVPMOS

## 5 结论

我们在首钢日电电子有限公司  $0.5\mu\text{m}$  标准 CMOS 工艺的基础上, 通过添加三块掩膜版和五次离子注入模拟实现了高压 CMOS 器件, 从而实现了兼容高、低压 CMOS 器件的高压工艺。高压阱制作的同时完成了器件的阈值调整, 既降低了工艺复杂度, 又降低了制作成本。从模拟得出的高压器件的性能可知, 此项高压工艺可以用来制作高、低压数模混合电路。此高压工艺的成功完成, 不仅可以填补国内大陆地区该领域空白, 而且可以降低我国相关产业的投入成本。

**致谢** 感谢首钢日电电子有限公司提供的软硬件环境以及前工序研发室全体员工在模拟过程中给予的帮助和支持。

## 参考文献

- [1] Bassin C, Ballan H, Declercq M. High voltage devices for  $0.5\mu\text{m}$  standard CMOS technology. *IEEE Electron Device Lett*, 2000, 21(1): 40
- [2] Ballan H, Declercq M. High voltage devices and circuits in standard CMOS technologies. Kluwer Academic Publisher, 1999
- [3] Appels J A, Vaes H M J. High voltage thin layer devices (resurf devices). In: Proceedings of 25th Int Electron Devices Meeting, 1979: 238
- [4] He Jin, Zhang Xing, Huang Ru, et al. 2-Dimensional analysis of surface electric field profile of planar junction with single-step field-plate termination structure. *Chinese Journal of Semiconductors*, 2001, 22(7): 915 (in Chinese) [何进, 张兴, 黄如, 等. 平面结场板结构表面场分布的二维解析. 半导体学报, 2001, 22(7): 915]
- [5] Wolf S. Silicon processing for the VLSI era process integration. Lattice Press, 1990
- [6] Synopsys TCAD manual: TSUPREM-4 Version 2001. 4

## Design and Simulation of High-Voltage CMOS Devices Compatible with Standard CMOS Technologies

Liu Kuiwei<sup>1</sup>, Han Zhengsheng<sup>1,3</sup>, Qian He<sup>1,3</sup>, Chen Zerui<sup>2</sup>, Yu Yang<sup>2</sup>,  
Rao Jingshi<sup>2</sup> and Xian Wenling<sup>2</sup>

(1 Microelectronics R&D Center, The Chinese Academy of Sciences, Beijing 100029, China)

(2 Shougang NEC Electronics Co. Ltd., Beijing 100041, China)

(3 Beijing Shouke Microelectronics Industry R&D Center Co. Ltd., Beijing 100029, China)

**Abstract:** High-voltage CMOS(HVCMOS) devices compatible with standard  $0.5\mu\text{m}$  CMOS technologies are simulated with Synopsys TCAD software. The breakdown voltage of high-voltage NMOS(HVNMOS) is 108V, and the breakdown voltage of high-voltage PMOS(HVPMOS) is -69V. In order to finish HVCMOS devices, it only needs adding three masks and five implantations based on the standard CMOS technologies. As a result, the integration of HVCMOS and low-voltage CMOS(LVC-MOS) is realized, and the high voltage compatible technology can be used to manufacture complex signal processing circuits followed by high-voltage interfaces.

**Key words:** high-voltage CMOS;  $0.5\mu\text{m}$ ; compatible technology; simulation

**EEACC:** 2560A; 2560S

**Article ID:** 0253-4177(2003)07-0758-05

Liu Kuiwei male, was born in 1979, graduate student. His research interests are semiconductor devices and VLSI process technology.

Han Zhengsheng male, was born in 1962, professor. His research interests are semiconductor devices and VLSI process technology.

Qian He male, was born in 1963, professor. His research interests are semiconductor devices and VLSI process technology.