

CMOS 兼容光电单片接收机的模拟与设计*

李 炜¹ 毛陆虹¹ 陈弘达² 孙增辉² 高 鹏¹ 陈永权¹

(1 天津大学电子与信息工程学院, 天津 300072)

(2 中国科学院半导体研究所 集成光电子学国家重点实验室, 北京 100083)

摘要: 设计了与 CMOS 工艺兼容的光电单片接收机电路, 其中包括光电探测器、前置放大器和主放大器。它采用 $0.6\mu\text{m}$ CMOS 工艺, 可在自备的高阻外延片上使用 MPW (multi-project wafer) 进行流水。其中光电探测器的工作波长为 850nm , 响应度为 0.2A/W , 接收灵敏度为 -16dBm , 带宽为 800MHz , 因此适用于 VSR (very short reach) 系统。前置放大器采用电流模反馈放大器, 主放大器输出为 LVDS (low voltage differential signals) 电平。通过器件模拟与电路模拟统一的方法将光电探测器与接收机放大电路进行统一模拟, 分析了电路的限制因素, 并提出了相应的改进方法。

关键词: 单片集成; 光电探测器; 器件模拟

EEACC: 4250; 2560B

中图分类号: TN303; TN364⁺.2

文献标识码: A

文章编号: 0253-4177(2003)09-0960-06

1 引言

近十年来, 由于新型半导体材料和高速光电器件、电路以及工艺技术的发展, 即微电子科学与技术的发展, 使光纤通信系统迅速发展, 为现代化光纤网络奠定了基础。在光纤通信系统中扮演重要角色的光接收机一直是研究者致力研究和开发的对象。在高速接收机中, 单片光电集成(OEIC)是实现高速大容量光通信的根本出路, 因为它省去了后道的组装工序和组装成本, 最大限度地消除了封装、引线和连线等寄生参量影响, 可以实现极高的速率。OEIC 还具有体积小、成品率高、可靠性好和可以实现更为丰富的功能等优点。利用硅制作的光电探测器与接收电路单片集成电路不仅有光电转换功能和放大功能, 而且可以方便地引入电子的逻辑处理、存储和智能控制功能, 充分利用了电子器件的多功能性。单片光电集成电路已经被应用在 CD-ROM、数字化视频光盘(DVD)及波长在 $630\sim850\text{nm}$ 通过塑料光纤传

送的数字系统中^[1]。目前发展起来的甚短距离传输(VSR, very short reach), 是在短距离内实现高速信息传输的方法, 是硅光电集成最有可能应用的领域。

光电单片接收机中很重要的器件就是光探测器。贝尔实验室的 Woodward 等人用在 n 阵上做横向二极管的方法, 采用 $0.35\mu\text{m}$ CMOS 工艺做出了 1Gbit/s 速率的光接收机^[2], 光波长响应为 850nm , 但是响应度只有 0.04A/W , 接收灵敏度只做到 -6dBm , 离 VSR 要求的 -16dBm 差距很远。工作速度高而灵敏度低的原因是 Si 的吸收深度约为 $14\mu\text{m}$, 最好需要深度为几个微米的耗尽区, 而在亚微米 CMOS 工艺, 阵的深度只有零点几个微米, 源漏结更浅, 浅阵使得响应度极低从而灵敏度低。Zimmermann 等人使用用户设定的 $1\mu\text{m}$ CMOS 工艺做出 1Gbit/s 速率的光接收机^[3], 采用纵向 pin 光电二极管, 响应度做到 0.48A/W , 接收灵敏度为 -15.4dBm 。虽然得到了较高的响应度和灵敏度, 但指标是在光波长为 638nm 下测得, 不能满足 VSR 的波长需要, 同时又采用了用户全定制的 CMOS 工

* 国家高技术研究发展计划(批准号: 2002AA312240, 2001AA122032, 2001AA312080), 国家自然科学基金(批准号: 69896260)资助项目

李 炜 男, 1980 年出生, 硕士研究生, 目前从事光探测器和光电集成电路方面的研究。

2002-10-12 收到, 2002-11-26 定稿

©2003 中国电子学会

艺,不能使用 MPW(多项目晶圆)进行流水,势必将增加成本. 基于上述不足,提出一种既可以用于VSR系统,又能使用MPW流水,同时还可以获得较高的响应度和灵敏度的方法就显得非常有意义了. 本文设计采用了 $0.6\mu\text{m}$ CMOS工艺,指标为: 工作光波长850nm, 光电探测器的 -3dB 带宽为800MHz, 响应度到 0.2A/W , 接收灵敏度为 -16dBm , 接收机输出为LVDS(low voltage differential signals)电平.

2 器件结构与模拟

图1中, OEIC的制作方法是应用传统的CMOS工艺, 不需要修改工艺流程, 只需自备杂质浓度为 $2 \times 10^{13}\text{cm}^{-3}$ 的外延片, 在高阻外延层上做纵向pin光电二极管, $\text{N}^+ - \text{P}^- - \text{P}^+$ 形成了纵向的 $\text{n}^- \text{p}^- \text{p}^+$ 结构, 同时CMOS电路采用双阱工艺, NMOS与PMOS分别做在高阻外延层的P阱与N阱中. pin的 N^+ 区是与NMOS源漏注入同时形成的. 在电路

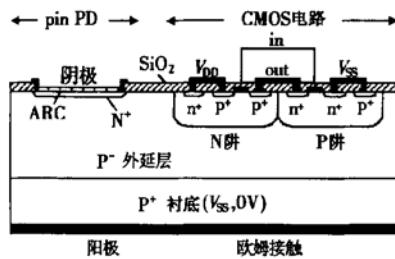


图1 纵向 pin CMOS 单片集成剖面图

Fig. 1 Cross section of CMOS-integrated vertical pin photodiode

设计中需要考虑高阻外延层的影响, 而对原有版图设计规则作适当的修改便可消除其影响. 由于外延层掺杂浓度很低, pin光电二极管加反偏电压后可以形成几个微米的耗尽区, 通过适当的选取外延层的厚度和反偏电压, 外延层将全部耗尽, 使得衬底中很难产生光生载流子, 可以提高光电探测器的响应度和灵敏度. 图中的ARC(antireflection coating)为抗反射涂层, 使用它可以减少光反射的损失, 使用ARC所得到的灵敏度比不使用高1.8倍^[4]. 在这种低掺杂浓度的外延片上制作的MOS晶体管的模型参数相对于传统CMOS工艺制作的MOS晶体管的模型参数没有明显的变化, 因为MOS晶体管放在阱中, 阵的掺杂浓度在 10^{16}cm^{-3} 以上, 而工艺中调

阈值电压(V_{TH})的注入约为 10^{17}cm^{-3} , 对于外延层的浓度在 $10^{15} \sim 2 \times 10^{13}\text{cm}^{-3}$ 范围内, MOS晶体管的电特性没有受到低掺杂浓度外延层的影响. 通过器件模拟软件提取MOS晶体管的几个重要模型参数列于表1中, 可以看出除阱深变化较明显外, 其余的参数基本上不受外延层掺杂浓度变化的影响.

表1 几个重要模型参数与外延层掺杂浓度的关系

Table 1 Several important model parameters versus epitaxial layer doping concentration

外延层 掺杂浓度 $/ \text{cm}^{-3}$	N 阵深度 $/ \mu\text{m}$	NMOS- V_{TH} / V	PMOS- V_{TH} / V	NMOS 源漏结深 $/ \mu\text{m}$	PMOS 源漏结深 $/ \mu\text{m}$
1×10^{15}	1.18	0.74	-1.08	0.34	0.29
2×10^{14}	1.56	0.74	-1.08	0.35	0.28
2×10^{13}	1.98	0.74	-1.08	0.35	0.28

根据图1所示的纵向pin PD与CMOS单片集成结构图, 使用器件模拟软件ATHENA进行了器件模拟. 图2给出了器件的结构、电极位置, pn结的位置和pin光电二极管的耗尽区位置. 图2(a)中, 按照 $0.6\mu\text{m}$ CMOS工艺制作了NMOS和PMOS晶体管, 图中器件的衬底为 P^+ 低阻层, 电路工作时接地. 衬底背面进行欧姆接触, 以减小串联电阻. 由于是P型衬底, 所以只显示出N阱的位置. 图2(b)中, 高阻 P^- 外延层浓度为 $2 \times 10^{13}\text{cm}^{-3}$, 厚度为 $7\mu\text{m}$, 反偏电压为5V, 可以看到耗尽区达到了高掺杂衬底的位置($-8\mu\text{m}$ 为衬底与外延层的分界), 这样可以使空间电荷区中产生的光生载流子被高场迅速扫到两极, 提高了响应速度.

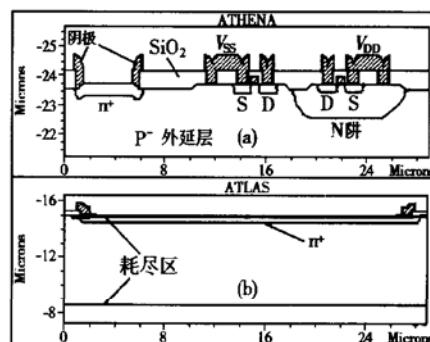


图2 (a) 二维器件模拟纵向 pin PD 与 CMOS 单片集成结构图; (b) 纵向 pin PD 耗尽区结构图

Fig. 2 (a) Structure of CMOS-integrated vertical pin photodiode in two dimension device simulation; (b) Depletion layer width structure of vertical pin photodiode in two dimension device simulation

3 器件模拟数值分析

图 3 给出了纵向 pin 光电探测器的器件模拟结果, 外延层厚度为 $7\mu\text{m}$, 浓度为 $2 \times 10^{13}\text{cm}^{-3}$, 光电二极管的面积为 $20\mu\text{m} \times 20\mu\text{m}$. 由于器件面积较小, 暗电流约为 10^{-15}A 数量级, 可以不予考虑. 图 3(a) 模拟了光电二极管响应电流与光强的关系曲线, 图中 I 为光电二极管响应电流, 单位为 10^{-7}A , μm^{-1} 表示器件的 Z 方向厚度为 $1\mu\text{m}$ (下同), 光波长为 850nm , 两条曲线的外加偏压分别是 3V 与 5V . 从图中可见, 外加电压对响应电流影响不大. 光照强度为 1W/cm^2 时产生 $0.87\mu\text{A}$ 的光电流, 响应度为 0.22A/W . 当输入光功率为 $25\mu\text{W}$ (-16dBm) 时, 可以得到 $5.5\mu\text{A}$ 的电流, 完全可以驱动后面的 CMOS 放大电路, 这说明接收灵敏度可以达到 -16dBm . 图

3(b) 给出了注入光强度为 1W/cm^2 , 外加电压为 3V 时光电二极管的波长响应, 其峰值波长为 $0.7\mu\text{m}$, 这与外延层的厚度有关. 当外延层较厚时, 响应波长提高, 但是调制频率带宽却有所下降, 这是由于渡越时间变长的缘故. 图 3(c) 给出了注入光强度为 1W/cm^2 , 光波长为 850nm , 外加电压为 3 和 5V 时光电二极管的光调制频率响应. 图中可见纵向 pin 光电二极管的调制频率带宽较高, 这是因为低掺杂外延层几乎全部为空间电荷区, 大部分光生载流子以漂移为主, 扩散成分很少. 另外, 外加偏压为 5V 时带宽更高, 这是因为外加偏压越高, 空间电荷区越宽, 光生载流子的扩散成分就更少, 调制频率带宽也就更高. $0.6\mu\text{m}$ 的 CMOS 工艺工作电压为 5V , 要想提高速度, 可以采用双电源工作, CMOS 电路为 5V , 光电探测器高于 5V 以提高反偏电压^[5].

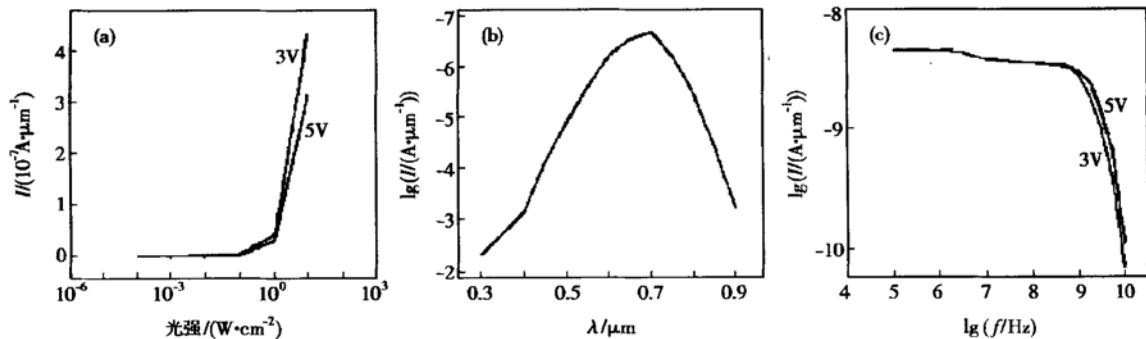


图 3 纵向 pin 光电探测器的器件模拟结果
Fig. 3 Results of device simulation of vertical pin photodiode

图 4 给出了调制频率带宽同外延层厚度与掺杂浓度的关系曲线. 从右图中看到, 当外延层厚度为 $7\mu\text{m}$ 和 $8\mu\text{m}$, 外延层的掺杂浓度从 $2 \times 10^{13}\text{cm}^{-3}$ 上升到 $1 \times 10^{15}\text{cm}^{-3}$ 时, 带宽下降得很明显, 说明了外延层掺杂浓度高时, 外延层不能完全耗尽, 光生载流子扩散成分比例增大, 影响了速度. 浓度为 $2 \times 10^{13}\text{cm}^{-3}$ 与 $5 \times 10^{13}\text{cm}^{-3}$ 所对应的带宽值相差不多说明了外延层耗尽程度相当. 左图中采用的外延层掺杂浓度为 $2 \times 10^{13}\text{cm}^{-3}$, 两条曲线分别是外加偏压为 3V 和 5V 时带宽值随着外延层厚度增加的变化曲线. 图中可见, 当外延层厚度为 $7\mu\text{m}$ 时, 带宽值达到峰值, 这是因为外延层较薄时, 将有一部分光生载流子在衬底处产生, 这部分载流子不能在强电场中以饱和速度传输, 从而降低了速度. 而在外延层较厚的情况下, 尽管所加反偏电压可以使外延层全部耗尽,

但是由于光电二极管的串联电阻 R_s 增大, 成为了影响带宽的决定因素, 此时带宽值也有所下降. 因此, 设计中要在光电探测器的速度、结构等方面统筹考虑.

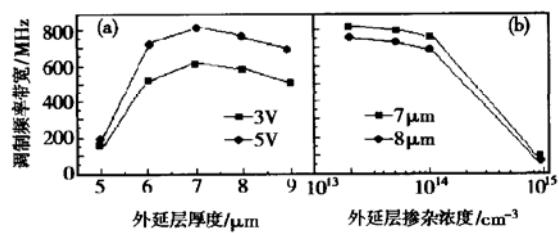


图 4 外延层厚度与掺杂浓度同调制频率带宽的关系曲线
Fig. 4 Frequency response versus thickness and doping concentration of epitaxial layer

4 版图设计

图 1 中, NMOS 管的 N⁺ 源极形成了寄生 NPN 晶体管的发射极, P 阵形成基极, 外延层形成集电极; 同样地, PMOS 管的 P⁺ 源极形成了寄生 PNP 晶体管的发射极, N 阵形成基极, P 阵构成集电极。寄生的 PNP 与 NPN 晶体管构成了四层晶闸管的结构。当晶体管的 BE 结电压超过 0.6V 时, 晶闸管开启, 导致了 VDD 与 VSS 的短路, 电路将失去功能, 低电压下大电流流过所产生的过多热量可能损坏器件。因此, 在 N 阵与 P 阵接触的地方存在着发生闩锁效应(latch-up effect)的危险。由于外延层掺杂浓度的减小, PNP 晶体管基极的 Gummel 数 G_b 变小, 相应地提高了 PNP 的电流增益; 同时也增加了 NPN 晶体管的集电极的串联电阻, 这两个方面的变化都使得电路触发闩锁效应的免疫力(immunity)下降。

可以采取以下措施来防止闩锁效应的发生: (1) 在阱周围加保护环以破坏四层晶闸管的结构, 但是却增加了晶体管所占用的面积。(2) 减小阱接触与源/漏之间的距离, 这样可以减少它们之间的横向寄生电阻, 使基极-发射极正向偏压小于 0.6V, 晶闸管就不会开启。(3) 保持寄生晶体管的发射极与相应阱边界的距离为 2μm, 触发闩锁效应所需注入 P⁺ 发射极的空穴电流随外延掺杂浓度变化不大^[6]。

设计中采用华晶上华(CSM C-HJ)半导体有限公司所提供的 0.6μm 的版图设计规则, 该设计规则源漏离阱边界的最小值为 1.8μm, 所以只需要将版图设计规则修改为 2μm, 即可有效地消除闩锁效应的影响, 但是如果采用 0.35μm 或更小的 CMOS 工艺, 设计规则的修改量相对就会增大。

外延层掺杂浓度的减小除了使电路触发闩锁效应的免疫力下降外, 还会引起阱周围空间电荷区的加宽, 两个同类型的阱相邻时容易发生穿通效应(reach-through effect)。当两个阱中的电势差较大时, 彼此空间电荷区扩展到相互接触时, 阵间产生的电流将导致模拟电路工作点的漂移, 影响了电路工作的稳定性。所以需要适当修改设计规则所设定具有电势差的同类型阱间的最小距离, 以避免穿通效应。

5 单片光接收机等效电路

光接收机至少应该包括光探测器、负载电阻和

电压放大器, 如图 5 所示。光探测器把光信号转化为电流信号, 负载电阻 R_L 将电流信号转换为电压信号。但是, 此时的电压信号非常小, 因此还需要一个放大器对电压信号放大到所需要的电平, 例如设计中需要放大器输出为 LVDS 电平。R_I、C_I 分别为放大器的输入电阻和输入电容, 当放大器电路的输入晶体管为 JFET 或 MOS 时 R_I 可以忽略不计。图 5 (b) 为光接收机的小信号等效输入电路, 左边为光探测器的小信号等效电路: 理想电流源 I_{ph} 代表了光电流, C_D 为光电二极管空间电荷区的结电容。并联电阻 R_D 为光电二极管漏电流或暗电流的等效电阻, 通常情况下其值比较大, 可以忽略不计。R_S 为光电二极管的串联电阻, 当光电流流经低掺杂区时, 其值较大, 应当被考虑。右边为放大电路的小信号等效电路, 由于放大电路采用 MOS 晶体管, 所以 R_I 可以被忽略掉。因此得到的单片光接收电路的带宽为 $f_{3dB} = 1/(2\pi(R_L + R_S)(C_D + C_I))$ 。

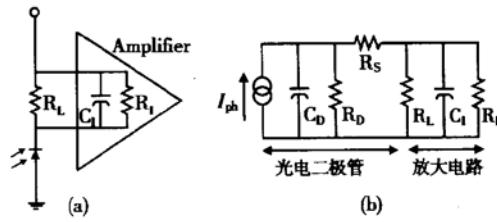


图 5 (a) 光接收机的本质输入电路; (b) 光接收机小信号等效输入电路

Fig. 5 (a) Essensial input circuit of a photoreceiver;
(b) Small-signal equivalent input circuit of a photoreceiver

通过器件模拟提取光电探测器的结电容 C_D 为 9fF, 并联电阻 R_D 达到 $10^{11}\Omega$ 的数量级, 可以忽略不计, 串联电阻 R_S 为 15kΩ, 前置放大器的等效电阻 R_L 为 6kΩ, 通过对图 5 光电探测器小信号电路模拟得到的带宽为 852MHz。这与器件模拟所得到的带宽值 813MHz 基本一致, 说明了等效电路中的模型参数与实际情况符合。

6 光电单片接收机电路的统一模拟与分析

光电探测器是光电转换器件, 基本要求是高光电转换效率, 低附加噪声和快速响应, 因此需要一个低噪声, 高增益的前置放大器对信号进行放大。前置

放大器是光接收机的关键部分,应该具有高速和宽带的特点,同时还应具有将电流信号转换成电压的能力.因此,设计中采用电流反馈运算放大器,与传统的电压反馈放大器相比最主要的特点是输入级转换速率快,闭环带宽与增益无关,不存在增益带宽积的限制^[7].由于其输出电压范围大约为几至几十毫伏,而 LVDS 电平输出电压要求有 350mV 电压幅度,所以需要 30~40dB 增益的主放大器,把前端输出的毫伏级信号放大到后面信号处理电路所需的电平,设计中主放大器采用了限幅放大器以满足要求.

图 6 给出了 CMOS 电流反馈放大器的结构图. MN1、MN2、MP1、MP2 和 MN3、MN4、MP3、MP4 分别构成两个互补级连源极跟随器, 电流源 CM1、CM2 和 CM5、CM6 为互补级连源极跟随器提供偏置电流, CM3、CM4 作电流传输, 将输入信号电流传输到 Z 点, 在 Z 点的高阻抗上产生一正比于输入信号的高电压, 再经 MN3、MN4 和 MP3、MP4 构成的互补源极跟随器输出. 同相输入端 Y 为高阻抗, 反相输入端 X 为低阻抗的电流输入端, 电流信号在反相输入端容易流进或流出. 若在其输出端与 X 输入端间跨接电阻, 恰好可使输入端形成并联反馈, 输出端形成电压反馈, 构成一个接近理想的跨阻放大器.

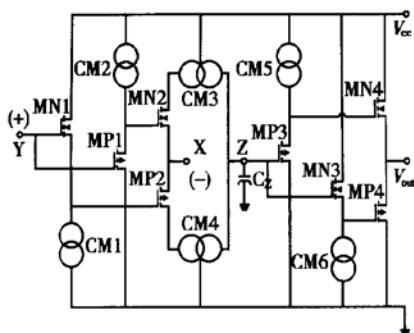


图 6 CMOS 电流反馈放大器结构图

Fig. 6 Structure of CMOS current feedback operational amplifier

将纵向 pin 光电探测器的等效电路与前置放大器和主放大器放在一起使用电路模拟软件进行统一模拟, 结果如图 7 所示. 上图分别为光探测器、前置放大器和主放大器的频率特性曲线, 可以看出光探测器和前置放大器的-3dB 带宽达到了 800MHz 以上, 但加上主放大器只做到 700MHz 左右, 主要原因是主放大器输出为三部分等效电容、电阻的叠加. 下图给出了单片光接收机在 800MHz 下的脉冲瞬态输出曲线. 通过比特率为带宽 1.4 倍的关系得出单片

接收机的传输速率为 $700\text{MHz} \times 1.4 = 0.98\text{Gbps}$, 这与 VSR 所要求的 1.25Gbps 还有一定的差距, 可以采用 $0.35\mu\text{m}$ 或更小尺寸的 CMOS 工艺来提高带宽, 这样不仅可以提高 MOS 晶体管本身的特征频率, 还可以减小寄生电阻电容.

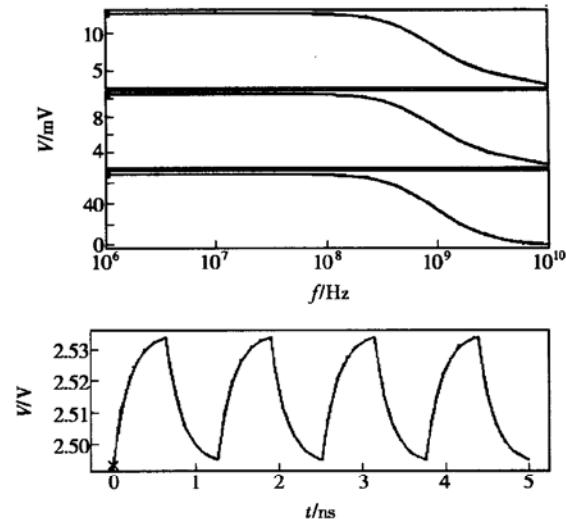


图 7 单片光接收机电路频率和瞬态模拟结果

Fig. 7 Frequency simulation and transient analysis of monolithic photoreceivers

7 总结

本文采用 $0.6\mu\text{m}$ CMOS 工艺设计了光电单片接收机电路并对其进行了统一模拟, 纵向 pin 光电探测器的响应度和灵敏度均较高, 并且可以与传统的 CMOS 工艺相兼容, 器件模拟与等效电路模拟的结果基本一致. 放大电路采用了具有宽带, 高增益, 低噪声特性的电流模跨阻放大器. 光电探测器的接收灵敏度为 -16dBm , 符合 VSR 的要求, 单片接收机电路的传输速率接近 VSR 1.25Gbps 的要求, 这对下一步单片接收机电路的实际制作具有指导意义.

参考文献

- [1] Zimmermann H, Heide T, Pless H. High performance receivers for optical interconnects in standard MOS technology. Proc SPIE, 2001, 4292: 1
- [2] Woodward T K, Krishnamoorthy A V. 1-Gb/s integrated optical detectors and receivers in commercial CMOS technologies. IEEE J Sel Topics Quantum Electron, 1999, 5(2): 146
- [3] Zimmermann H, Heide T. A monolithically integrated 1-Gb/s op-

- tical receiver in 1- μ m CMOS technology. *IEEE Photonics Technol Lett*, 2001, 13(7): 711
- [4] Heide T, Ghazi A, Zimmermann H, et al. Monolithic CMOS photoreceivers for shortrange optical data communications. *Electron Lett*, 1999, 35(19): 1655
- [5] Mao Luhong, Chen Hongda, Wu Ronghan, et al. Simulation and design of a CMOS-process compatible high-speed Si photodetector. *Chinese Journal of Semiconductors*, 2002, 23(2): 193 (in Chinese) [毛陆虹, 陈弘达, 吴荣汉, 等. 与 CMOS 工艺兼容的硅高速光电探测器的模拟与设计. 半导体学报, 2002, 23(2): 193]
- [6] Zimmermann H. Integrated high-speed, high-sensitivity photodiodes and optoelectronic integrated circuits. *Sensors and Materials*, 2001, 13(4): 189
- [7] Li Yingbo. Application design of current mode feedback amplifier. *Electronic Technology*, 1997, 4: 171 [李映波. 集成电流反馈放大器的应用设计. 电子技术, 1997, 4: 171]

Simulation and Design of CMOS Process Compatible Monolithic Photoreceivers*

Li Wei¹, Mao Luhong¹, Chen Hongda², Sun Zenghui², Gao Peng¹ and Chen Yongquan¹

(1 *Electronic Information School, Tianjin University, Tianjin 300072, China*)

(2 *State Key Laboratory on Integrated Optoelectronics, Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China*)

Abstract: Circuits of CMOS-process compatible monolithic photoreceivers are designed. The circuits include photodetector, pre-amplifier and main amplifier. CMOS circuits integrating vertical pin photodiode are made in the epitaxial layer with thickness of 7 μ m and doping concentration of $2 \times 10^{13} \text{ cm}^{-3}$ by using 0.6 μ m CMOS process, which can be fabricated in MPW mode. The photodetector has features as fellow: absorbed peak wavelength of 850nm, responsivity of 0.2A/W, sensitivity of -16dBm, and frequency response of 800MHz, which can be applied to VSR system. The optical wavelength response, the frequency response versus the thickness and doping concentration of epitaxial layer are obtained respectively. And the model parameters are extracted by device simulation. The pre-amplifier adopts current mode feedback amplifier. The output voltage of main amplifier is in the level of LVDS. A new method for simulation of photodetector and amplifier circuits is presented as the first time, the limiting factors are analyzed and some methods for optimizing circuits are considered.

Key words: monolithic; photo detector; device simulation

EEACC: 4235; 2560B

Article ID: 0253-4177(2003)09-0960-06

* Project supported by National High Technology Research and Development Program (Nos. 2002AA312240, 2001AA122032, 2001AA312080), and National Natural Science Foundation of China (No. 69896260)

Li Wei male, was born in 1980. He is currently pursuing the Master degree. His research interests are in photo detectors and semiconductor optoelectronic circuits.