

# 具有电阻场板的薄膜 SOI-LDMOS 的精确解析\*

杨洪强 郭丽娜 郭超 韩磊 陈星弼

(电子科技大学微电子与固体电子学院, 成都 610054)

**摘要:** 介绍了一种对具有电阻场板的薄膜 SOI-LDMOS 的精确解析设计方法。在对电场分析的基础上, 提出了新的电离率模型, 并求出了电离率积分的准确路径, 进而得到击穿电压、漂移区掺杂、漂移区长度与 SOI 硅层厚度、埋氧层厚度的关系。模拟结果表明, 解析与模拟结果具有很好的一致性, 而且设计的器件具有击穿电压大、比导通电阻极小的优点。该解析理论为在薄膜 SOI 材料上制作性能优良的高压功率器件提供了一个很好的参考。

**关键词:** SOI; 电阻场板; 横向双扩散 MOS 管; 埋氧层; 电离率; 击穿电压; 比导通电阻

**EEACC:** 1210; 2560

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2003)09-0977-06

## 1 引言

SOI 材料易实现介质隔离, 寄生效应小, 适用于制造功率集成电路及器件。但是, 两个重要的缺点却制约了它在上述领域的应用。一是由于埋氧层的存在, 使得散热困难, 限制了大功率 SOI 器件的发展; 二是由于 Si 的击穿电场的限制(一般掺杂为  $2 \times 10^5 \sim 4 \times 10^5 \text{ V/cm}$ ), 使得埋氧层中的电场大概只能达到  $6 \times 10^5 \sim 12 \times 10^5 \text{ V/cm}$ , 相对于其击穿电场( $6 \times 10^6 \sim 8 \times 10^6 \text{ V/cm}$ )很低。而 SOI 器件(特别是薄膜 SOI 器件)的纵向耐压主要依靠埋氧层, 因而纵向耐压较低。要做高耐压器件, 必须用很厚的埋氧层才行。

对于第一个问题, 可以通过减少器件功耗来解决。采用 LIGBT 可以减少功耗, 却损失了速度; 采用基区重掺的 LDMOS, 又会造成击穿电压下降。对于提高 SOI 器件的纵向耐压, 以前已经提出了多种方法, 如 Huang 和 Baliga 等人提出<sup>[1]</sup>将衬底做成与硅层耐压方向相同的二极管, 并将两者并联, 这样纵向耐压由顶部硅层、埋氧层和衬底耗尽层共同承担, 只要衬底的浓度足够低就可增加纵向击穿电压。Nak-

agawa<sup>[2,3]</sup>提出在 N 漂移区与埋氧层之间增加一层浓度较高且很薄的 N<sup>+</sup> 层, 器件在反偏时 N 与 N<sup>+</sup> 层全部耗尽, N<sup>+</sup> 层耗尽后能屏蔽 SiO<sub>2</sub> 内的高电场, 从而避免了漂移区底部的击穿。Nakagawa 还提出了在埋氧层上加一薄层高阻 SIPOS 层来屏蔽衬底偏压的影响<sup>[4]</sup>, 使得器件耐压完全取决于横向耐压。Merchant 等人根据 RESURF 原理, 设计了漂移区浓度为优化的线性掺杂分布的 SOI 高压器件, 即从源到漏漂移区浓度线性增大<sup>[5~7]</sup>。为了使器件的击穿电压与漂移区长度成正比, 要求薄的 Si 层和厚的绝缘 SiO<sub>2</sub> 层, 这样可以忽略纵向击穿, 只需考虑横向电场分布, 但是这种线性掺杂比较难实现。

Matsudai 等提出了在均匀掺杂的薄 Si 层上获得高压的方法, 即在漂移区上方形成 SIPOS 电阻场板, 电阻场板中电场的均匀分布迫使漂移区电场也均匀分布, 这样可获得高的击穿电压<sup>[8]</sup>。由于 smart-cut 技术<sup>[9]</sup>的发展, 已经能生产出硅层厚度小于 0.1 μm, 埋氧层厚度大于 3 μm 的 SOI 衬底材料, 适用于制作具有电阻场板的高耐压薄膜 SOI-LDMOS。所以, 本文将对这种情况提出精确的解析设计方法, 得到优化的解析结果, 并对其进行模拟验证。

\* 国家自然科学基金资助项目(批准号: 69776041)

杨洪强 男, 1974 年出生, 博士研究生, 目前研究方向为 SOI IGBT 及功率 IC。

陈星弼 男, 1931 年出生, 中国科学院院士, 目前研究方向为器件物理、功率器件及功率 IC。

2002-10-24 收到, 2003-01-30 定稿

©2003 中国电子学会

## 2 设计思路

提高 SOI 器件的耐压, 可从两个方面着手, 一是横向耐压  $BV_x$ , 二是纵向耐压  $BV_y$ . 当两者都得到提高时, 就可以获得高的器件耐压. 对于薄膜 SOI 材料, 由于 Si 层较薄, 其上的纵向压降几乎可以不计, 所以提高  $BV_y$  就是要提高埋氧层上的耐压. 对于掺杂浓度在  $10^{16} \text{ cm}^{-3}$  内的硅, 击穿电场大约为  $(2 \sim 4) \times 10^5 \text{ V/cm}$ , 根据高斯定理有:

$$E_{y, \text{SiO}_2} = E_{y, \text{Si}} \epsilon_{\text{Si}} / \epsilon_{\text{ox}} \quad (1)$$

其中  $E_{y, \text{SiO}_2}$  为界面处氧化层中的电场强度;  $E_{y, \text{Si}}$  为硅中的电场强度;  $\epsilon_{\text{Si}}$  为硅的介电常数;  $\epsilon_{\text{ox}}$  为二氧化硅的介电常数. 由(1)式知, 在硅达到击穿电场时, 氧化硅的电场约为  $6 \times 10^5 \sim 12 \times 10^5 \text{ V/cm}$ , 远低于其击穿电场  $6 \times 10^6 \sim 8 \times 10^6 \text{ V/cm}$ . 通过提高硅层的击穿电场来提高  $BV_y$  显然是可行的. 由硅击穿电场与掺杂浓度的关系可知, 加重掺杂可以提高击穿电场, 从而提高  $BV_y$ , 而且重掺杂同时也使得导通电阻降低.

但是, LDMOS 基区重掺杂却会使横向击穿电压  $BV_x$  大幅降低. 幸运的是, 在薄膜 SOI 器件中, 这完全可以通过在器件表面引入电阻场板(RFP)来解决. 因此, 实现一种高耐压、低损耗的 LDMOS 是可能的.

## 3 理论分析

首先分析如图 1 所示的薄膜 SOI-LDMOS 全耗尽时漂移区的电场分布情况. 应该明确的是, 由于 RFP 的存在, 即使漂移区掺杂浓度  $N_D$  较大, 也能全耗尽. 由于是薄膜 SOI, 且表面电势被 RFP 钳位, 可以认为下式成立, 且足够精确:

$$E_x = -BV_x / L \quad (2)$$

其中  $E_x$  是漂移区的横向电场;  $BV_x$  是器件的横向耐压;  $L$  是 LDMOS 的漂移区长度.

纵向电场的分布并非均匀分布. 在漏极 D 处, 由于漏和衬底之间的埋氧层几乎承受了器件的全部耐压, 而横向是均匀电场, 因此漏极处电离施主产生的电力线几乎全部向下到达衬底, 造成电场:

$$E_y(L, y) = qN_D y / \epsilon_{\text{Si}} + E_y(L, 0) \quad (3)$$

在源极处, 浓度较大的电离施主产生的电力线若要经过相对较厚的埋氧层到达衬底, 则沿该电力

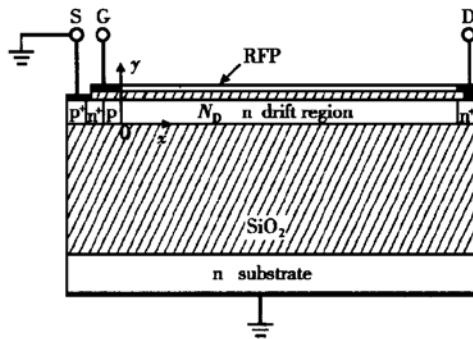


图 1 SOI-LDMOS 结构示意图

Fig. 1 SOI-LDMOS structure

线的压降会较大, 由于源、栅和衬底此时均接地, 这个压降则无法满足. 如果电力线经过很薄的栅氧化层到达并消失在 RFP 处, 则只需要微小的压降. 由于硅层在横向有压降, 横向的微小位移即可造成这样的微小压降. 所以这是很容易满足的. 由此可以得到源极处的电场为:

$$E_y(0, y) = qN_D y / \epsilon_{\text{Si}} \quad (4)$$

至于从源到漏的区域, 则会有部分电力线向上, 部分向下. 所以, 纵向电场的最大值在  $(0, t_{\text{Si}})$  和  $(L, 0)$  处, 不同之处是方向相反.  $t_{\text{Si}}$  是表面硅层厚度.

进一步分析  $N_D$  所能取的值. 众所周知,  $N_D$  越大, 器件的导通电阻越小, 漏处的击穿电场越大. 由第 2 部分的分析可知, 纵向击穿电压也就越大. 但是, 如果  $N_D$  过大, 会造成漏附近的区域不能完全耗尽, 使横向耐压大幅降低. 所以,  $N_D$  的取值使漏处的漂移区刚好全耗尽时为最优, 因此(3)式中

$$E_y(L, 0) = -qN_D t_{\text{Si}} / \epsilon_{\text{Si}} \quad (5)$$

有了上述结论, 下面来推导最优设计下  $N_D$  和  $L$  的取值与材料参数的关系.

由于横向电场均匀分布, 且绝对值较小, 所以横向击穿的条件可以用 Fulop 近似<sup>[10]</sup> 来计算电离率积分得到. 令(2)式表示的横向电场在  $L \sim 0$  内的电离率积分为 1, 可以得到:

$$BV_x = (L^6 / A)^{1/7} \quad (6)$$

漂移区纵向击穿的分析, 在源和漏处基本一样, 不妨对漏处进行分析. 需要注意的是, 由于 RFP 的存在, 使得漂移区掺杂可以很重, 击穿电场会很大. 根据图 2 中电离率与电场强度的关系可知, 此时 Fulop 近似<sup>[10]</sup> 已不再适用. 我们对电离率的实验数据<sup>[10, 11]</sup> 和数值模拟软件 MEDICI<sup>[12]</sup> 所采用的电离率模型进行了分析, 得出了电离率在高电场下的一

个近似公式:

$$\alpha = aE^b \quad (7)$$

其中  $a = 3.47 \times 10^{-12}$ ,  $b = 2.825$ . 该近似式在  $E = 2 \times 10^5 \sim 1 \times 10^6 \text{ V/cm}$  的范围内与实验数据和 MEDICI 模型均能较好符合. 我们将采用此近似分析 D 处的电离率积分.

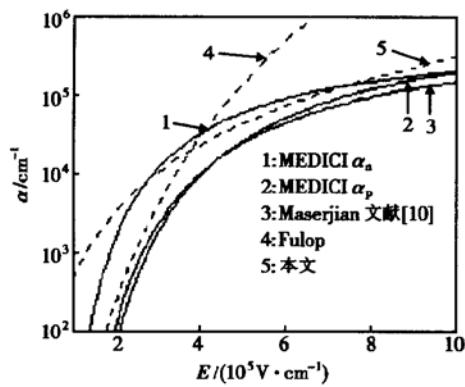


图 2 电离率与电场的关系

Fig. 2 Ionization rate versus electrical field

由(3)、(5)和(7)式可得 D 处纵向电场造成的电离率的表达式, 在  $t_{Si} \sim 0$  内积分可得:

$$N_D = \left( \frac{b+1}{at_{Si}^{b+1}} \right)^{1/b} \frac{\epsilon_{Si}}{q} \quad (8)$$

由(8)式容易得出:

$$BV_y = \left( t_{Si}/2 + t_{ox} \epsilon_{Si}/\epsilon_{ox} \right) \left( \frac{b+1}{at_{Si}} \right)^{1/b} \quad (9)$$

令(6)和(9)式中  $BV_x$  和  $BV_y$  的表达式相等, 可以得到击穿电压和漂移区长度的表达式:

$$BV = BV_x = BV_y \Rightarrow L = (BV^7 A)^{1/6} \quad (10)$$

于是, 根据不同的材料参数(即氧化层上硅厚度  $t_{Si}$  和埋氧层厚度  $t_{ox}$ ), 由(8)、(9)和(10)式即可以得到最优设计下 LDMOS 的击穿电压、漂移区浓度、长度等设计参数.

#### 4 理论的进一步精确化

实际上, 前面将器件的击穿简单地分成横向和纵向, 带来的误差是比较大的. 因为利用电离率积分判断器件的击穿, 其准确积分路径应该沿从源到漏的电力线进行. 所以前面的分析准确的前提是电离率沿横向的积分相对较小, 可以忽略, 也就是  $L$  很

大. 但事实上,  $L$  是有限的, 所以第 3 部分的分析总是有误差的.

下面来推导更为精确的击穿模型. 由第 3 部分的分析知道, 在 S 和 D 处, 所有电力线分别向上和向下, 在 S 到 D 的区域, 部分向上部分向下. 又由于电势从 D 到 S 均匀降落, 容易知道电力线向上和向下的分界线是一条直线, 即  $y = t_{Si}x/L$ . 在这条直线上, 纵向电场为 0, 所以有方程组:

$$\begin{cases} \partial E_y(x, y)/\partial y = qN_D/\epsilon_{Si} \\ E_y(x, t_{Si}x/L) = 0 \end{cases}$$

解该方程组可得:

$$E_y = \frac{qN_D}{\epsilon_{Si}} (y - t_{Si}x/L) \quad (11)$$

由(2)和(11)式推出由 S 到 D 的电力线所经过的路径为:

$$y = \frac{t_{Si}x}{L} - \frac{t_{Si}BV\epsilon_{Si}}{qN_DL^2} + \left( t_{Si} + \frac{t_{Si}BV\epsilon_{Si}}{qN_DL^2} \right) \times \exp(-qN_DLx/BV\epsilon_{Si}) \quad (12)$$

上面关于从源极出发的电力线的表达式, 形式上比较复杂, 但是稍微分析不难发现, 当  $x$  在  $L/50 \sim L$  的范围内, 其表达式可以简化为:

$$y = \frac{t_{Si}x}{L} - \frac{t_{Si}BV\epsilon_{Si}}{qN_DL^2} \approx \frac{t_{Si}x}{L} \quad (13)$$

而在  $x < L/50$  的范围内, 电力线的路径几乎是垂直向下, 如图 3 所示. 虽然图 3 是由我们任意选取一组参数做出的, 但是, 由前面的分析可知, 选取不同的参数画出的图与此类似.

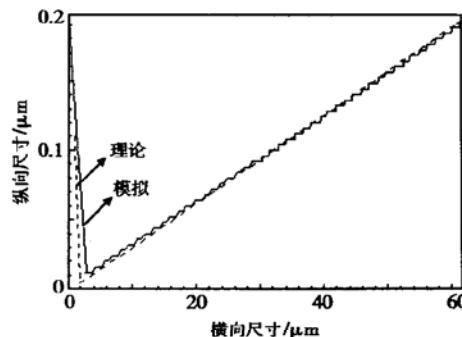


图 3 积分路径模拟值和解析值的对比

Fig. 3 Comparison of the simulation and analysis results about the route of integral of ionization rate

有了上面的分析结果, 我们就可以给出关于电离率积分的准确路线. 在图 3 中曲线的左半段, 路径几乎垂直, 为了简化分析, 我们认为其垂直(这样引

入的误差是很小的), 电离率积分同第 3 部分. 在图 3 中的右半段, 由于积分路径几乎与  $y = t_{\text{Si}}x/L$  重合, 由(11)式可知在此路径上  $E_y \approx 0$ , 而且由于  $t_{\text{Si}} \ll L$ , 完全可以认为积分的路径长度为  $L$ . 这样, 关于电离率在整个路径上的积分就可以简单地表示为:

$$\begin{aligned} AL^{-6} & \left[ \frac{qN_D t_{\text{Si}}}{\epsilon_{\text{Si}}} \left( t_{\text{Si}}/2 + t_{\text{ox}} \epsilon_{\text{Si}}/\epsilon_{\text{ox}} \right) \right]^7 \\ & + at_{\text{Si}}^{b+1} \left( \frac{qN_D}{\epsilon_{\text{Si}}} \right)^b / (b+1) = 1 \end{aligned} \quad (14)$$

这里, 我们将(14)式中等式左边的第一项看成是对第 3 部分理论的误差修正项. 容易知道, 这一项的值随  $L$  的增大而呈 6 次方的速率减小. 如果  $L$  较大, 则误差趋于 0. 实际应用时, 可以将误差项定为一个可以接受的量  $\delta$ (如 5%), 从而求出  $L$ :

$$L = \left\{ A \left[ \frac{qN_D t_{\text{Si}}}{\epsilon_{\text{Si}}} \left( t_{\text{Si}}/2 + t_{\text{ox}} \epsilon_{\text{Si}}/\epsilon_{\text{ox}} \right) \right]^7 / \delta \right\}^{1/6} \quad (15)$$

需要注意的是, 漂移区掺杂浓度和击穿电压也需要变为:

$$N_D = \left( \frac{b+1}{at_{\text{Si}}^{b+1}} \right)^{1/b} \frac{\epsilon_{\text{Si}}}{q} (1-\delta)^{1/b} \quad (16)$$

$$BV = \left( t_{\text{Si}}/2 + t_{\text{ox}} \epsilon_{\text{Si}}/\epsilon_{\text{ox}} \right) \left( \frac{b+1}{at_{\text{Si}}} \right)^{1/b} (1-\delta)^{1/b} \quad (17)$$

器件的比导通电阻容易推出为:

$$R_{\text{on}} = \frac{L^2}{q\mu_n N_D t_{\text{Si}}} \quad (18)$$

为了得到一个普遍适用的结论, 有必要对前面的分析结果进行归一化. 由于我们首先关心的是击穿电压, 所以先给出击穿电压的归一化标准:

$$BV_{\text{NORM}} = \left( t_{\text{Si}}/2 + t_{\text{ox}} \epsilon_{\text{Si}}/\epsilon_{\text{ox}} \right) \left( \frac{b+1}{at_{\text{Si}}} \right)^{1/b} \quad (19)$$

这也就是当漂移区长度趋于无穷时, 器件所能达到的最大耐压. 相应地, 将掺杂浓度的归一化量定义为达到最大耐压所需的掺杂:

$$N_{D,\text{NORM}} = \left( \frac{b+1}{at_{\text{Si}}^{b+1}} \right)^{1/b} \frac{\epsilon_{\text{Si}}}{q} \quad (20)$$

这里将漂移区长度的归一化标准定义为:

$$L_{\text{NORM}} = \left\{ A \left[ \frac{qN_{D,\text{NORM}} t_{\text{Si}}}{\epsilon_{\text{Si}}} \left( t_{\text{Si}}/2 + t_{\text{ox}} \epsilon_{\text{Si}}/\epsilon_{\text{ox}} \right) \right]^7 \right\}^{1/6} \quad (21)$$

于是, 比导通电阻的归一化量为:

$$R_{\text{on},\text{NORM}} = \frac{L_{\text{NORM}}^2}{q\mu_n N_{D,\text{NORM}} t_{\text{Si}}} \quad (22)$$

经过归一化, 可以作出击穿电压、漂移区浓度、长度、比导通电阻与误差因子的关系曲线, 如图 4 所示. 这样, 只要给出材料参数: 硅层厚度、埋氧层厚度和耐压, 就可以由(19)式得出归一化耐压. 根据归一化耐压, 由图 4(a) 查出对应的误差因子, 再根据该误差因子, 由图 4(b)、(c)、(d) 查出归一化的漂移区浓度、长度及比导通电阻, 乘以相应的归一化量, 即得到薄膜 SOI-LDMOS 的最佳设计.

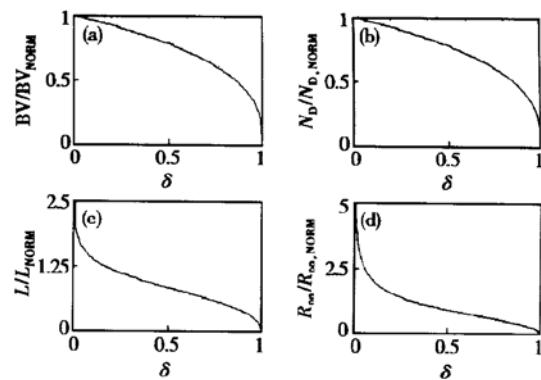


图 4 归一化设计参数与误差因子的关系曲线

Fig. 4 Normalized parameters versus error factor

## 5 模拟验证

为了证明解析结果的准确性, 我们选取了不同的材料参数进行模拟验证. 模拟采用图 1 所示的结构, 其模拟参数和结果及解析结果的对比见表 1. 由表中数据可看出, 击穿电压的模拟和解析结果除了在  $t_{\text{Si}}=0.1\mu\text{m}$  时误差较大(约 8%)外, 其余地方的误差均小于 2%. 所以, 我们关于高场下电离率模型和击穿的解析理论是准确的. 而且在  $t_{\text{Si}}=0.5\mu\text{m}$  时误差依然较小, 说明这一理论即使应用于比  $0.5\mu\text{m}$  更厚的硅层, 误差也在可以接受的范围内.

为了获得比导通电阻的模拟值, 我们给器件加上了一定的栅压和很小的漏极电压. 由于加上栅压后, RFP 下面会形成积累层, 在一定程度上减小电阻, 而且栅压越大, 效果越明显. 所以其导通电阻并不是恒定值. 为了对比的合理性, 我们以 LDMOS 转移特性曲线中的转折点来计算比导通电阻. 考虑到沟道电阻带来的电阻的增加与反型层带来的电阻的减小相抵消, 模拟值应该和理论值基本一致才合理.

由表 1 可以看出, 确实是这样, 在所有材料参数中, 比导通电阻的最大误差不超过 5%.

表 1 模拟参数及结果

Table 1 Parameters and results of simulation

数 据	不同材料参数时的数值					数据来源
	1	2	3	4	5	
$t_{Si}/\mu m$	0.1	0.2	0.3	0.4	0.5	材料参数, 给定
$t_{ox}/\mu m$	3	3	3	3	3	材料参数, 给定
$\delta/\%$	5	5	5	5	5	设定
$N_D/10^{17} cm^{-3}$	6.92	2.71	1.56	1.06	0.78	(16) 式
$L/\mu m$	81.143	61.333	52.206	46.65	42.811	(15) 式
$BV$ (理论值)/V	967.4	761	662.9	602	559	(17) 式
$R_{on}$ (理论值)/( $10^{-2}\Omega \cdot cm^2$ )	5.946	4.342	3.631	3.21	2.926	(18) 式
$BV$ (模拟值)/V	1046	776	660	612	566	模拟结果
$R_{on}$ (模拟值)/( $10^{-2}\Omega \cdot cm^2$ )	6.265	4.529	3.731	3.317	2.928	模拟结果

## 6 结论

本文提出了一个针对具有 RFP 结构的薄膜 SOI-LDMOS 的准确解析模型, 为在薄膜 SOI 材料上实现低功耗、高耐压器件提供了一个比较精确的理论指导。从我们掌握的资料来看, 目前在薄膜 SOI 材料上制作的 LDMOS, 性能最好的是文献[13]中利用线性掺杂分布的漂移区浓度制作的器件(在表面硅层厚度为  $0.2\mu m$ , 埋氧层为  $3\mu m$  时, 可以做出耐压  $612V$ , 比导通电阻  $0.5\Omega \cdot cm^2$  的器件)。利用本文的解析方法设计的器件在耐压相同的情况下, 比导通电阻大概小 25 倍。所以, 这个解析方法设计的具有电阻场板的薄膜 SOI-LDMOS 确实具有优于别的器件的性能, 是 SOI 材料上制作功率器件的很好选择。当然, 在工艺上, 制作电阻场板将会带来不小的复杂性, 这也是这种器件结构的重要缺点。

## 参考文献

- [1] Huang Y S, Baliga B J. Extension of RESURF principle to dielectrically isolated power devices. Proc ISPSD, 1991: 27
- [2] Yasuhara N, Nakagawa A, Furukawa K. SOI device structures implementing 650V high voltage output devices on VLSIs. IEDM Tech Dig, 1991: 141
- [3] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/silicon dioxide film. IEEE Tran Electron Devices, 1991, 38(7): 1650
- [4] Nakagawa A, Yamaguchi Y, et al. New high voltage SOI device structure eliminating substrate bias effects. IEDM Tech Dig, 1996: 477
- [5] Merchant S, Arnold E, et al. Realization of high breakdown voltage ( $> 700V$ ) in thin SOI devices. Proc ISPSD, 1991: 31
- [6] Merchant S, Arnold E, et al. Dependence of breakdown voltage on drift length and buried oxide thickness in SOI RESURF LD-MOS Transistors. Proc ISPSD, 1993: 124
- [7] Merchant S. Analytical model for the electric field distribution in SOI RESURF and TMBS structures. IEEE Trans Electron Devices, 1999, 46(6): 1264
- [8] Matsudai T, Nakagawa A. Simulation of a 700V high voltage device structure on a thin SOI. Proc ISPSD, 1992: 272
- [9] Bruel M, Aspar B, et al. Smart cut: a promising new SOI material technology. Proceedings of 1995 IEEE International SOI Conference, 1995: 178
- [10] Fulop W. Calculation of avalanche breakdown voltage of silicon p-n junctions. Solid-State Electron, 1967, 10(1): 39
- [11] Maserjian J. J Appl Phys, 1959, 30: 1613
- [12] TM A/MEDICI 4.0 manual
- [13] Zhang Shengdong, Lai T M L, Sin J K O, et al. Numerical modeling of linear doping profiles for high voltage thin film SOI devices. IEEE Trans Electron Devices, 1999, 46(5): 1036
- [14] Zhao Hui, Wang Yongsheng, Xu Zheng, et al. Intervalley distribution of electrons in thin film electroluminescent devices. Chinese Journal of Semiconductors, 1999, 20(8): 702 (in Chinese)  
[赵辉, 王永生, 徐征, 等. 薄膜电致发光器件中电子的谷间分布. 半导体学报, 1999, 20(8): 702]

## Accurate Analysis of Thin Film SOI-LDMOS Combined with Resistive Field Plate<sup>\*</sup>

Yang Hongqiang, Guo Lina, Guo Chao, Han Lei and Chen Xingbi

(Institute of Micro-Electronics and Solid-Electronics, University of Electronic Science and Technology, Chengdu 610054, China)

**Abstract:** Accurate analytical design of thin film SOI-LDMOS combined with resistive field plate is proposed. A new ionization rate model and the accurate route of the integral of it are achieved, which lead to an analytical result relating the breakdown voltage, impurity concentration and length of drift region to material parameters such as thickness of silicon layer and buried oxide. The analytical results are in good agreement with the numerical results achieved by the simulation tool TMA/MEDICI. By using this analytical theory, a much low specific on-resistance and high breakdown voltage LDMOS can be realized on the thin film SOI substrate.

**Key words:** silicon on insulator; resistive field plate; lateral double diffusion MOS; buried oxide; ionization rate; breakdown voltage; specific on resistance

**EEACC:** 1210; 2560

**Article ID:** 0253-4177(2003)09-0977-06

\* Project supported by National Natural Science Foundation of China (No. 69776041)

Yang Hongqiang male, was born in 1974, PhD candidate. His research interest lies in the area of SOI, power device, and power ICs.

Chen Xingbi male, was born in 1931, academician of The Chinese Academy of Sciences. His current research interest includes power devices, smart power IC's and device physics.