

亚 100nm SOI 器件的结构优化分析*

王文平 黄 如 张国艳

(北京大学微电子学研究所, 北京 100871)

摘要: 分析了 SOI 器件各结构参数对器件性能的影响, 给出了器件各结构参数的优化方向, 找出了可行硅膜厚度和可行沟道掺杂浓度之间的设计容区。在部分耗尽与全耗尽 SOI 器件的交界处, 阈值电压的漂移有一个峰值, 在器件设计时应避免选用这一交界区。此外, 随着硅膜厚度的减小, 器件的泄漏电流随着沟道掺杂浓度的不同, 有一个极小值。通过模拟分析发现, 只要合理选择器件的结构参数, 就能得到性能优良的 SOI 器件。

关键词: SOI 器件; 短沟效应; 结构优化

EEACC: 4250; 1280

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2003)09-0986-05

1 引言

SOI 器件具有寄生结电容小、制备工艺简单、易形成浅结、可以避免闩锁效应等优点, 已经成为深亚微米工艺中广泛应用并具有发展潜力的一种技术^[1,2]。但随着器件特征尺寸的不断缩小, 器件的短沟效应日趋严重, 即器件的阈值漂移随沟道长度的缩短而增大。此外, 漏致势垒降低(DIBL)效应及热载流子效应也会使器件性能退化。人们为了解决这些问题, 不断地提出了一些新的器件结构来改善器件的性能^[3,4], 如平面双栅器件(double-gate)^[5,6]、围栅器件^[7]、SON 器件^[8]等, 但是这些新结构器件的制备工艺复杂, 与目前大规模集成电路工艺不完全兼容, 所以给这些器件的制备带来了很大的困难。

为了使 SOI 器件在现有大规模集成电路的工艺条件下, 随着沟道长度不断缩短, 仍然能充分发挥出 SOI 器件的优越性, 我们针对器件特征尺寸进入深亚微米以后, 器件的各结构参数对器件性能的影响进行了模拟分析, 并给出了器件各结构参数的优化方向, 找出了可行硅膜厚度和可行沟道掺杂浓度

之间的设计容区, 力求在不采用任何新工艺的条件下, 也能制备出性能优良的 SOI 器件。

本文首先介绍了所采用的物理模型和所模拟的器件结构; 然后分析了器件的各结构参数对器件性能的影响, 并对器件的各结构参数进行了优化; 最后给出了器件特征尺寸进入深亚微米后, 器件的各结构参数的优化方向和设计容区。

2 物理模型及器件结构

本文采用二维器件模拟软件——ISE 对器件特性进行了模拟分析。为了得到合理的结果, 采用了流体动力学模型和量子效应模型; 迁移率模型采用了 High field saturation Dependence doping Enonmal 和 PhuMob 模型; 复合模型采用了 Band2band、SRH、Auger 和 Avalanche 模型。图 1 为所模拟的器件结构示意图。沟道长度(L)为 70nm, 宽度(W)为 1μm, 栅氧化层厚度(t_{ox})为 2nm, 源/漏区的掺杂浓度为 10^{20}cm^{-3} 。其余 5 个为变化的参数, 即 LDD 区的长度(L_{LDD})、LDD 区的掺杂浓度(N_{LDD})、硅膜的厚度(t_{Si})、沟道的掺杂浓度(N_p)及埋氧化层的厚度

* 国家重点基础研究专项基金(编号: 2000036501)和国家自然科学基金资助项目

王文平 女, 1977 年出生, 硕士研究生, 主要从事器件特性的模拟及关键工艺。

黄 如 女, 1969 年出生, 博士, 教授, 主要从事新结构、新工艺的半导体器件研究及电路设计。

张国艳 女, 1971 年出生, 博士后, 主要从事与 SOI 技术相关的器件和电路设计。

2002-10-09 收到, 2003-03-17 定稿

©2003 中国电子学会

(t_{box}). 我们主要讨论了这5个参数的变化对器件的阈值电压漂移、开态电流和关态电流等方面的影响。其优化标准如下。

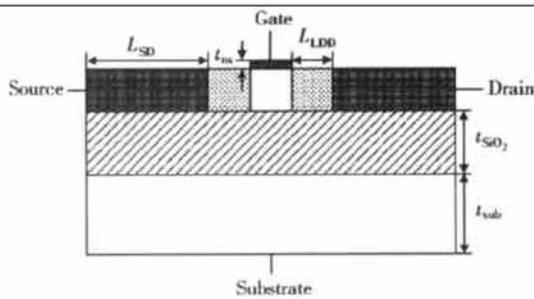


图1 模拟结构示意图

Fig. 1 Schematic cross sectional view of the simulation structure

(1) 对 SCE 和 DIBL 效应的影响是通过计算器件的阈值电压的漂移得到的。阈值电压是指漏端电压为 0.1V 时, 漏端电流 $I_{\text{ds}} = \frac{W}{L} \times 5 \times 10^{-7} \text{ A}/\mu\text{m}$ 时的栅电压。

$$\Delta V_{T(\text{SCE})} = V_{T(\text{channel}=1.5\mu\text{m})} - V_{T(\text{channel}=0.07\mu\text{m})}$$

$$\Delta V_{T(\text{DIBL})} = V_{T(V_{\text{ds}}=0.1\text{V})} - V_{T(V_{\text{ds}}=1.2\text{V})}$$

(2) 开态电流(I_{on}) 和关态电流(I_{off}) 是通过计算 $V_{\text{ds}}=1.2\text{V}$ 时, 栅电压从 0V 扫到 1.2V 时的 $I-V$ 曲线得到的。优化的标准是 $I_{\text{on}} > 1 \times 10^{-4} \text{ A}/\mu\text{m}$, $I_{\text{off}} < 2 \times 10^{-7} \text{ A}/\mu\text{m}$ 。

I_{on} : $V_g = V_{\text{ds}} = 1.2\text{V}$ 时的漏端电流

I_{off} : $V_g = 0\text{V}$, $V_{\text{ds}} = 1.2\text{V}$ 时的漏端电流

3 器件各结构参数的变化对器件性能的影响

3.1 LDD 区的长度和掺杂浓度的变化对器件性能的影响

图2和图3分别给出了LDD区的长度和掺杂浓度的变化对器件的阈值电压漂移、开态电流和关态电流的影响。可以看出, LDD区长度和掺杂浓度的变化对器件性能的影响不大, 都是在同一量级上的微小变化。随着LDD区掺杂浓度的降低, 沟道的横向耗尽区变窄, 源漏与栅的分享电荷减少, 器件的阈值电压的漂移也较小, 从而得到较大的阈值电压, 相应的开态电流也较小。而LDD区长度的变化对器件阈值电压漂移的影响在几个 mV 的范围内波动。

在结构中, LDD区相当于一块电阻, 随着LDD区长度的增加, 电阻增大, 使开态电流减小。但如果LDD区的长度太短, 就起不到降低漏端电场的作用, 漏端的各种高场效应还会影响到源端, 使器件的阈值电压增大。由两个微缩图可知, LDD区长度的优化存在一个较为优化的点, 即 $L_{\text{LDD}} = 0.1\mu\text{m}$, 在这一点阈值电压漂移较小, 器件的电流开关比较大。所以在以下的模拟中, 我们取 $L_{\text{LDD}} = 0.1\mu\text{m}$, $N_{\text{LDD}} = 1 \times 10^{19} \text{ cm}^{-3}$ 。

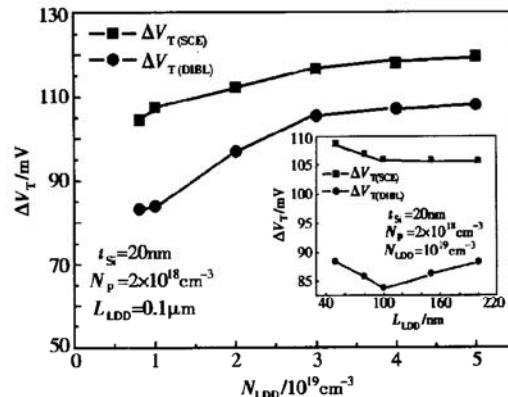


图2 LDD区的长度和掺杂浓度的变化对阈值电压漂移的影响

Fig. 2 Impact of length and doping concentration of LDD region on V_T rolling off

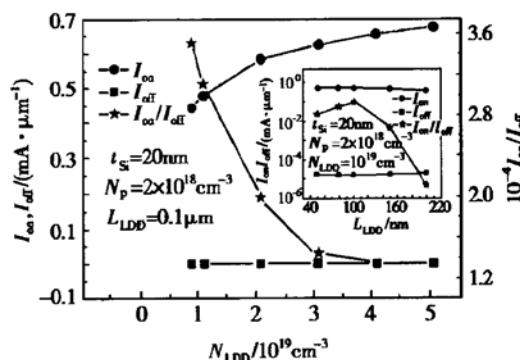


图3 LDD区的长度和掺杂浓度的变化对器件开关态电流的影响

Fig. 3 Impact of length and doping concentration of LDD region on ratio of on state current and off state current

3.2 硅膜厚度和掺杂浓度的变化对器件性能的影响

图4是硅膜厚度和沟道掺杂浓度的变化对由短沟效应引起的阈值电压漂移的影响。由图可知,

$\Delta V_{T(SCE)}$ 的变化有一个峰值, 这个峰值是全耗尽与部分耗尽器件的交界点, 峰值的左侧, 器件是全耗尽的, 硅膜厚度的变化, 对阈值电压的影响较大; 峰值

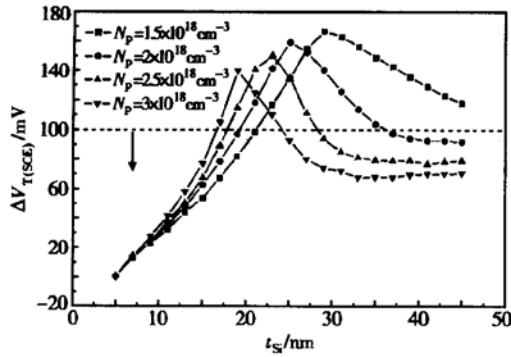


图 4 硅膜厚度和沟道掺杂浓度的变化对 $\Delta V_{T(SCE)}$ 的影响

Fig. 4 Impact of silicon film thickness and channel doping concentration V_T on rolling off caused by short channel effect

的右侧, 器件是部分耗尽的, 硅膜厚度的变化, 对阈值电压的影响较小. 在这一交界处, 沟道区更易通过埋氧区受源漏区的影响, 产生的电荷共享最大, 短沟效应最严重, 阈值电压漂移最大. 随着沟道掺杂浓度的增加, 最大耗尽层宽度减小, 峰值点逐渐向左移, 所以在器件设计中应避免选用这一交界区. 图 5 是由 DIBL 效应引起的阈值电压漂移随硅膜厚度和沟道掺杂浓度的变化示意图. 可以看出, 随硅膜厚度的减薄, $\Delta V_{T(DIBL)}$ 减小. 这是由于硅膜减薄后, 由漏端

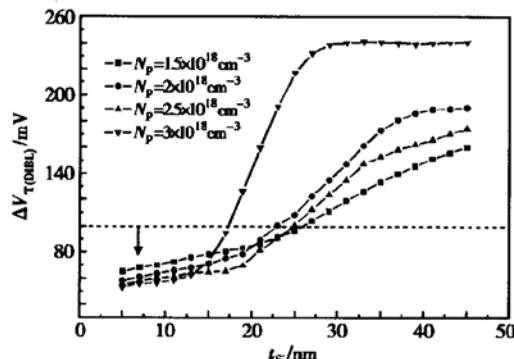


图 5 硅膜厚度和沟道掺杂浓度的变化对 $\Delta V_{T(DIBL)}$ 的影响

Fig. 5 Impact of silicon film thickness and channel doping concentration on V_T rolling off caused by DIBL effect

通过沟道穿通到源端的电力线减少了^[9], 从而漏端对源端的影响减小, $\Delta V_{T(DIBL)}$ 也减小. 此外,

$\Delta V_{T(DIBL)}$ 受沟道掺杂浓度的影响也较大, 沟道掺杂浓度越高, $\Delta V_{T(DIBL)}$ 对硅膜厚度变化的灵敏度越高, 即硅膜的微小变化, 也会引起 $\Delta V_{T(DIBL)}$ 较大的变化. 图 6 是器件的开态电流和关态电流随硅膜厚度和沟道掺杂浓度的变化示意图. 硅膜厚度和沟道掺杂浓度的变化对 I_{off} 的影响很大. 从放大图中可以看出, I_{off} 的变化存在一个最低点, 当硅膜厚度减小

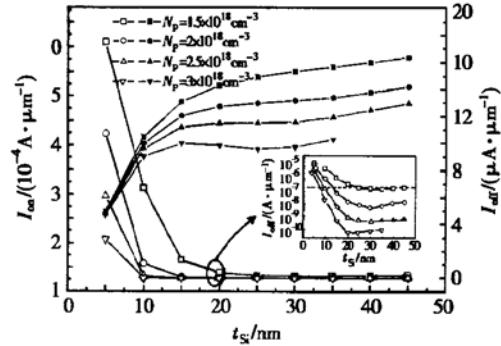


图 6 硅膜厚度和沟道掺杂浓度的变化对器件开态电流和关态电流的影响

Fig. 6 Impact of silicon film thickness and channel doping concentration on on-state current and off-state current

到某一值时, I_{off} 不再减小, 而是快速增加, 这是因为随着硅膜厚度的减薄, 器件的阈值电压降低, 使器件的泄漏电流增大. 但开态时, 硅膜厚度越薄, 沟道内碰撞离化越严重, 所以器件的 I_{on} 降低. 但 I_{on} 变化是在同一量级上的变化, 从器件的电流开关比角度, 存在一个较好的优化点, 所以我们在设计器件时, 应尽量找到 I_{off} 的最低点, 使器件的泄漏电流达到最小, 从而降低器件的功耗. 图 7 中的阴影部分给出了根

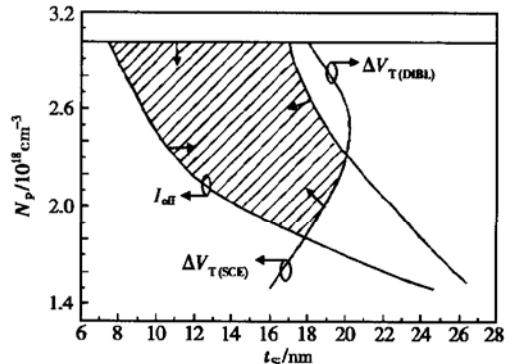


图 7 可行硅膜厚度和可行沟道掺杂浓度的关系

Fig. 7 Dependence of feasible silicon film thickness and feasible channel doping concentration

据器件的性能要求所得到的可行硅膜厚度和可行沟道掺杂浓度之间的设计容区, 如果硅膜厚度和沟道掺杂浓度在阴影区中, 则可以得到性能较好的器件.

3.3 埋氧化层厚度的变化对器件性能的影响

图 8 给出了埋氧化层厚度的变化对器件阈值电压漂移的影响. 埋氧化层厚度的变化对 $\Delta V_{T(\text{DIBL})}$ 的影响很大, 随埋氧化层厚度的减小, $\Delta V_{T(\text{DIBL})}$ 减小, 这是由于埋氧化层厚度减小, 由漏端通过埋氧层穿通到源端的电力线减少了, 从而降低了 DIBL 效应, 使器件的阈值电压的漂移减小. 我们同时也做了埋氧化层厚度的变化对器件其它性能影响的模拟, 得知, 埋氧化层厚度的变化对器件其它性能的影响较小. 所以对于 SOI 器件来说, 减小埋氧化层厚度可以有效地抑制器件的 DIBL 效应, 同时对器件其它方面的性能不会有很大的影响.

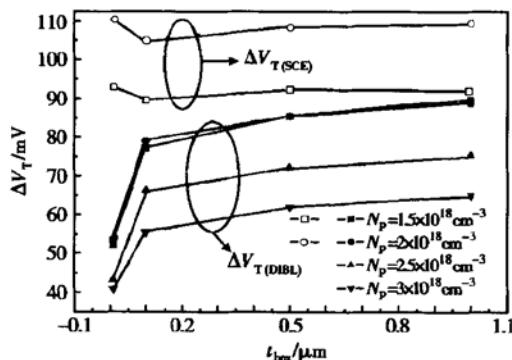


图 8 埋氧化层厚度的变化对器件阈值电压漂移的影响

Fig. 8 Impact of the thickness of buried oxide on V_T rolling off

3.4 Halo 区对器件性能的影响

图 9 给出了在源端加 Halo 区后, 器件的开态电流和关态电流的变化. 可知, 源端加 Halo 区后, 相当于提高了源端的势垒, 电子注入减少, 从而, 器件的开态电流和关态电流均比没有 Halo 区的电流低. 其中, I_{on} 的降低是同一量级上的, 而 I_{off} 的降低是在不同量级上的, 由微缩图, 我们可以看出, 源端加 Halo 区后, 器件的电流开关比会大大提高. 这有利于降低器件的功耗, 为低功耗电路的设计提供了一个指导方向.

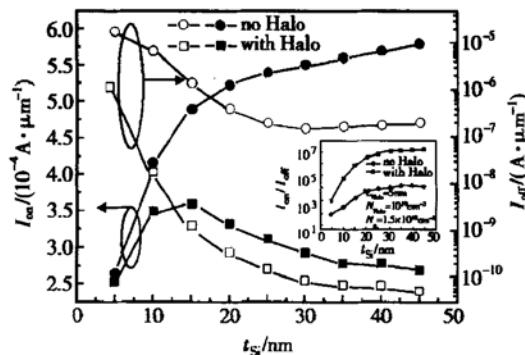


图 9 Halo 区对器件的开态电流和关态电流的影响

Fig. 9 Impact of Halo region on ratio of on-state current and off-state current

4 结论

本文对器件的特征尺寸进入到深亚微米以后, SOI 器件各结构参数的变化对器件性能的影响做了较为系统的分析, 并指明了器件各结构参数的优化方向, 给出了可行硅膜厚度和可行沟道掺杂浓度之间的设计容区. 可以看出, 在选取了相应的 LDD 区的长度和掺杂浓度后, 只要硅膜厚度和沟道的掺杂浓度匹配合适, 避开部分耗尽和全耗尽 SOI 器件的交界区, 找到泄漏电流最小的硅膜厚度, 再相应的减小埋氧化层的厚度, 适当地通过斜角注入形成微小的 Halo 区, 就可以制备出性能优良的器件. 通过以上研究, 可以在现有的大规模集成电路工艺条件下, 对 SOI 器件的制备给出一套较为合理的结构参数, 充分发挥 SOI 器件的优越性.

参考文献

- [1] Yeh P C, Fossum J G. Viable deep submicron FD/SOI CMOS design for low- voltage applications. IEEE International SOI Conference, 1994: 23
- [2] Ernst T, Munteanu D, Cristoloveanu S, et al. Investigation of SOI MOSFETs with ultimate thickness. Microelectronic Engineering, 1999, 48: 339
- [3] Balestra F. Impact of device architecture on performance and reliability of deep submicron SOI MOSFETs. Chinese Journal of Semiconductors, 2000, 21: 937
- [4] Huang Ru, Zhang Xing, Li Yingxue, et al. The development of research on SOI device. The Transaction of The 4th SOI Technology Research Meeting of China, 2000 (in Chinese) [黄如, 张兴, 李映雪, 等. SOI 器件的研究进展, 第四届全国 SOI 技术研讨会论文集, 2000]

- [5] Zhang Rongtian, Roy K, Janes D B. Double-gate fully-depleted SOI transistors for low-power high performance nano-scale circuit design. International Symposium on Low Power Electronics and Design, 2001: 213
- [6] Hisamoto D, Lee W, Kedzierski J, et al. FinFET ——A self-aligned double-gate MOSFET scalable to 20nm. IEEE Trans Electron Devices, 2000, 47(12) : 2320
- [7] Chan V W C, Chan P C H. Fabrication of gate-all-around transistors using metal induced lateral crystallization. IEEE Electron Device Lett, 2001, 22(2) : 80
- [8] Monfray S, Skotnicki T, Morand Y, et al. 50nm-gate all around (GAA)-silicon on nothing (SON)-devices: a simple way to co-integration of GAA transistors within bulk MOSET. VLSI Technology Digest of Technical Papers 2002 Symposium, 2002: 108
- [9] Colinge J P. Silicon-on-insulator technology. Beijing: Science Press, 1993: 128(in Chinese) [考林基J P. SOI技术. 北京: 科学出版社, 1993: 128]

Structure Optimization Analysis of Sub-100nm SOI Device^{*}

Wang Wenping, Huang Ru and Zhang Guoyan

(Institute of Microelectronics, Peking University, Beijing 100871, China)

Abstract: The effect of SOI device structure parameters on device performance is investigated. The analyses present the optimal direction of the structure parameters and give the design permitted region of the feasible silicon film thickness and the feasible channel doping. It is also shown that there is a peak value of threshold voltage rolling off between the partly depleted and fully depleted SOI device. This point should be avoided when designing device. As long as the structure parameters of the device are selected reasonably, the fine performance of device can be achieved.

Key words: SOI device; short-channel effect; structure optimization

EEACC: 4250; 1280

Article ID: 0253-4177(2003)09-0986-05

* Project supported by the State Key Fundamental Research Project(No. 2000036501) and National Natural Science Foundation of China

Wang Wenping female, was born in 1977, graduate student. Her research interests are in the device performance simulation and the key process.

Huang Ru female, was born in 1969, PhD, professor. Her research interests are in novel structure device, novel process, device modeling and circuit design.

Zhang Guoyan female, was born in 1971, PhD. Her research interests are in the SOI technology about the device and circuit design.

Received 9 October 2002, revised manuscript received 17 March 2003

©2003 The Chinese Institute of Electronics